

# CYD7606S

带双极性输入的16 位8 通道同步采样 ADC

## 1.引言

CYD7606S是一款8通道16位精度的同步采样模数转换器。CYD7606采用5V单电源供电，可以处理±10V和±5V的真双极性输入信号，所有通道均能以200 KSPS的吞吐速率采样。

CYD7606S提供1 M $\Omega$  的输入阻抗以及二阶低通滤波器，因此无需片外驱动运算放大器。芯片内置模拟输入钳位保护，二阶低通滤波器，2.5V低温漂基准电压源以及高速串行和并行接口。同时，CYD7606S支持最高64倍过采样及数字滤波，提升SNR性能，并降低3dB带宽。

## 2.产品特点

- 完全兼容AD7606 和 ADS8588
- 8 通道同步采样输入
- 真双极性模拟输入范围：±10V、±5V
- 5V 单模拟电源，VDRIVE：2.5V~5V
- 模拟输入钳位保护 ±22V
- 具有 1M $\Omega$ 模拟输入阻抗
- 片内精密基准电压
- 16 位、200kSPS ADC(所有通道)
- 最大支持 64 倍过采样
- 支持并行和串行接口
- 模拟输入通道提供 8kV ESD 额定值
- 64 引脚 LQFP10x10 封装

## 3. 性能

- SNR: 89.5dB
- THD: -107dB
- SNR(过采样): 96dB
- DNL: ±0.3 LSB, INL: ±0.5 LSB
- 基准温漂: ±5ppm/°C
- 功耗:100mW

## 4. 应用

- 电力线监控和继电保护
- 工业自动化和控制
- 数据采集系统（DAS）
- 自动化测试设备
- 多相电机控制

## 5. 功能框图

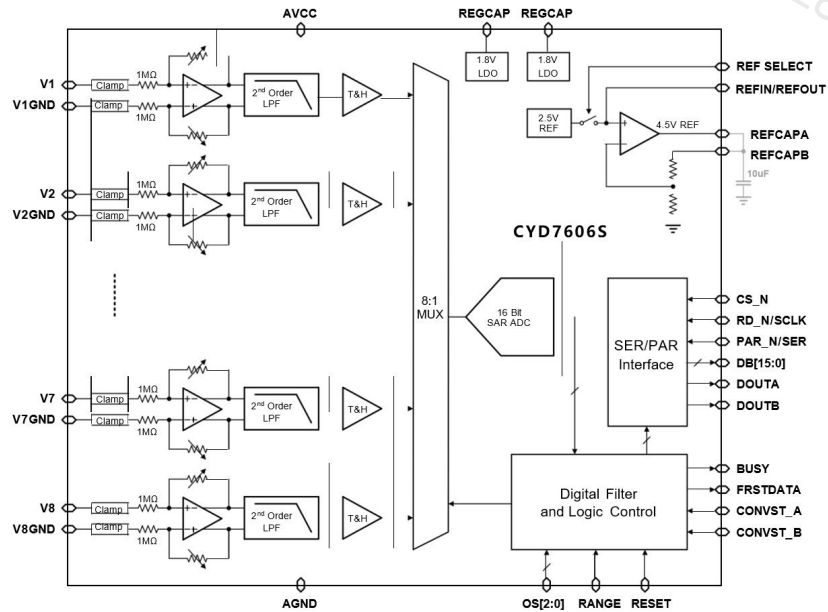


图 1 CYD7606S 功能框图

## 6. 引脚配置和功能

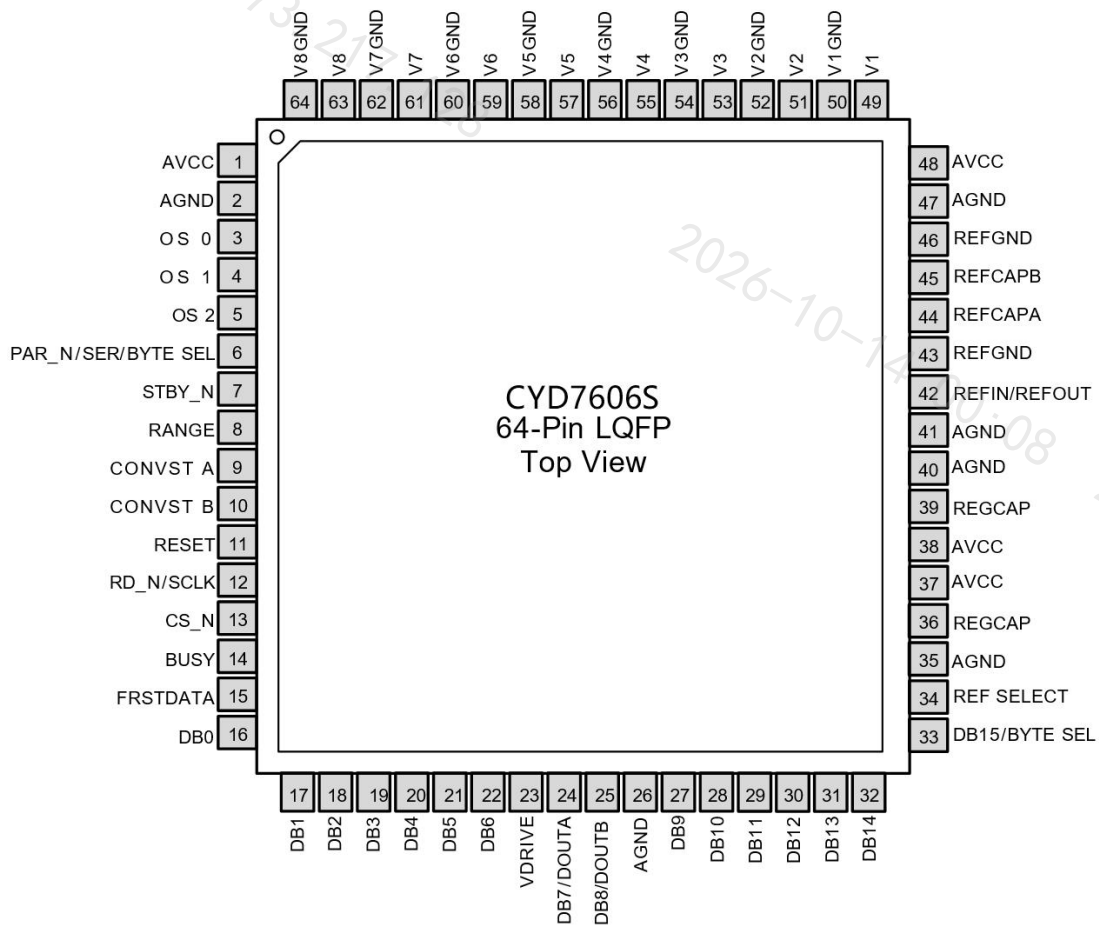


图 2 引脚配置

表 1. 引脚功能

| 引脚编号 | 引脚名称     | 引脚类型 | 描述                                                                                        |
|------|----------|------|-------------------------------------------------------------------------------------------|
| 1    | AVCC     | P    | 模拟电源电压5.0V                                                                                |
| 2    | AGND     | G    | 模拟地                                                                                       |
| 3    | OS0      | IP   | 过采样控制引脚，可配置2至64倍过采样                                                                       |
| 4    | OS1      | IP   | 过采样控制引脚，可配置2至64倍过采样                                                                       |
| 5    | OS2      | IP   | 过采样控制引脚，可配置2至64倍过采样                                                                       |
| 6    | PAR_N    | IP   | 输出模式选择，可配置并行，串行及字节模式                                                                      |
| 7    | STBY_N   | IP   | 待机模式控制引脚                                                                                  |
| 8    | RANGE    | IP   | 模拟输入范围选择引脚，可配置 $\pm 10V$ 和 $\pm 5V$ 输入范围<br>RANGE=1, $\pm 10V$ 范围<br>RANGE=0, $\pm 5V$ 范围 |
| 9    | CONVST_A | IP   | 转换开启引脚，通道1至通道4                                                                            |
| 10   | CONVST_B | IP   | 转换开启引脚，通道5至通道8                                                                            |
| 11   | RESET    | IP   | 复位引脚，典型脉宽50ns                                                                             |
| 12   | RD_N     | IP   | 串行或并行接口时钟输入                                                                               |
| 13   | CS_N     | IP   | 串行或并行接口片选                                                                                 |
| 14   | BUSY     | OP   | 转换指示信号，BUSY下降沿锁存转换数据                                                                      |
| 15   | FRSTDATA | OP   | 串行或并行接口第一通道V1指示信号                                                                         |
| 16   | DB0      | OP   | 并行数据输出DB0                                                                                 |
| 17   | DB1      | OP   | 并行数据输出DB1                                                                                 |
| 18   | DB2      | OP   | 并行数据输出DB2                                                                                 |
| 19   | DB3      | OP   | 并行数据输出DB3                                                                                 |
| 20   | DB4      | OP   | 并行数据输出DB4                                                                                 |
| 21   | DB5      | OP   | 并行数据输出DB5                                                                                 |
| 22   | DB6      | OP   | 并行数据输出DB6                                                                                 |
| 23   | VDRIVE   | P    | 接口IO电源输入                                                                                  |
| 24   | DB7      | OP   | 并行数据输出DB7, 或串行数据DoutA                                                                     |
| 25   | DB8      | OP   | 并行数据输出DB7, 或串行数据DoutB                                                                     |
| 26   | AGND     | G    | 接口IO地                                                                                     |
| 27   | DB9      | OP   | 并行数据输出DB9                                                                                 |
| 28   | DB10     | OP   | 并行数据输出DB10                                                                                |

|    |                |    |                                                                                   |
|----|----------------|----|-----------------------------------------------------------------------------------|
| 29 | DB11           | OP | 并行数据输出 DB11                                                                       |
| 30 | DB12           | OP | 并行数据输出 DB12                                                                       |
| 31 | DB13           | OP | 并行数据输出 DB13                                                                       |
| 32 | DB14/HBEN      | OP | 并行数据输出 DB14, HBEN 并行字节模式时有效 HBEN=0, 首先输出 LSB, 然后输出 MSB HBEN=1, 首先输出 MSB, 然后输出 LSB |
| 33 | DB15/ BYTE_SEL | OP | 并行数据输出 DB15, 并行字节模式选择                                                             |
| 34 | REF_SELECT     | IP | 内部、外部基准电压选择输入<br>REF_SELECT=0, 内部基准<br>REF_SELECT=1, 外部基准                         |
| 35 | AGND           | G  |                                                                                   |
| 36 | REGCAP         | P  | 内部稳压器去耦电容引脚, 1uF 陶瓷电容, 1.83V                                                      |
| 37 | AVCC           | P  | 模拟电源电压 5.0V                                                                       |
| 38 | AVCC           | P  | 模拟电源电压 5.0V                                                                       |
| 39 | REGCAP         | P  | 内部稳压器去耦电容引脚, 1uF 陶瓷电容, 1.90V                                                      |
| 40 | AGND           | G  | 模拟地                                                                               |
| 41 | AGND           | G  | 模拟地                                                                               |
| 42 | REFIN/REFOUT   | IP | 基准电压输入/基准电压输出, 2.5V, 外接 10uF 去耦电容                                                 |
| 43 | REFGND         | G  | 基准电压地                                                                             |
| 44 | REFCAPA        | OP | 基准电压去耦引脚, 4.5V, 10uF 低 ESR 陶瓷去耦电容                                                 |
| 45 | REFCAPB        | OP | 基准电压去耦引脚, 4.5V, 10uF 低 ESR 陶瓷去耦电容                                                 |
| 46 | REFGND         | G  | 基准电压地                                                                             |
| 47 | AGND           | G  | 模拟地                                                                               |
| 48 | AVCC           | P  | 模拟电源电压 5.0V                                                                       |
| 49 | V1             | IP | 模拟输入引脚                                                                            |
| 50 | V1 GND         | IP | 模拟输入引脚接地                                                                          |
| 51 | V2             | IP | 模拟输入引脚                                                                            |
| 52 | V2 GND         | IP | 模拟输入引脚接地                                                                          |
| 53 | V3             | IP | 模拟输入引脚                                                                            |
| 54 | V3 GND         | IP | 模拟输入引脚接地                                                                          |
| 55 | V4             | IP | 模拟输入引脚                                                                            |

|    |         |    |          |
|----|---------|----|----------|
| 56 | V 4 GND | IP | 模拟输入引脚接地 |
| 57 | V 5     | IP | 模拟输入引脚   |
| 58 | V 5 GND | IP | 模拟输入引脚接地 |
| 59 | V 6     | IP | 模拟输入引脚   |
| 60 | V 6 GND | IP | 模拟输入引脚接地 |
| 61 | V 7     | IP | 模拟输入引脚   |
| 62 | V 7 GND | IP | 模拟输入引脚接地 |
| 63 | V 8     | IP | 模拟输入引脚   |
| 64 | V 8 GND | IP | 模拟输入引脚接地 |

## 7. 绝对最大额定值

TA=25℃

表 2. 电源和参考基准以及器件温度特性

| 参数                 | 最小值  | 最大值        | 单位 |
|--------------------|------|------------|----|
| AVCC至 AGND         | -0.3 | 7          | V  |
| VDRIVE至 AGND       | -0.3 | AVCC+0.3   | V  |
| REFIN至 ANGND       | -0.3 | AVCC+0.3   | V  |
| 模拟输入电压至AGND        | -22  | 22         | V  |
| 数字输入电压至AGND        | -0.3 | VDRIVE+0.3 | V  |
| 数字输出电压至AGND        | -0.3 | VDRIVE+0.3 | V  |
| 输入电流至除电源外的任何引脚     | -10  | 10         | mA |
| 工作温度范围(TA)         | -40  | 125        | ℃  |
| 存储温度范围(TSTG)       | -65  | 150        | ℃  |
| 器件结温(TJ)           |      | 150        | ℃  |
| 铅锡焊接温度(TL, 回流焊10秒) |      | 260        | ℃  |

说明：超过上述绝对最大额定值可能会导致器件永久损坏, 长期在绝对最大额定值条件下工作会影响器件的可靠性。

表 3. ESD 特性

| 项目  | 描述        | 标准           | 最大值     |
|-----|-----------|--------------|---------|
| HBM | 仅模拟引脚输入   | JEDEC JS-001 | ±8000 V |
| HBM | 除模拟输入其他引脚 | JEDEC JS-001 | ±3000 V |
| CDM | 所有引脚      | JEDEC JS-002 | ±750 V  |

表 4. 推荐工作电压

| 参数     | 描述     | 最小值 | 标准值 | 最大值  | 单位 |
|--------|--------|-----|-----|------|----|
| AVCC   | 模拟电源   | 4.5 | 5   | 5.5  | V  |
| VDRIVE | 数字接口电源 | 1.8 | 3.3 | AVCC | V  |

表 5. 封装热阻

| 封装类型         | $\theta_{JA}$ | $\theta_{JC}$ | 单位   |
|--------------|---------------|---------------|------|
| LQFP10x10-64 |               |               | °C/W |

说明:  $\theta_{JA}$  针对最差条件, 即芯片焊接在电路板上以实现表贴封装。

## 8. 时序规格

### 8.1 技术规格

测试条件:  $V_{REF}=2.5V$  外部/内部基准, 电源电压  $A_{VCC}=5V$ ,  $V_{DRIVE}=3.3V$ ,  $f_{SAMPLE}=200kSPS$ ,  $T_A=-40^{\circ}C$  至  $125^{\circ}C$

表 6. 技术规格

| 参数         | 描述                                       | 最小值  | 标准值  | 最大值 | 单位   |
|------------|------------------------------------------|------|------|-----|------|
| 转换速率       |                                          |      |      |     |      |
| 转换时间       | 所有八个通道                                   |      | 4    |     | us   |
| 采样保持时间     |                                          |      | 1    |     | us   |
| 吞吐速率       |                                          |      |      | 200 | kSPS |
| 动态特性       |                                          |      |      |     |      |
| 信噪比(SNR)   | 无过采样, $\pm 10V$ 范围, $f_{in}=1kHz$ 正弦波    | 88.5 | 89.5 |     | dB   |
|            | 无过采样, $\pm 5V$ 范围, $f_{in}=1kHz$ 正弦波     | 88   | 89   |     | dB   |
|            | 16倍过采样, $\pm 10V$ 范围, $f_{in}=130Hz$ 正弦波 |      | 96   |     | dB   |
|            | 16倍过采样, $\pm 5V$ 范围, $f_{in}=130Hz$ 正弦波  |      | 95   |     | dB   |
| 信纳比(SINAD) | 无过采样, $\pm 10V$ 范围, $f_{in}=1kHz$ 正弦波    |      | 89   |     | dB   |
|            | 无过采样, $\pm 5V$ 范围, $f_{in}=1kHz$ 正弦波     |      | 88.5 |     | dB   |
| 总谐波失真(THD) |                                          |      | -108 |     | dB   |
| 峰值谐波(SFDR) |                                          |      | -109 |     | dB   |
| 通道间隔离度     |                                          |      | -90  |     | dB   |
| 模拟输入带宽     |                                          |      |      |     |      |
| 全功率带宽      | -3dB, $\pm 10V$ 范围                       |      | 21   |     | kHz  |
|            | -3dB, $\pm 5V$ 范围                        |      | 18   |     | kHz  |

| 静态特性       |                     |    |           |          |                                |
|------------|---------------------|----|-----------|----------|--------------------------------|
| 分辨率        | 无失码                 | 16 |           |          | Bits                           |
| 微分非线性(DNL) |                     |    | $\pm 0.3$ |          | LSB                            |
| 积分非线性(INL) |                     |    | $\pm 0.5$ |          | LSB                            |
| 正满量程误差匹配   | 内部基准                |    | $\pm 6$   |          | LSB                            |
|            | 外部基准                |    | $\pm 6$   | $\pm 30$ | LSB                            |
| 正满量程误差漂移   | 内部基准                |    | $\pm 5$   |          | ppm/ $^{\circ}\text{C}$        |
|            | 外部基准                |    | $\pm 2$   |          | ppm/ $^{\circ}\text{C}$        |
| 正满量程误差匹配   | $\pm 10\text{V}$ 范围 |    | 5         | 10       | LSB                            |
|            | $\pm 5\text{V}$ 范围  |    | 10        | 20       | LSB                            |
| 双极性零代码误差   | $\pm 10\text{V}$ 范围 |    | $\pm 1$   | $\pm 5$  | LSB                            |
|            | $\pm 5\text{V}$ 范围  |    | $\pm 2$   | $\pm 10$ | LSB                            |
| 双极性零代码漂移   | $\pm 10\text{V}$ 范围 |    | 10        |          | $\mu\text{V}/^{\circ}\text{C}$ |
|            | $\pm 5\text{V}$ 范围  |    | 5         |          | $\mu\text{V}/^{\circ}\text{C}$ |
| 双极性零代码匹配   | $\pm 10\text{V}$ 范围 |    | 1         | 5        | LSB                            |
|            | $\pm 5\text{V}$ 范围  |    | 2         | 20       | LSB                            |
| 负满量程误差匹配   | 内部基准                |    | $\pm 6$   |          | LSB                            |
|            | 外部基准                |    | $\pm 6$   | $\pm 30$ | LSB                            |
| 负满量程误差漂移   | 内部基准                |    | $\pm 5$   |          | ppm/ $^{\circ}\text{C}$        |
|            | 外部基准                |    | $\pm 2$   |          | ppm/ $^{\circ}\text{C}$        |
| 负满量程误差匹配   | $\pm 10\text{V}$ 范围 |    | 5         | 10       | LSB                            |
|            | $\pm 5\text{V}$ 范围  |    | 10        | 20       | LSB                            |
| 模拟输入       |                     |    |           |          |                                |
| 输入电压范围     | RANG= 1             |    |           | $\pm 10$ | V                              |
|            | RANG= 0             |    |           | $\pm 5$  | V                              |
| 模拟输入电流     | 10V输入               |    | 8         |          | $\mu\text{A}$                  |
|            | 5V输入                |    | 3         |          | $\mu\text{A}$                  |
| 模拟输入电容     | 8通路模拟输入             |    | 5         |          | pF                             |
| 输入阻抗       | 8 通路模拟输入            |    | 1         |          | Mohm                           |
| 基准输入输出     |                     |    |           |          |                                |

|          |           |                        |     |                        |        |
|----------|-----------|------------------------|-----|------------------------|--------|
| 基准输入电压范围 |           | 2.475                  | 2.5 | 2.525                  | V      |
| 基准输出电压   |           | 2.49                   |     | 2.505                  |        |
| 基准源温度系数  |           |                        | ±5  |                        | ppm/°C |
| 逻辑输入输出   |           |                        |     |                        |        |
| 输入高电压    |           | $0.9 \times V_{DRIVE}$ |     |                        | V      |
| 输入低电压    |           |                        |     | $0.1 \times V_{DRIVE}$ | V      |
| 输入电容     |           |                        | 5   |                        | pF     |
| 输出高电压    |           | $V_{DRIVE}-0.2$        |     |                        | V      |
| 输出低电压    |           |                        |     | 0.2                    | V      |
| 浮空态输出电容  |           |                        | 5   |                        | pF     |
| 输出编码格式   | 二进制补码     |                        |     |                        |        |
| 电源要求及功耗  |           |                        |     |                        |        |
| AVCC     |           | 4.75                   | 5   | 5.25                   | V      |
| VDRIVE   |           | 1.8                    |     | 5.25                   | V      |
| 正常不转换模式  | ADC静态不转换  |                        | 20  |                        | mA     |
| 正常转换模式   | 200kSPS转换 |                        | 23  |                        | mA     |
| 待机模式     |           |                        | 5.5 |                        | mA     |
| 关断模式     |           |                        | 10  |                        | uA     |

说明:芯片在发布期间均经过测试,以确保符合标准要求。

## 8.2时序规格

测试条件:  $V_{REF}=2.5V$ 外部/内部基准, 电源电压 $A_{VCC}=5V$ ,  $V_{DRIVE}=3.3V$ ,  $f_{SAMPLE}=200kSPS$ ,  $T_A=-40^{\circ}C$ 至 $125^{\circ}C$ 。

表 7. 时序规格

| 参数         | 最小值  | 标准值 | 最大值  | 单位 | 描述     |
|------------|------|-----|------|----|--------|
| 并行/串行/字节模式 |      |     |      |    |        |
| tCYCLE     |      |     | 5    | us | 吞吐速率周期 |
| tCONV      | 3.45 | 4   | 4.15 | us | 无过采样   |
|            |      |     | 9.2  | us | 2倍过采样  |
|            |      |     | 19.5 | us | 4倍过采样  |
|            |      |     | 39   | us | 8倍过采样  |
|            |      |     | 78   | us | 16倍过采样 |
|            |      |     | 158  | us | 32倍过采样 |

|                   |    |  |     |     |                                                        |
|-------------------|----|--|-----|-----|--------------------------------------------------------|
|                   |    |  | 315 | us  | 64倍过采样                                                 |
| tWake-up Standby  |    |  | 100 | us  | 从待机模式上电                                                |
| tWake-up Shutdown |    |  | 30  | ms  | 内部基准，从关断模式上电                                           |
|                   |    |  | 13  | ms  | 外部基准，从关断模式上电                                           |
| tRESET            | 20 |  |     | ns  | RESET高电平脉冲宽度                                           |
| tOS_SETUP         | 20 |  |     | ns  | BUSY到OS[2:0]引脚设置时间                                     |
| tOS_HOLD          | 20 |  |     | ns  | BUSY到OS[2:0]引脚设置时间                                     |
| t1                |    |  | 40  | ns  | CONVST_A/B高电平到BUSY高电平                                  |
| t2                | 25 |  |     | ns  | 最短CONVST_A/B低电平脉冲                                      |
| t3                | 25 |  |     | ns  | 最短CONVST_A/B高电平脉冲                                      |
| t4                | 0  |  |     | ns  | BUSY下降沿到CS_N下降沿设置时间                                    |
| t5                |    |  | 0.5 | ms  | COVNST_A/B上升沿之间最大容许延迟                                  |
| t6                |    |  | 25  | ns  | 最后CS_N上升沿与BUSY下降沿之间最长时间                                |
| t7                | 80 |  |     | ms  | RESET低电平到CONVST_A/B高电平最短延迟时间RESET下降沿用于Efuse导入数据，占用时间较长 |
| 并行/字节读取操作         |    |  |     |     |                                                        |
| t8                | 0  |  |     | ns  | CS_N到RD_N设置时间                                          |
| t9                | 0  |  |     | ns  | CS_N到RD_N保持时间                                          |
| t10               | 21 |  |     | ns  | RD_N低电平脉冲宽度                                            |
| t11               | 15 |  |     | ns  | RD_N高电平脉冲宽度                                            |
| t12               | 22 |  |     | ns  | CS_N高电平脉冲宽度                                            |
| t13               |    |  | 20  | ns  | 从CS_N到DB[15:0]三态禁用的延迟时间                                |
| t14               |    |  | 21  | ns  | RD_N下降沿后的数据访问时间                                        |
| t15               | 6  |  |     | ns  | RD_N下降沿后的数据保持时间                                        |
| t16               | 6  |  |     | ns  | CS_N到DB[15:0]保持时间                                      |
| t17               |    |  | 22  | ns  | 从CS_N到DB[15:0]三态使能的延迟时间                                |
| 串行读取操作            |    |  |     |     |                                                        |
| fSCLK             |    |  | 25  | MHz | 串行读取时钟频率                                               |
| t18               |    |  | 20  | ns  | 从CS_N直到DoutA/DoutB三态禁用的延迟时间从CS_N直到MSB有效的延迟时间           |
| t19               |    |  | 23  | ns  | SCLK上升沿后的数据访问时间                                        |

|              |                      |  |    |  |                                 |
|--------------|----------------------|--|----|--|---------------------------------|
| t20          | 0.4t <sub>SCLK</sub> |  |    |  | SCLK低电平脉冲宽度                     |
| t21          | 0.4t <sub>SCLK</sub> |  |    |  | SCLK高电平脉冲宽度                     |
| t22          | 7                    |  |    |  | SCLK上升沿到DoutA/DoutB有效的保持时间      |
| t23          |                      |  | 22 |  | CS_N上升沿到DoutA/DoutB三态使能         |
| FRSTDATA读取操作 |                      |  |    |  |                                 |
| t24          |                      |  | 20 |  | 从CS_N下降沿直到FRSTDATA三态禁用的延迟时间     |
| t25          |                      |  | 20 |  | 从CS_N下降沿直到FRSTDATA高电平的延迟时间，串行模式 |
| t26          |                      |  | 20 |  | 从RD_N下降沿到FRSTDATA高电平的延迟时间       |
| t27          |                      |  | 20 |  | 从RD_N下降沿到FRSTDATA低电平的延迟时间       |
| t28          |                      |  | 20 |  | 从第16个SCLK下降沿到FRSTDATA低电平的延迟时间   |
| t29          |                      |  | 24 |  | 从CS_N上升沿到FRSTDATA三态使能的延迟时间      |

注意：1）上电必须 RESET 器件，RESET 完需等待 80ms，确保后续转换数据正常工作；

2）上述时序信息将会再不同温度下测试以后继续更新；

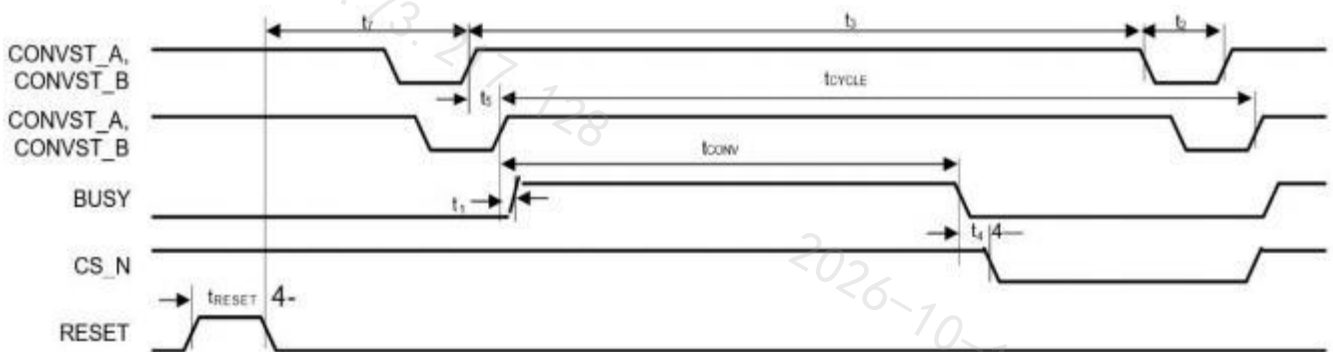


图 3 CONVST 时序-转换之后读取

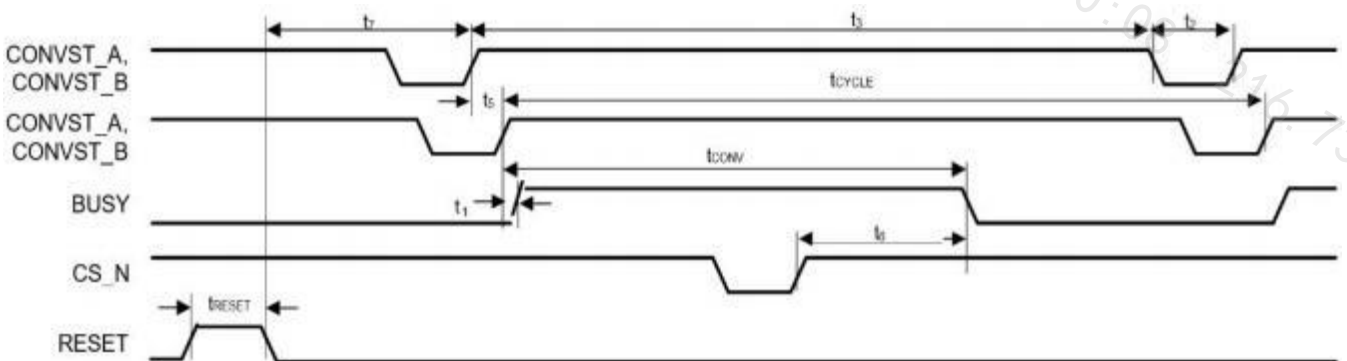


图 4 CONVST 时序-转换期间读取

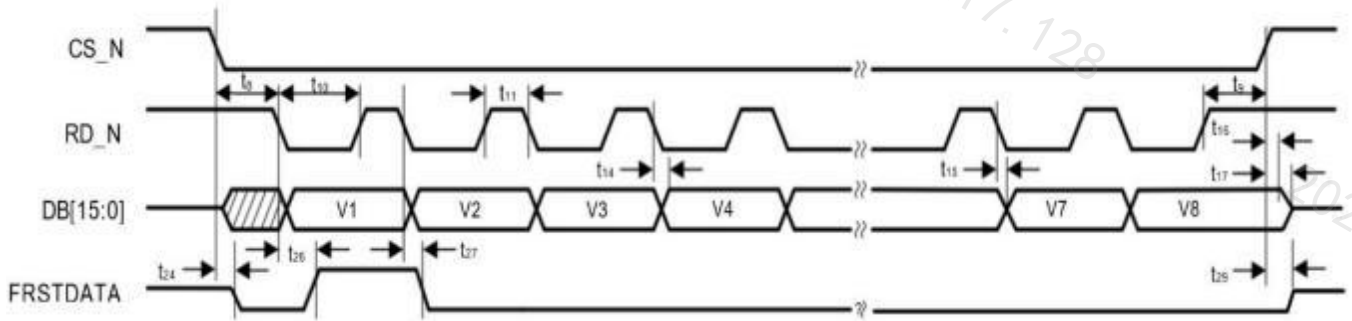


图 5-1 并行模式，独立 CS\_N 和 RD\_N 读数

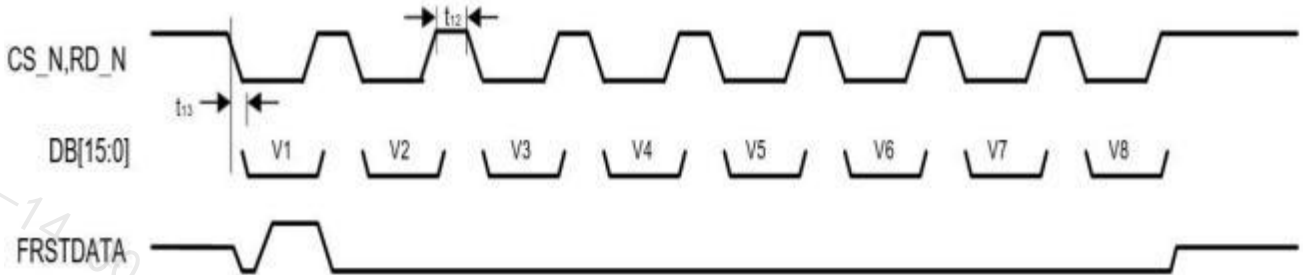


图 5-2 CS\_N 和 RD\_N 相连的并行模式

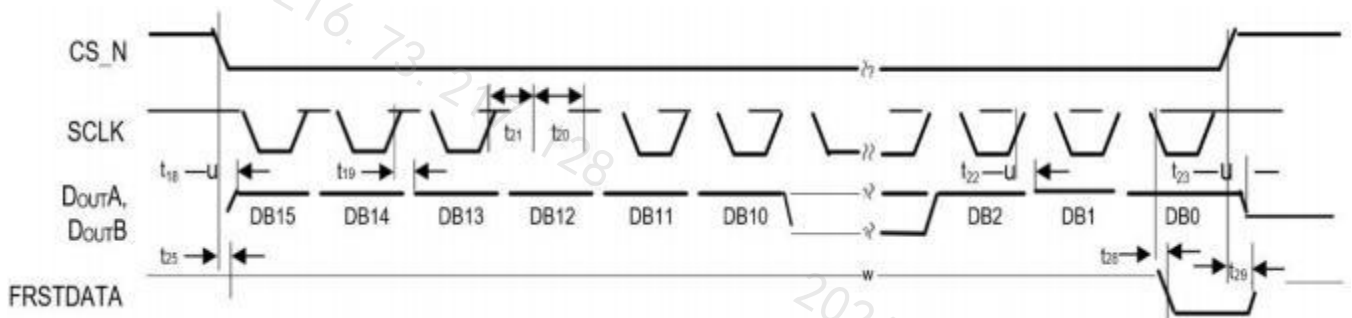


图 6 串行读取操作 (通道 V1)

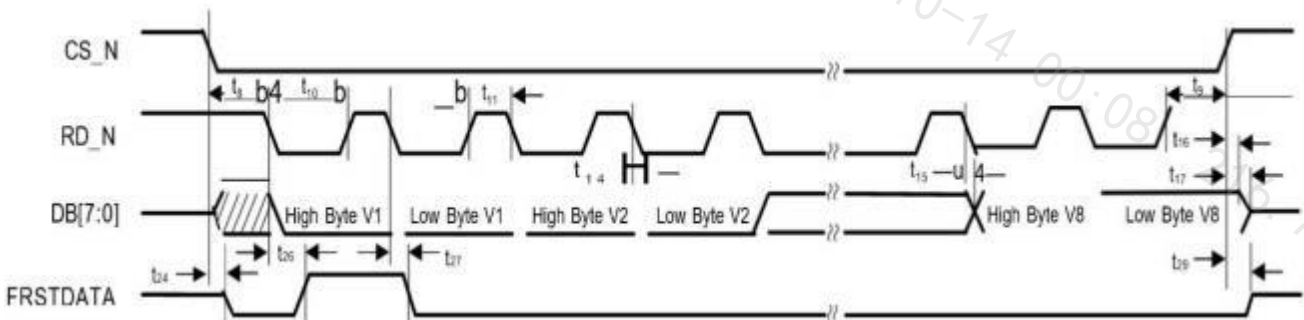


图 7 字节读取操作

## 9. 典型工作特性

说明：信号源发生器（dScope M1）在±10V输出谐波性能受限，后面会更新仪器及重新采取数据。

■ 动态特性±10v范围和±5v范围(外部基准)

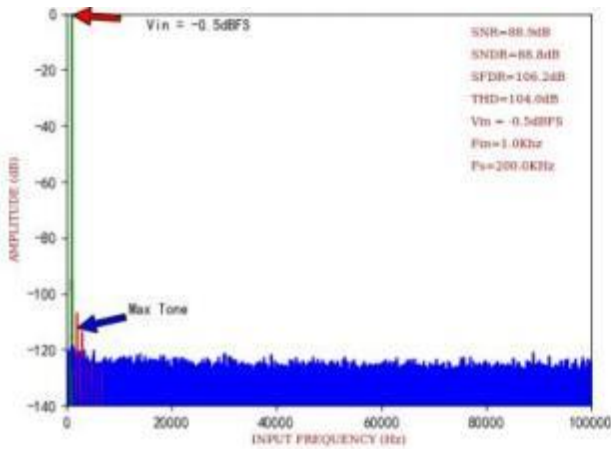


图 8 ±10V 范围

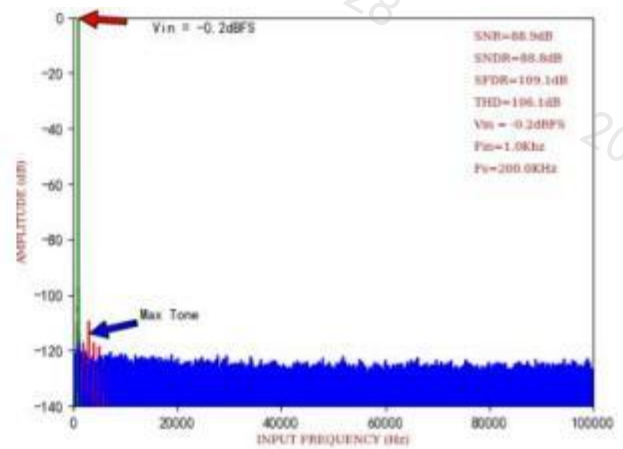


图 9 ±5V 范围

■ 动态特性±10v范围和±5v范围(内部基准)

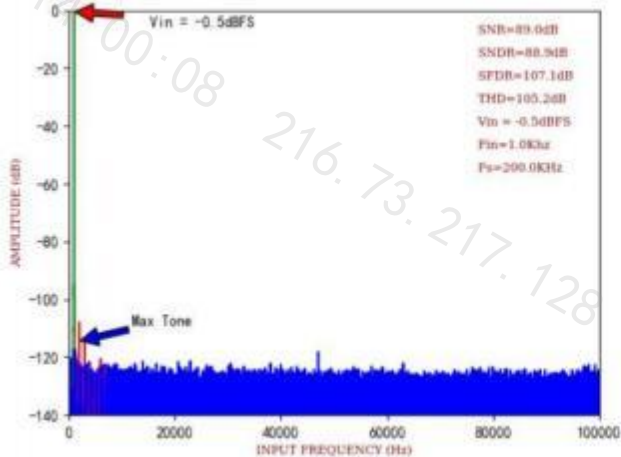


图 10 ±10V 范围

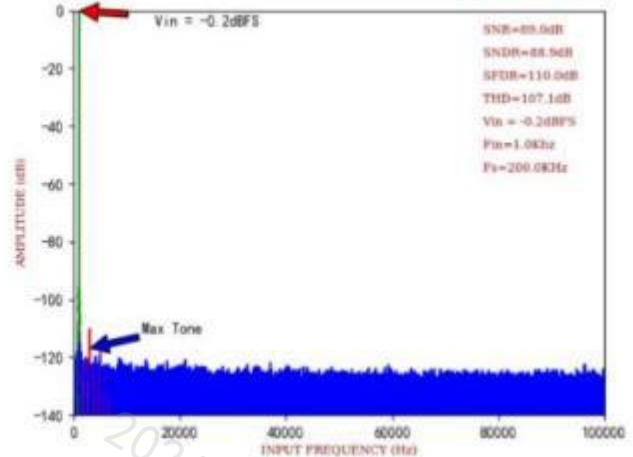


图 11 ±5V 范围

■ 动态特性:16倍过采样, ±10v范围和±5v范围(外部基准)

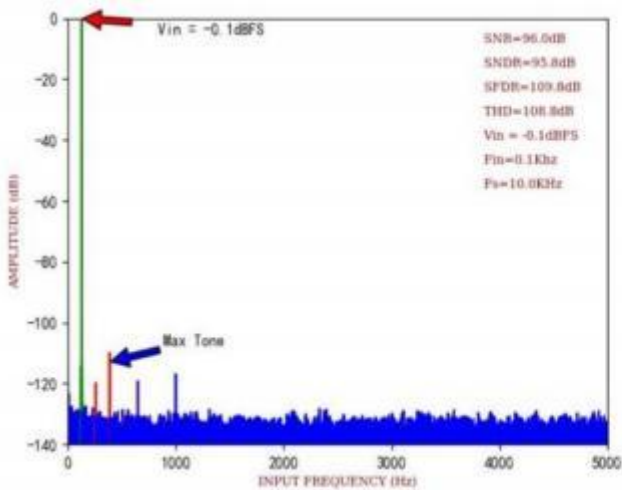


图 12 ±10V 范围

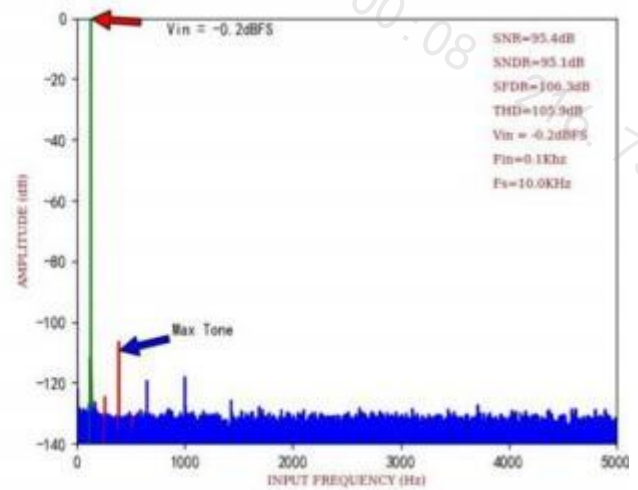


图 13 ±5V 范围

■ 动态特性: 16倍过采样,  $\pm 10\text{V}$ 范围和 $\pm 5\text{V}$ 范围(内部基准)

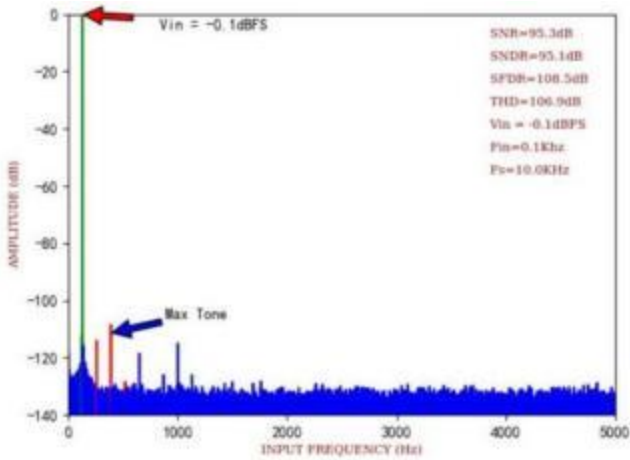


图 14  $\pm 10\text{V}$  范围

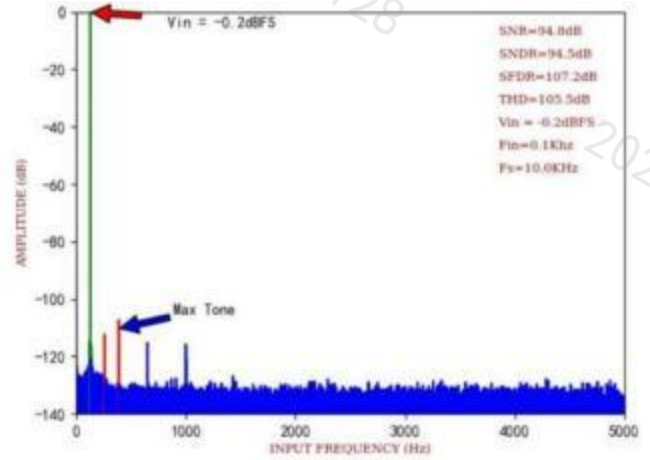


图 15  $\pm 5\text{V}$  范围

■ 静态特性: DNL和INL,  $\pm 10\text{V}$ 范围和 $\pm 5\text{V}$ 范围(内部基准)

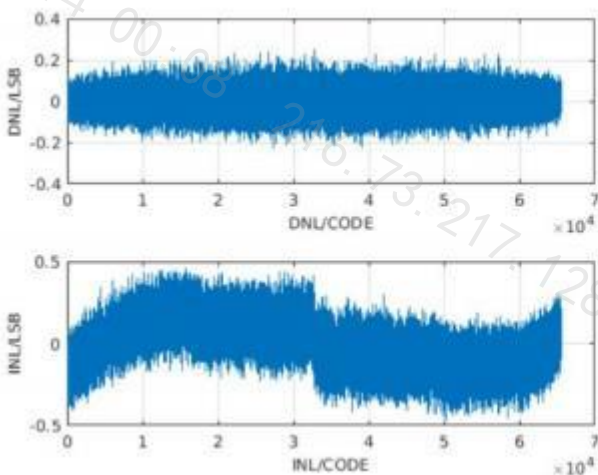


图 16  $\pm 10\text{V}$  范围

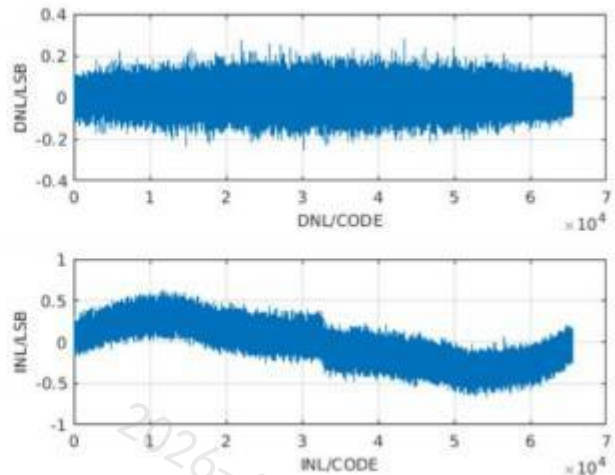


图 17  $\pm 5\text{V}$  范围

■ 静态特性: DNL和INL,  $\pm 10\text{V}$ 范围和 $\pm 5\text{V}$ 范围(外部基准)

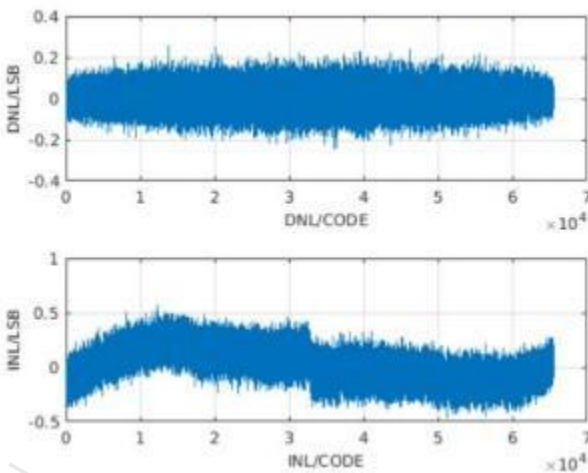


图 18  $\pm 10\text{V}$  范围

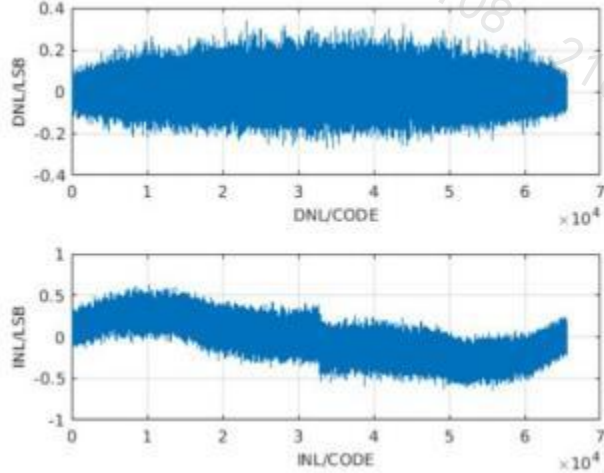


图 19  $\pm 5\text{V}$  范围

## ■ Bandgap温漂特性

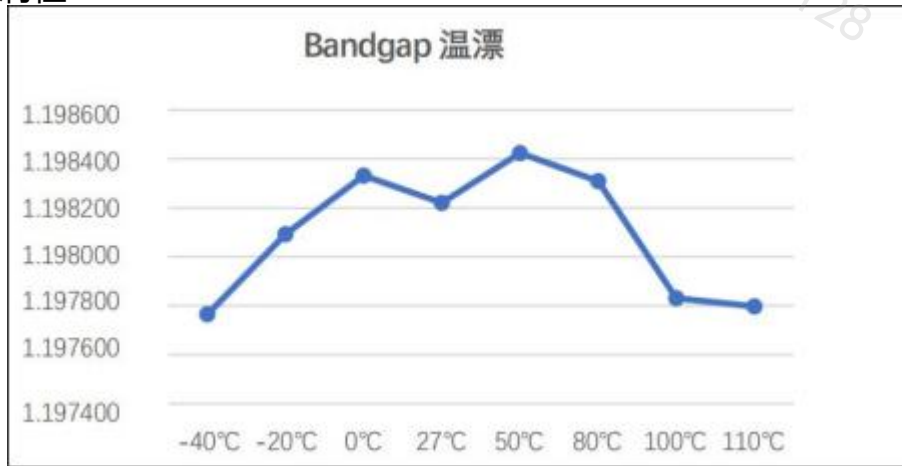


图 20 Bandgap 1.2V 基准

## 10. 工作原理

### 10.1 转换器描述

CYD7606S采用高速，低功耗，电荷再分配逐次逼近型模数转换器（ADC）的数据采集系统。模拟输入支持单端输入或者真双极性输入信号。使用RANGE引脚选择 $\pm 10\text{V}$ 或者 $\pm 5\text{V}$ 的输入范围。使用REFSEL引脚选择片内基准或者片外基准。

CYD7606S采用5V单电源供电，内置输入钳位保护，可变增益放大器，二阶低通滤波器，采样保持电路，片内基准电压源，基准电压缓冲器，高精度ADC，数字滤波器以及并行和串行接口。

### 10.2 模拟输入及钳位保护

CYD7606S的模拟前端输入阻抗位1M欧姆。高模拟输入阻抗可以不需要前端的驱动放大器，允许器件与信号源或传感器直接相连，简化系统方案。在产品应用中，可能会存在过压，过流或者短路等情况，导致输入高压波动，钳位电路可以有效抵抗这类场景。下图显示了CYD7606S的模拟输入结构，8个通道均包含钳位保护电路，允许输入过压达到 $\pm 22\text{V}$ 。

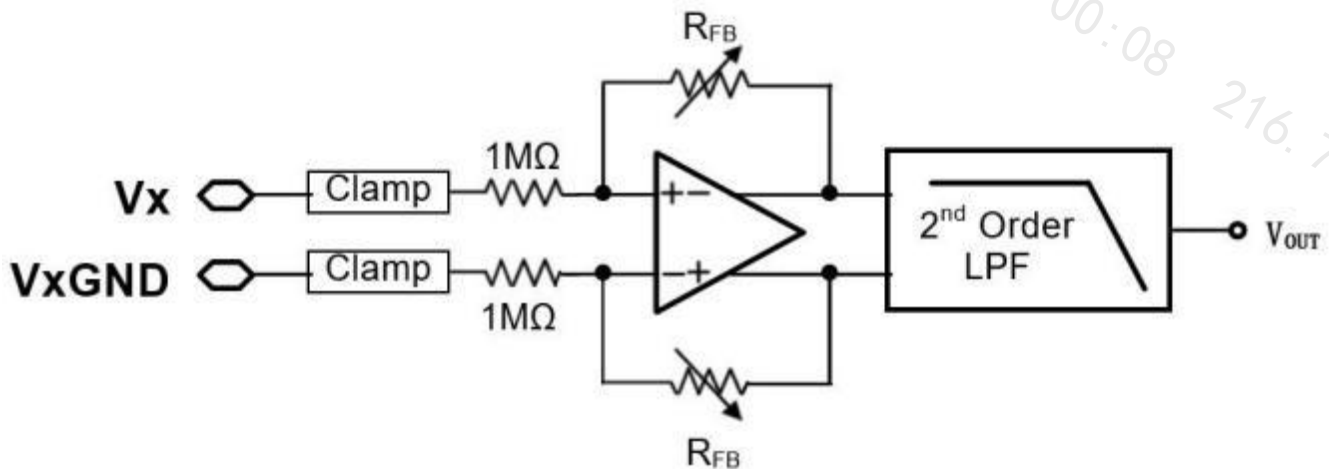


图 21 模拟输入

下图显示了钳位电路电压和电流的关系。当输入电压不超过 $\pm 22\text{V}$ 时，钳位电路中几乎无电流。当输入电压超过 $\pm 22\text{V}$ 时，钳位保护电路开启。在实际应用中，推荐模拟输入通道上串联一个低阻电阻，可以有效防止电压超过 $\pm 22\text{V}$ 时，使得输入电流限制在 $\pm 10\text{mA}$ 以下。

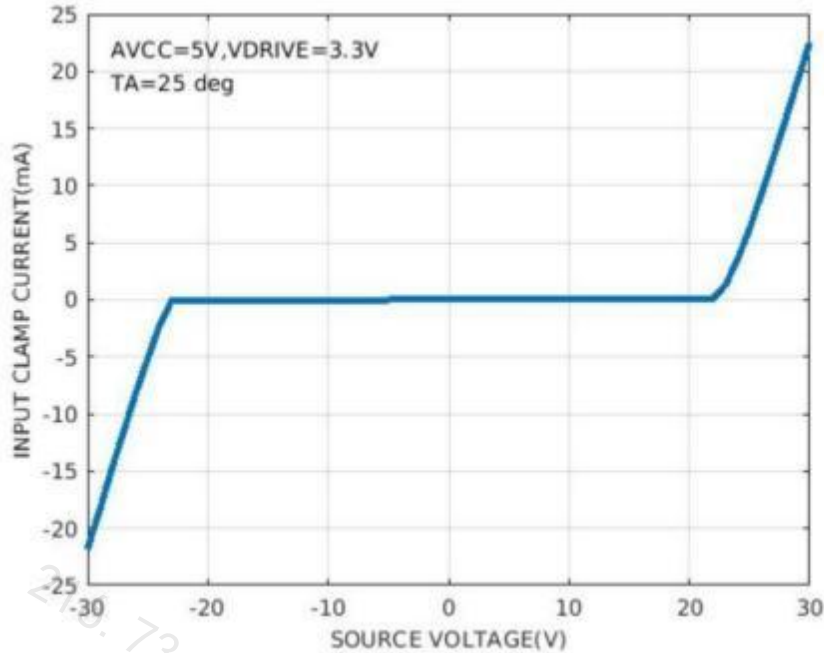


图 22 模拟输入

### 10.3 模拟输入低通滤波器

CYD7606S 模拟前端内置一个低通滤波器（二阶巴特沃兹），用于滤除高频噪声。在 $\pm 5\text{V}$ 范围， $-3\text{dB}$ 带宽典型值为 $15\text{kHz}$ ；在 $\pm 10\text{V}$ 范围内， $-3\text{dB}$ 带宽典型值为 $20\text{kHz}$ 。

### 10.4 内部/外部基准电压

CYD7606S 内置一个 $2.5\text{V}$ 片内基准电压源，也可以使用片外 $2.5\text{V}$ 基准，它们都可以通过片内的基准源放大缓冲器产生 $4.5\text{V}$ 基准电压。REFIN/REFOUT引脚既可以使用片内的基准电压源，也可以外接片外的 $2.5\text{V}$ 基准电压源，提供给客户选择使用。

片内基准或者片外基准的选取可以通过REF SELECT引脚来控制，如果该引脚为高电平，则选择内部基准电压，如果该引脚为低电平，则选择外部基准电压，内部基准无效。无论使用内部还是外部基准电压，都需要对REFIN/REFOUT引脚去耦，外接 $10\mu\text{F}$ 陶瓷去耦电容。

CYD7606S 内置一个片内基准源放大缓冲器，把 $2.5\text{V}$ 基准电压放大至 $4.5\text{V}$ ，作为ADC转换的参考电压。REFCAPA和REFCAPB引脚必须在外部短接在一起，并且通过一个 $10\mu\text{F}$ 的陶瓷去耦电容连接至REFGND，以确保参考电压缓冲器工作在闭环中。

CYD7606S 有四个AVCC电源引脚，需要各使用一个 $100\text{nF}$ 的去耦电容放置在引脚侧，在电源侧使用一个 $10\mu\text{F}$ 的电容去耦，提升电源的噪声和抗干扰能力。VDRIVE作为数字接口的供电电源，应当连接到处理器同一电源。

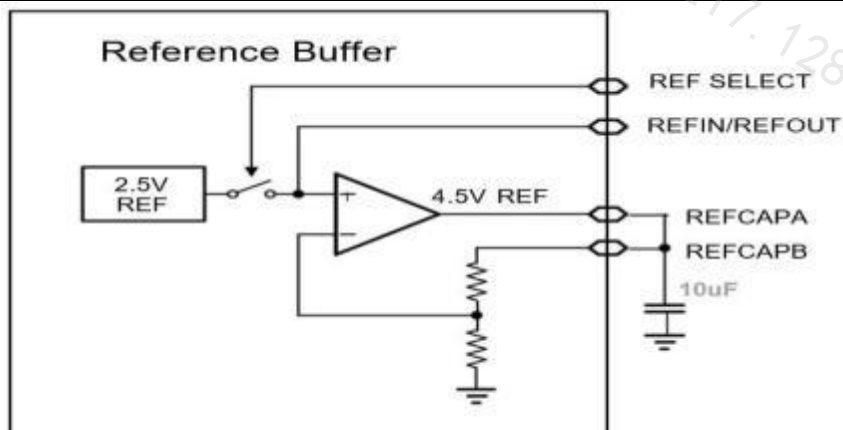


图 23 基准电压及缓冲放大器

## 10.5 转换控制

CYD7606S 内置八个通道采样保持放大器，通过引脚CONVST\_A和CONVST\_B分别控制4个通道转换和采样。

CONVST\_A和CONVST\_B上升沿触发ADC转换，而转换采用内部时钟，所有通道的转换时间约为4us。在ADC转换期间，BUSY引脚为高电平，转换完成后，BUSY引脚恢复低电平，表示转换结束。在BUSY信号的下降沿，各个通道的采样保持放大器切回跟踪输入信号模式。BUSY引脚变为低电平后，可以通过并行，并行字节或者串行接口读取转换数据。

当两个引脚CONVST\_A和CONVST\_B连在一起时，所有通道同步采样；当引脚CONVST\_A和CONVST\_B分别控制时，允许模拟输入通道以两组的形式进行同步采样（V1至V4和V5至V8两组）。这个功能可以用在电力线保护和测量系统中，以补偿PT和CT变压器所引入的相位误差。在50Hz系统中，两组同步采样的功能可以提供最多9°的相位补偿。

## 10.6 省电模式

CYD7606S 提供两种省电模式：待机模式和关断模式，由引脚STBY\_N和RANGE控制。处于待机模式时，模拟LDO处于关闭状态，片内基准和参考基准缓冲电路仍正常工作，芯片最大功耗6mA，上电时间约100us。当处于关断模式时，所有电路均关断，最大功耗10uA，上电时间约10ms。

注意，从关断模式退出，需要完成一次RESET操作，复位完成后仍需等待80ms，才能进入正常转换。

表 8. 省电模式选择

| 省电模式 | STBY_N | RANGE |
|------|--------|-------|
| 待机   | 0      | 0     |
| 关断   | 1      | 1     |

## 11. 数字接口

CYD7606S 提供三种接口模式：串行接口，并行接口和并行字节接口。所需接口模式可以通过对应引脚来控制。

表 9. 接口模式选择

| PAR_N/SER/BYTE_SEL | DB15 | 接口模式     |
|--------------------|------|----------|
| 0                  | 0    | 并行接口模式   |
| 1                  | 0    | 串行接口模式   |
| 1                  | 1    | 并行字节接口模式 |

### 11.1 串行接口模式

引脚配置：PAR\_N=1

CYD7606S 有两个串行数据输出引脚：DOUTA和DOUTB，可通过单路或者双路读回数据。通道V1至V8的数据依次出现在DOUTA引脚；通道V5至V8，然后V1至V4的数据依次出现在DOUTB引脚。如果通过一个输出引脚读取八个通道的转换数据，总共需要128个SCLK周期，如果通过两个输出引脚读取数据，只需要64个SCLK周期。

CS\_N下降沿使能DOUTA和DOUTB引脚输出，脱离三态，并且输出转换结果的MSB。SCLK上升沿依次把所有数据位串行输出，数据再SCLK的下降沿有效。

FRSTDATA输出信号指示何时读取第一个通道V1，当数据是V1通道时，FRSTDATA输出高电平，当数据是其他通道时，FRSTDATA输出低电平。当CS\_N下降沿使能FRSTDATA引脚输出，脱离三态。

### 11.2 并行接口模式

引脚配置：PAR\_N=0

可以通过标准的CS\_N和RD\_N信号通过并行接口DB[15:0]读取数据。CS\_N下降沿使能总线脱离三态，利用该功能可以同时控制多个CYD7606S 器件共享同一并行数据总线。在BUSY信号变为低电平后，读取新的转换数据；或者，在BUSY信号高电平时，读取前一次转换的数据。BUSY信号变为低电平的第一个RD\_N下降沿输出通道V1的转换数据，下一个RD\_N下降沿输出通道V2的转换数据，依次类推。

如果不共享总线时，可以使用一个控制信号来读取数据，只需要把CS\_N和RD\_N连在一起，如图所示。并行模式下，读取8个通道的数据只需要8个RD\_N时钟。

### 11.3 并行字节接口模式

引脚配置：PAR\_N=1, DB15=1

并行字节接口模式跟并行接口模式非常相似，只是数据总线通道只有DB[7:0]，不同通道的数据需要通过两次8位传输读出。因此，读取8个通道的转换数据，总共需要16个RD\_N时钟。

并行字节接口模式下，DB14复用HBEN引脚。当DB14/HBEN为高电平时，DB[7:0]引脚首先输出转换结果的高字节（MSB, 即DOUT[15:8]），然后输出低字节（LSB, 即DOUT[7:0]）。当DB14/HBEN为低电平时，DB[7:0]引脚首先输出转换结果的低字节（LSB, 即DOUT[7:0]），然后输出高字节（MSB, 即DOUT[15:8]）。FRSTDATA引脚输出高电平，只至通道V1的数据传输完成。

### 11.4 转换期间读取

当BUSY信号为高电平，说明ADC转换正在进行中。BUSY的下降沿完成更新转换数据。因此，也可在BUSY高位平时，读取转换数据，这样不会影响转换器的性能，而且可以实现更快的吞吐速率。转换器件读取的时序操作满足表3所示的t6要求即可。

### 11.5 数字滤波器(过采样)

在需要更高信噪比或者更大动态范围的应用中，可以通过降低吞吐率实现过采样功能。SE7606内置一个可选带宽的数字滤波器，通过引脚OS[2:0]控制。

开启过采样功能时，CONVST\_A和CONVST\_B引脚必须连在一起控制，转换过程指示信号BUSY周期会延长，取决于过采样倍率。

测试条件：±10V输入范围，外部基准，电源电压AVCC=5V， $V_{DRIVE}=3.3V$ ， $T_A=25^{\circ}C$

表 10. 过采样

| 引脚 OS[2:0] | 过采样倍数  | SNR(dB) | 3dB 带宽(kHz) | 采样频率(kHz) |
|------------|--------|---------|-------------|-----------|
| 0          | No OSR | 89.5    | 18.5        | 200       |
| 1          | 2      | 91.3    | 18.5        | 80        |
| 10         | 4      | 93.1    | 15          | 40        |
| 11         | 8      | 94.1    | 10          | 20        |
| 100        | 16     | 96.1    | 5           | 10        |
| 101        | 32     | 96.2    | 2.5         | 5         |
| 110        | 64     | 97.1    | 1.25        | 2.5       |
| 111        | -      |         |             |           |

注意：OS[2:0]不建议配置成全部高电平

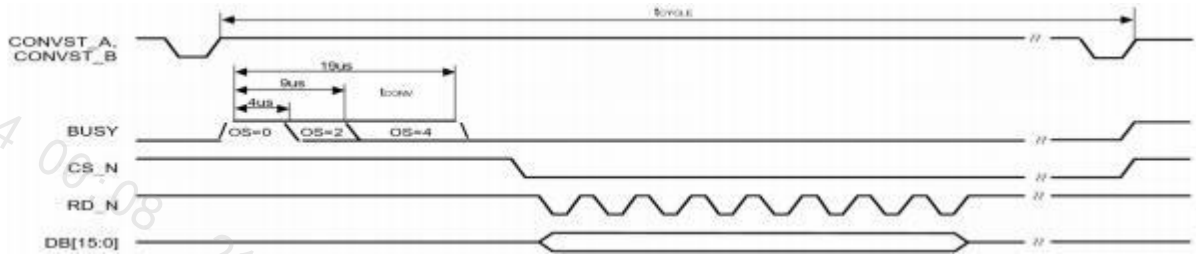


图 24 无过采样，2 倍过采样和4 倍过采样，转换和数据读取

## 12. 封装信息

64引脚LQFP封装10mm\*10mm，尺寸单位：mm

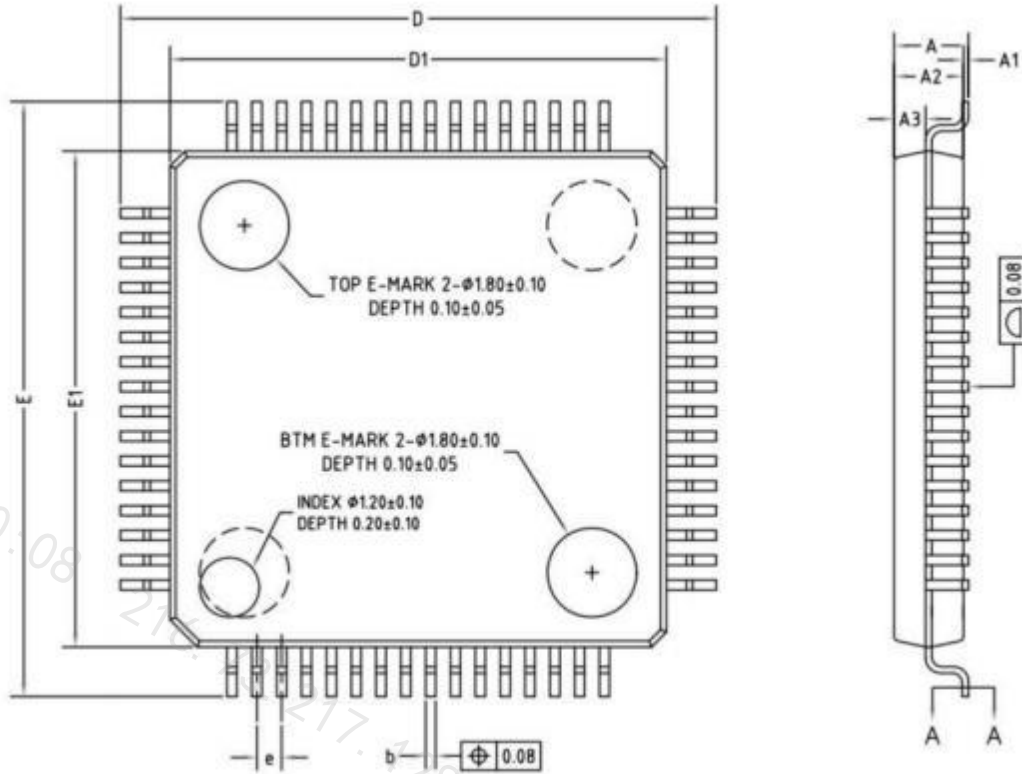


图 25-1 封装尺寸

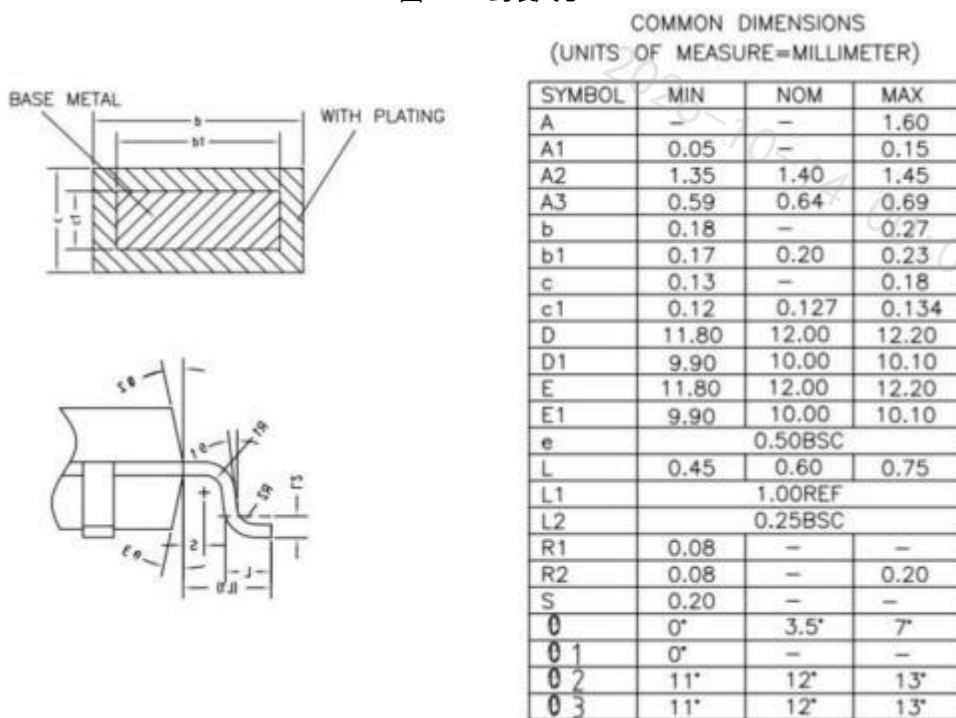


图 25-2 封装尺寸

## 订购信息

| 物料编号         | 温度范围        | 等级类型 | 封装      |
|--------------|-------------|------|---------|
| CYD7606SF64I | -40℃ - 85℃  | 工业级  | LQFP-64 |
| CYD7606SF64J | -55℃ - 125℃ | 军温级  | LQFP-64 |

## 说明

如欲了解更多的产品及公司信息，请联系公司办公室人员或登录公司网站；

联系电话：021-33885531；

网址：<https://mall.ichelps.com/>

**本档中的信息如有变更，恕不另行通知**



请使用微信扫码进入  
芯片助手ICHELPS小程序

**查资料 查替代 查库存 查价格**

招募中国区各省代理，联系电话：021-33885531