

文档版本	修订日期	内容描述
1.0	2025-5-29	初版
1.1	2026-3-16	变更物料编号

CYP51200

6V 输入 3A 输出电流 DDR 驱动芯片

1. 功能特点

- 输入电压：支持2.5V和5.5V电源轨
- LDOIN电压范围：1.1V至3.5V
- 具有压降补偿功能的3A灌电流和拉电流终端稳压器
- 所需最小输出电容为10 μ F（通常为3 $\times$ 10 μ F MLCC）用于存储器终端应用(DDR)
- 用于监视输出稳压的PG
- 独立使能EN，远程感测 (SNS)
- REFIN输入允许直接或通过电阻分压器灵活进行输入跟踪
- $\pm$ 10mA缓冲基准(REFOUT)
- 内置软启动，欠压锁定(UVLO)和过流限制(OCL)
- 热关断
- 兼容TPS51200，支持DDR3、低功耗DDR3和DDR4 VTT应用
- 带有散热焊盘的10引脚超薄小外形尺寸DFN3 $\times$ 3-10L封装

2. 应用

- 信号处理，数据采集
- 无线通讯
- 数据通讯
- 网络通讯
- 服务器、工作站
- 便携设备

3. 芯片概述

CYP51200 器件是一款灌电流和拉电流双倍数据速率(DDR)终端稳压器，专用于空间问题是重要考量因素的低输入电压、低成本、低噪声系统。

CYP51200 能够保持快速瞬态响应，最低仅需20 μ F输出电容。CYP51200 支持远程感测功能并且可满足DDR、DDR2、DDR3、低功耗DDR3和DDR4 VTT总线的所有电源要求。此外，CYP51200 还提供一个开漏PGOOD信号监测输出稳压，提供一个EN信号在S3（挂起至RA4M）期间针对DDR进行VTT放电。

CYP51200 采用带散热焊盘的高效散热型10引脚超薄小外形尺寸无引线(VSON)封装，无铅且绿色环保，其最大结温工作范围为-40 $^{\circ}$ C至+85 $^{\circ}$ C。

4. 典型应用框图

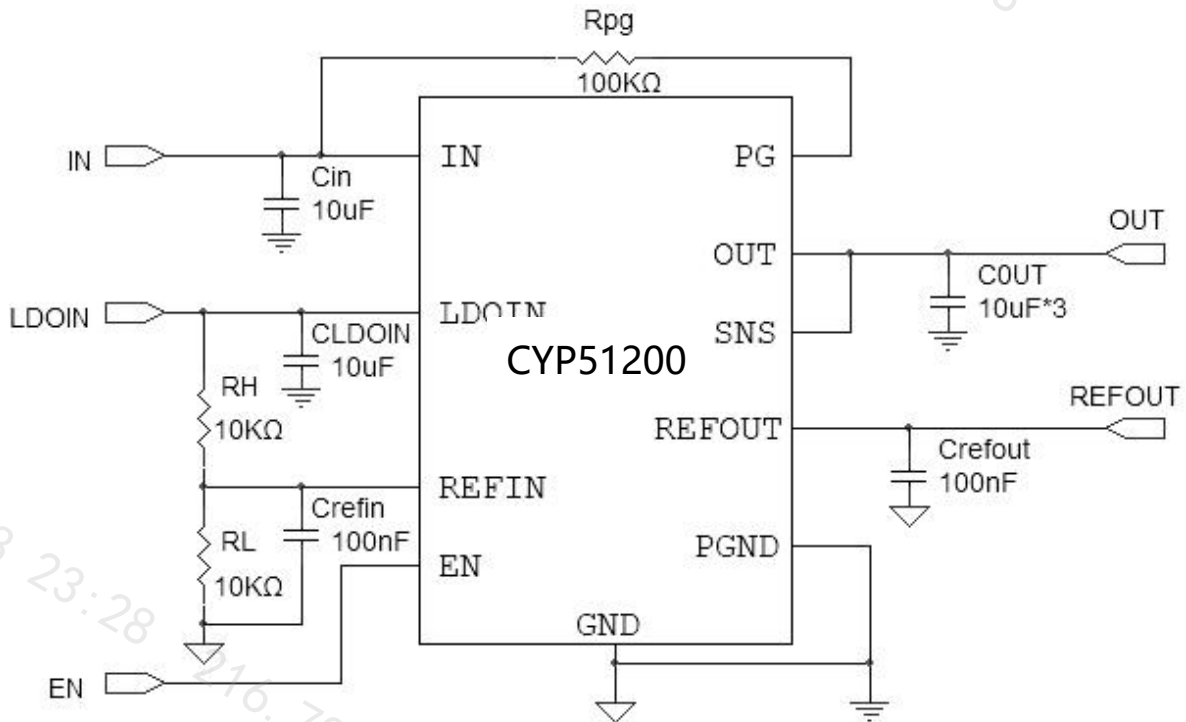


图1 典型应用框图

5. 引脚和功能描述

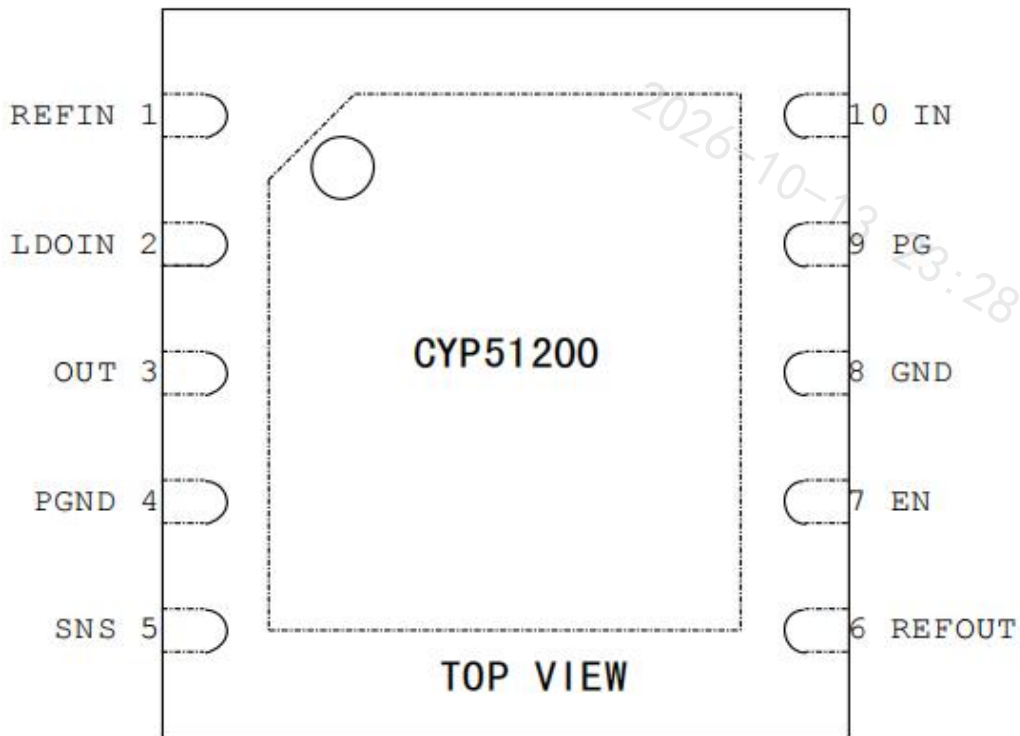


图2 CYP51200 脚位图

5.1 引脚定义

表 1.

引脚编号	引脚名称	描述
1	REFIN	基准电压输入脚，可通过分压电阻与LDOIN分压配置产生，与GND之间加0.1uF的MLCC电容
2	LDOIN	LDO的供电脚，与PGND之间至少加10uF以上的MLCC电容
3	OUT	功率输出脚，与PGND之间至少加20uF以上的MLCC电容（尽可能靠近输出脚）
4	PGND	功率参考地
5	SNS	输出sense脚，与输出电容相连做快速动态响应远端补偿
6	REFOUT	基准电压输出脚，和GND之间加0.1uF的MLCC电容
7	EN	芯片外部独立使能脚，当置高时芯片工作，置低时关闭，如果需要芯片自己启动可将EN pin连接到输入VIN，切勿悬空
8	GND	信号地
9	PG	开漏输出电压指示脚，需要通过上拉电阻上拉到相应电平信号
10	IN	输入电源脚，和GND之间至少加1uF以上的MLCC电容
	热焊盘	热焊盘，需要连接到一个大的GND区域确保芯片可以得到最大散热

6. 绝对最大值

覆盖全温范围（除非特别描述）

表 2.

电气参数	最小值	最大值	单位
IN, REFIN, LDOIN, EN, PG, SNS	-0.3	+6	V
REFOUT, OUT	-0.3	+3.6	V
PGND to GND	-0.3	0.3	V
环境参数	最小值	最大值	单位
最高结温	-	+150	°C
引脚温度（焊接, 10秒）	-	+260	°C
存储温度范围（环境温度）	-65	+150	°C

注：超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最大值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

6.1 推荐工作条件

覆盖全温范围（除非特别描述）

表 3.

电气参数	最小值	最大值	单位
IN	2.375	+5.5	V
EN, LDOIN, SNS, PG	0	+3.5	V
REFIN, REFOUT	0	+1.8	V
VOUT	0	+3.5	V
推荐环境参数	最小值	最大值	单位
工作温度范围（结温温度）	-40	+85	°C

注：超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最大值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

6.2 ESD 等级

表 4.

		值	单位
$V_{(ESD)}$	人体学模型(HBM),ANSI/ESDA/JEDEC JS-001	± 2000	V
	电荷器件模型(CDM),JEDEC specification JESD22-C101	± 1000	

7. 基本电学参数

 除非另有说明, $V_{IN}=3.3V$, $V_{EN}=2V$, $T_A=25^{\circ}C$

表 5.

参数	测试条件	测量	限值			单位
			最小	典型	最大	
输入基本参数						
输入范围		IN	2.375	-	5.5	V
输入欠压保护阈值		IN	-	2.3	2.375	V
输入欠压保护阈值（迟滞）		IN	-	50	-	mV
I _{Vin} DISABLED	EN=0	I _{Vin}	-	65	110	μA
I _{Vin} ENABLED	EN=2	I _{Vin}	200	560	1000	μA
V _{ldoin}		LDOIN	-	-	3.5	V
I _{ldoin} DISABLED	EN=0V,空载	I _{ldoin}	-	1	50	uA
I _{ldoin} ENABLED	EN=2V,空载	I _{ldoin}	-	1	50	uA
V _{refin}	EN=2V,空载	REFIN	0.8	-	1.8	V
输入欠压保护阈值	REFIN上升	REFIN	360	390	420	mV
输入欠压保护阈值（迟滞）		REFIN	-	20	-	mV
I _{refin} ENABLE	EN=2V,空载	I _{refin}	-	1	-	uA
输出电压						
输出电压	V _{REFOUT} =1.25V (DDR1), I _{OUT} = 0 A	OUT	-	1.25	-	V
		容限	-15	-	-15	mV
	V _{REFOUT} =0.9V (DDR2), I _{OUT} = 0 A	OUT	-	0.9	-	V
		容限	-15	-	-15	mV
	V _{REFOUT} =0.75V (DDR3), I _{OUT} = 0 A	OUT	-	0.75	-	V
		容限	-15	-	-15	mV
	V _{REFOUT} =0.675V (DDR3L),I _{OUT} = 0 A	OUT	-	0.675	-	V
		容限	-15	-	-15	mV
	V _{REFOUT} =0.6V (DDR4), I _{OUT} = 0 A	OUT	-	0.6	-	V
		容限	-15	-	-15	mV
输出电压容差	-2A<IVO<2A	OUT	-25	-	25	mV
输出拉电流限制	V _{SNS} =0.9xV _{REFOUT}	I _{OUT} SRCL	3	-	4.5	A
输出灌电流限制	V _{SNS} =1.1xV _{REFOUT}	I _{OUT} SNKL	3.5	-	5.5	A
输出关机放电电阻	V _{REFIN} = 0 V, V _{OUT} = 0.3 V, V _{EN} = 0 V	Rdis	-	12	-	Ω
输出参考						
REFOUT电压范围	EN=2V,空载	REFOUT	-	REFIN	-	V
	V _{REFIN} =1.25V, -10mA<I _{REFOUT} <10mA,		-15	-	+15	mV
	V _{REFIN} =0.9V, -10mA<I _{REFOUT} <10mA,		-15	-	+15	mV

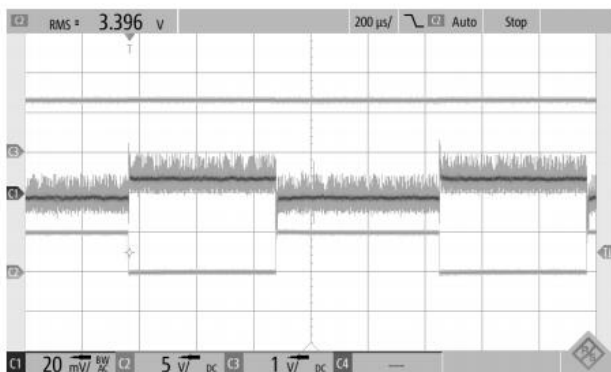
REFOUT容差	$V_{REFIN}=0.75V$, $-10mA<I_{REFOUT}<10mA$,	REFOUT	-15	-	+15	mV
	$V_{REFIN}=0.675V$, $-10mA<I_{REFOUT}<10mA$,		-15	-	+15	mV
	$V_{REFIN}=0.6V$, $-10mA<I_{REFOUT}<10mA$,		-15	-	+15	mV
REFOUT拉电流限制	$V_{REFOUT}=0V$	I_{REFOUT_SRCL}	10	40	-	mA
REFOUT灌电流限制	$V_{REFOUT}=0V$	I_{REFOUT_SNKL}	10	40	-	mA
热保护						
热保护阈值			-	150	-	°C
热保护迟滞			-	30	-	°C
EN逻辑电平						
EN逻辑开启电平门限		EN	1.8	-	-	V
EN逻辑关断电平门限		EN	-	-	0.4	V
EN逻辑迟滞		EN	-	250	-	mV
EN电流	EN=1.1V	EN	-	1	-	μA
	EN=0V		-	0.1	-	
电源指示						
PG时间上升延时	OUT	PG=H,Vout_on	-	2	-	ms
PG输出低延时	VSNS在±20%PGOOD窗口之外	PG=L,Vout_off	-	10	-	us
PG阈值 ^[1]	上拉	PG=H , Vout	-	-20%	-	
	下拉	PG=L , Vout	-	20%	-	
	迟滞		-	5%	-	
PG输出低电压	ISINK=5mA	V _{PG}	-	-	0.4	V
PG漏电流		I _{PG}	-	-	20	uA

注：[1]PG阈值只做设计参考保证。

8. 典型特性曲线 (TJ = -40°C to +125°C)

 VIN=VEN=3.3V; VLDOIN=1.8V; VREFIN=0.9V; VSNS=0.9V; CIN=10 μF , COUT= 2X 10 μF ;特殊定义除外。

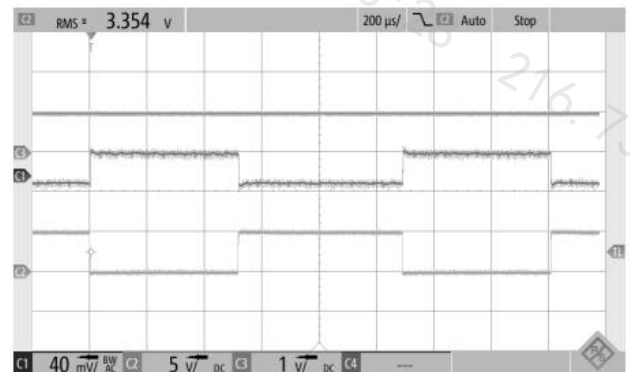
VOUT =1.25V,拉灌电流 1.67A



C1:OUT(AC); C2:DNYCLK; C3:OUT(DC)

图 3 DDR

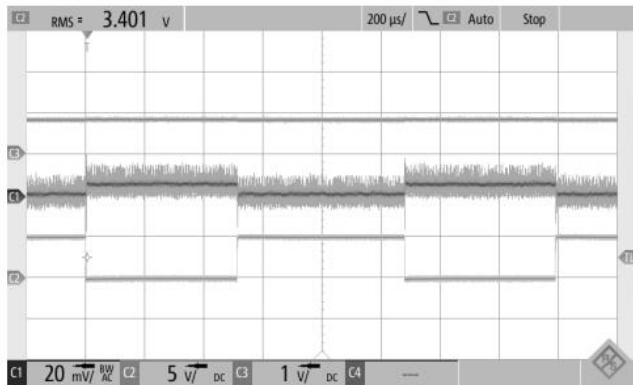
VOUT =0.9V, 拉灌电流 1.2A



C1:OUT(AC); C2:DNYCLK; C3:OUT(DC)

图 4 DDR2

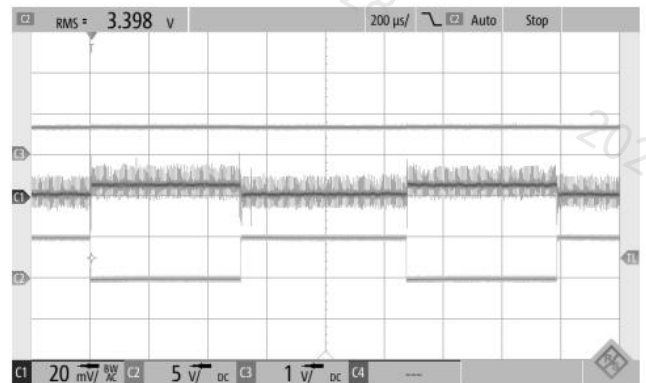
VOUT=0.75V, 拉灌电流 1A



C1:OUT(AC); C2:DNYCLK; C3:OUT(DC)

图 5 DDR3

VOUT =0.6V, ,拉灌电流 0.8A



C1:OUT(AC); C2:DNYCLK; C3:OUT(DC)

图 6 LDDR3

9. 功能框图

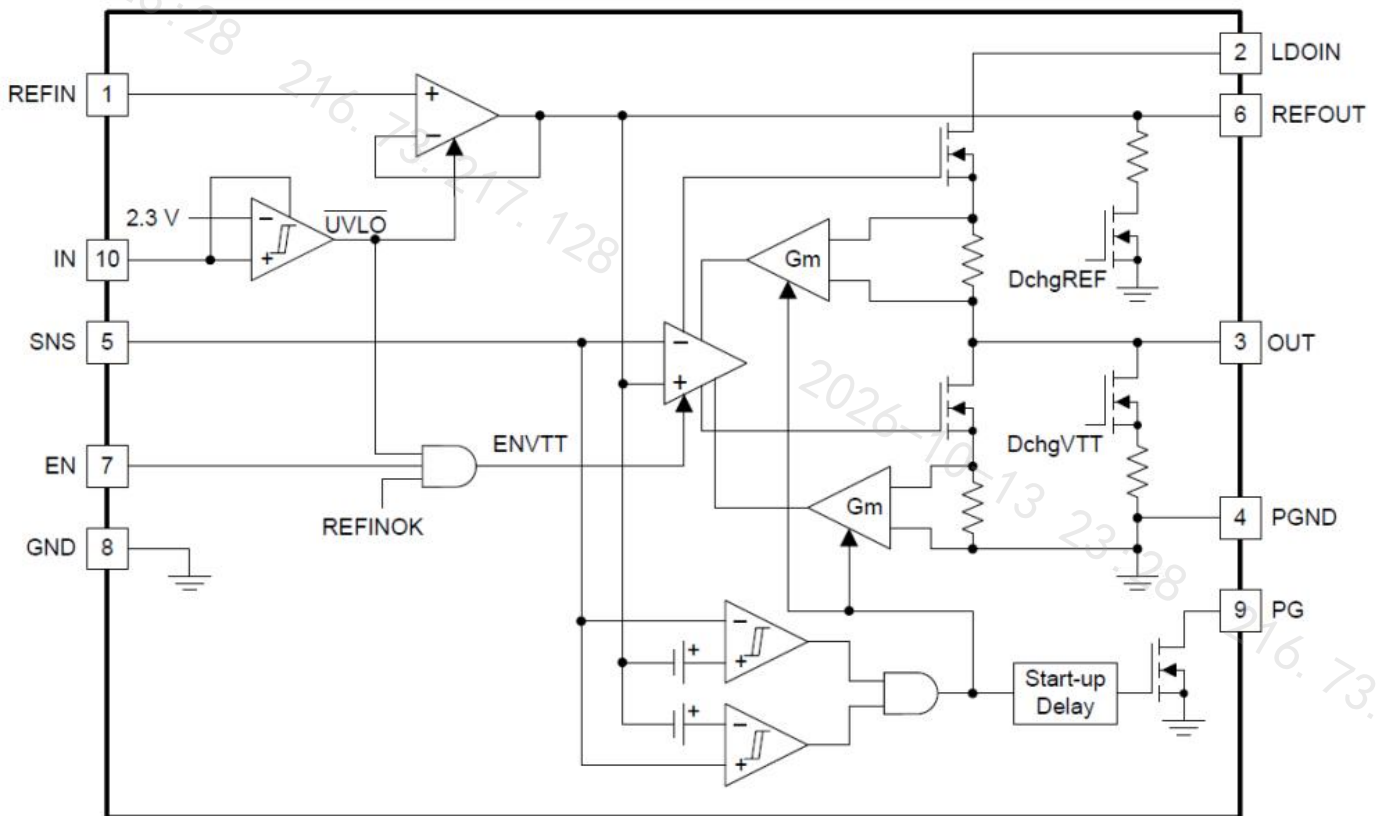


图 7 CYP51200 功能框图

10. 推荐应用原理图

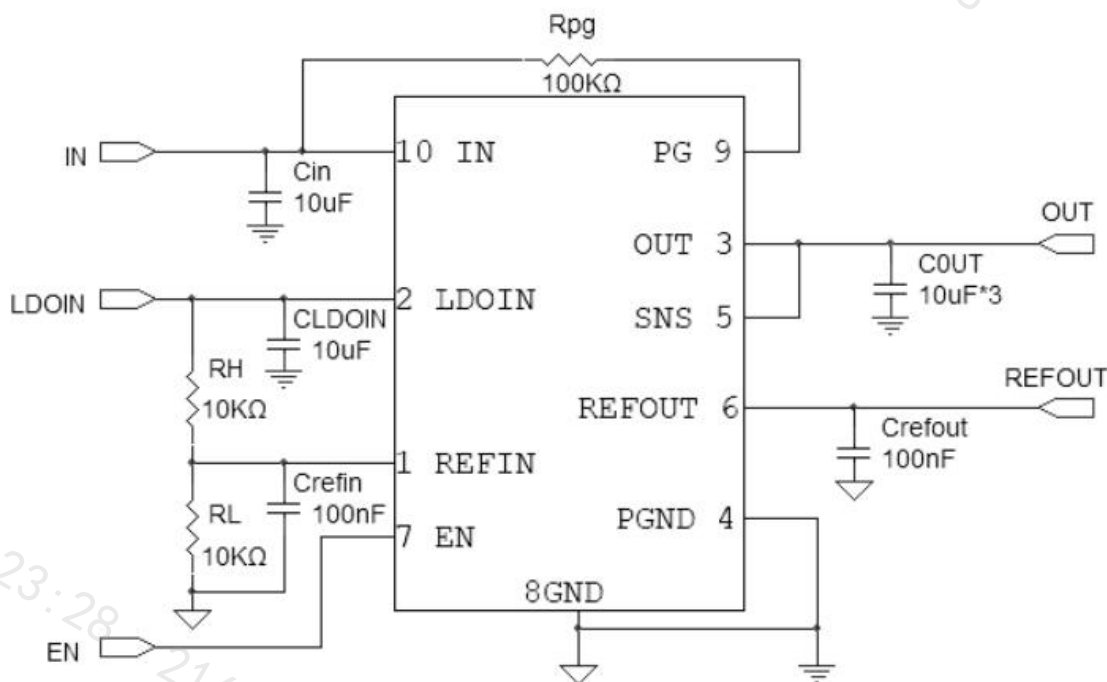


图 8 CYP51200 典型应用原理图

11. 功能描述

11.1 IN输入电容

为了减小干扰，需要将X7R或者更高等级的瓷片电容放在IN和PGND之间，并且尽量减小电容和IN, PGND构成的回路面积，建议电容的总容量最好大于10μF。对于VIN欠压锁定（UVLO）保护，CYP51200 监控VIN电压。当VIN电压低于UVLO 阈值电压时，VO和REFOUT稳压器均断电。该关断是非锁存保护。

11.2 LDOIN输入电容

建议在LDOIN引脚附近并联放置一个10 μF或更大的瓷片电容和一个0.1 μF的旁路瓷片电容，以保持瞬态电压稳定。如果输出端使用较大的瓷片输出电容，则需要放置更多的输入电容，建议在LDOIN引脚上放置一半输出电容值的输入电容。

11.3 OUT输出电容

输出电容的作用是承受电感电流的脉动，减小输出电压纹波，并且要同时兼顾稳态特性和动态特性。在大多数应用中，会采用X7R或者更高等级的瓷片电容，容量最好大于22μF。由于瓷片电容的容量会随着所承受的直流电压而改变，所以通常所选电容的耐压值会达到实际电压1.5到2倍。

建议选择三个并联的10 μF X5R或X7R型瓷片电容，以最小化等效串联电阻（ESR）和等效串联电感（ESL）。输出电容必须尽可能靠近输出引脚。为保证准确的输出调整率，降低线路电阻的影响，应将远程遥感端子VOSNS通过不走电流的路径连接到输出电容的正端。

11.4 REFIN参考输入

CYP51200 使用REFIN引脚上的电压作为参考电压，REFOUT引脚上的输出电压在VREFOUT_TOL公差范围内与REFIN电压完全一致。当REFIN设置为标准DDR终端应用时，REFIN可由连接到存储器电源总线(VDDQ)的外部等效分压器设置。CYP51200 支持从0.5V到1.8V的REFIN输入电压范围。当REFIN电压高于REFIN的上升UVLO阈值并且IN电压准备就绪时，REFOUT引脚上有电压调节，REFOUT引脚与EN状态无关。

11.5 REFOUT参考输出

当CYP51200 配置为DDR终端应用时，REFOUT会为内存应用程序生成DDR VTT参考电压。它能够支持10mA的灌/拉电流。当REFIN电压上升至0.390V且VIN高于UVLO阈值时，REFOUT变为有效。当REFOUT小于0.375V时，它被禁用，然后通过内部10k Ω MOSFET放电至GND。REFOUT与EN引脚状态无关。

11.6 PowerGood (PG)

CYP51200 集成了输出电源指示信号，开漏输出，当输出电压开始建立阶段启动后，PG引脚保持低阻抗，直到输出电压完全建立，当OUT输出在REFOUT的 $\pm 20\%$ 范围内时，该输出变为高电平，PG引脚变为高输出阻抗，PG被拉到高电压电平，以指示输出电压准备就绪。建议在PG引脚和上拉电压电源之间连接一个100k Ω 的上拉电阻器。

11.7 EN使能控制

EN脚用于外部使能控制，当EN被拉到高电平时，OUT稳压器开始正常工作。当EN被拉到低电平时，OUT通过内部MOS放电至GND。当EN被拉到低电平时，REFOUT保持打开状态。确保EN引脚电压始终保持低于或等于V_{VIN}。

当外部使能信号on时，EN脚为高电平，芯片使能工作；当外部使能信号off时，EN脚为低电平，芯片输出禁用；将此引脚连接到外部处理器或数字逻辑控制电路的GPIO以启用和禁用设备。

11.8 OCL过流保护

CYP51200 具有恒定的过流保护限制工作(OCL)。当输出电压不在power good范围内时，OCL减少一半。这种减少是一种非锁存保护。

11.9 OTP过温保护

CYP51200 监控结温。如果器件结温超过最大结温150 $^{\circ}\text{C}$ 阈值，OUT和REFOUT稳压器均关断，由内部放电MOSFET放电。当结温冷却到135 $^{\circ}\text{C}$ 以下(25 $^{\circ}\text{C}$ 迟滞)，芯片恢复工作。该关断是非锁存保护。

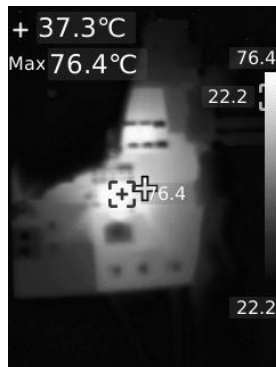


图 9 DDR3, 1.2A 拉灌电流, 热分布图

12. PCB 布局要求

CYP51200 的布局推荐：

- 1) 为了得到较好的散热能力，芯片底部的散热焊盘需要直接焊接到PCB上，并且通过尽可能多的过孔连接至PCB其它层地平面敷铜，以进一步降低热阻，帮助芯片散热。
- 2) 输入电容CIN，CLDOIN需要尽量靠近IN和LDOIN，与PGND其构成的面积需要尽量小。
- 3) REF相关信号参考地与GND相连接，其构成的面积需要尽量小。
- 4) COUT需要尽量靠近OUT和PGND脚。

13. 封装形式

封装形式: DFN3×3-10L 单位 (mm)

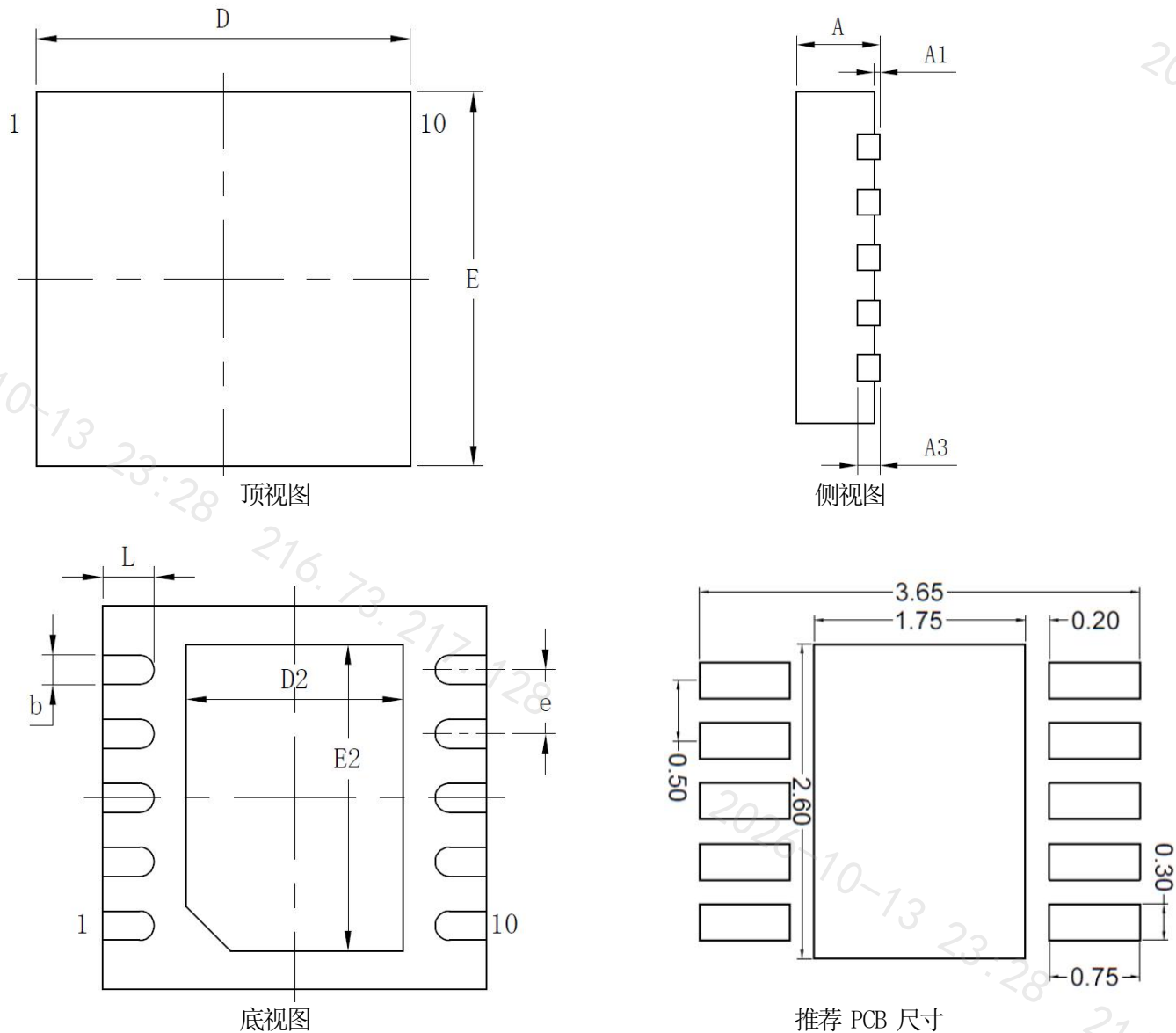


表 6.

尺寸 标注	最小 (mm)	典型 (mm)	最大 (mm)	尺寸 标注	最小 (mm)	典型 (mm)	最大 (mm)
A	0.70	0.75	0.80	E	2.90	3.00	3.10
A1	-	-	0.05	D2	1.60	1.70	1.80
A3	0.203REF			E2	2.30	2.40	2.50
b	0.18	0.23	0.28	e	0.50(TYP)		
D	2.90	3.00	3.00	L	0.35	0.40	0.45

图 10 封装尺寸图

14. 订购信息

物料编号	温度范围	等级类型	封装
CYP51200D10I	-40℃ - 85℃	工业级	DFN3×3-10L
CYP51200D10J	-55℃ - 125℃	军温级	DFN3×3-10L

15. 说明

如欲了解更多的产品及公司信息，请联系公司办公室人员或登录公司网站：

联系电话：021-33885531；

网址：<https://mall.ichelps.com/>

16. 本文档中的信息如有变更，恕不另行通知



请使用微信扫码进入
芯片助手ICHELPS小程序

查资料 查替代 查库存 查价格

招募中国区各省代理，联系电话：021-33885531