

文档版本	修订日期	内容描述
1.0	2026-5-12	初版
1.1	2026-5-18	子料号命名规则修改以及增加了军温级选项

CYF7VX690T

现场可编程门阵列电路

1. 产品介绍

1.1. 产品概述

CYF7VX690T 是基于 SRAM 配置的高密度可编程逻辑阵列电路。其中，6 输入查找表数量 433200 个，嵌入式存储器容量为 52920Kbit，用户 I/O 数量多达 1000 个，内置 20 个时钟管理模块，具有 3600 个 DSP 数字信号处理模块，提供 80 对高速收发器以及多种 IP 资源。

1.2. 产品特点

CYF7VX690T 主要用于具备高级串行连接功能的高性能信号处理应用。

CYF7VX690T 具有以下特点：

- 基于可配置为分布式存储器的真实 6 输入查找表（LUT）技术的高级高性能 FPGA 逻辑；
- 强大的时钟管理块（CMT），结合了锁相环（PLL）和混合模式时钟管理器（MMCM）模块，可实现高精度和低抖动；
- 具有内置 FIFO 逻辑的 36Kb 双端口 Block RAM，用于片上数据缓冲；
- 高性能 SelectIO 技术，支持高达 1866 Mb/s 的 DDR3 接口；
- 具有 25x18 乘法器，48 位累加器和预加器的 DSP Slice，用于高性能滤波，包括优化的对称系数滤波；
- 灵活的配置选项，包括：SPI 和并行 Flash 接口；专用的回读重配置逻辑，可支持多比特流；自动总线宽度检测功能；
- 对所有器件都有系统监控功能，包括：片上/片外热特性监控；片上/片外电源监控；通过 JTAG 端口访问所有监控量；
- 用于 PCI Express（PCIe）的集成块，最多可用于 x8 Gen3 端点和根端口设计；
- 通过内置的多千兆位收发器实现从 600 Mb/s 到最大的高速串行连接。速率最高可达 13.1 Gb/s，提供了一种特殊的低功耗模式，针对芯片到芯片接口进行了优化；
- 采用 28nm 流片工艺，1.0 V 核心电压处理技术；
- 裸片倒装芯片和高信号完整性倒装芯片封装；
- 用户可配置的模拟接口（XADC），将双 12 位 1MSPS 模数转换器与片上温度传感器和电源传感器结合在一起；
- 多种配置选项，包括对存储器的支持，具有 HMAC / SHA-256 身份验证的 256 位 AES 加密以及内置的 SEU 检测和校正。

1.3. 产品用途

CYF7VX690T 为可编程逻辑器件，内部集成了功能强大、并可以灵活配置组合的可编程资源，可实现输入输出接口、通用数字逻辑、存储器、数字信号处理、时钟管理等多种功能，同时提供了丰富的专用时钟与布线资源，适用于实现复杂、高速的数字逻辑电路，可广泛应用于通讯、信息处理、工业控制、数据中心、仪表测量、医疗仪器、人工智能、自动驾驶等领域。

1.4. 对应国外产品情况

主要性能指标、引脚与 Xilinx 公司 FPGA 产品 XC7VX690T 兼容。

2. 产品说明

2.1. 产品尺寸

2.1.1. FFG1927 封装产品尺寸

FFG1927 封装尺寸为 45mm×45 mm，外形示意图如图 1 所示，外形尺寸如表 1 所示。

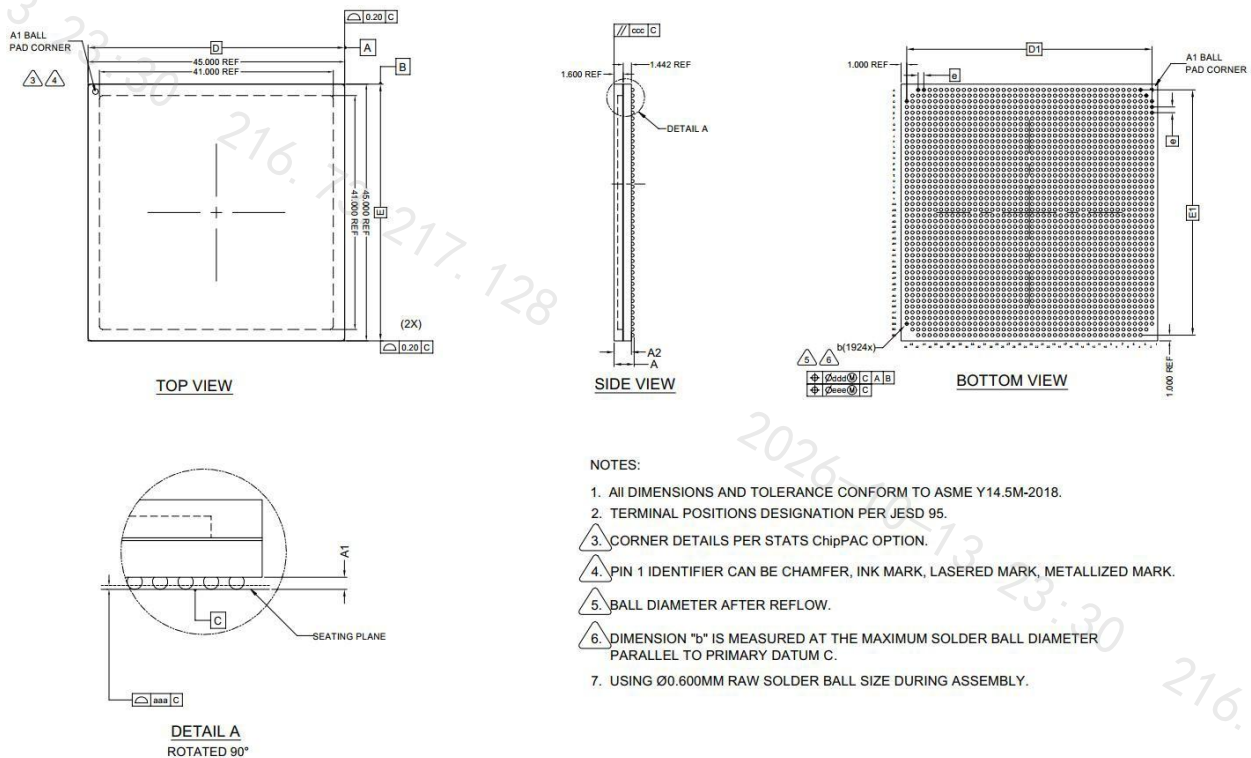


图 1 FFG1927 封装外形示意图

表 1 1 FFG1927 封装外形尺寸

尺寸符号	数值（单位为毫米）			备注
	最小	公称	最大	
A	3.352	3.517	3.682	SYMBOL”M” IS THE PIN MATRIX SIZE.
A1	0.425	0.475	0.525	
A2	2.885	3.042	3.199	
D	—	45.00	—	
E	—	45.00	—	
D1	—	43.00	—	
E1	—	43.00	—	
e	—	1.0	—	
b	0.5	0.6	0.7	
aaa	—	—	0.20	
ccc	—	—	0.35	
ddd	—	—	0.25	
eee	—	—	0.10	
M	44			

2.1.2. FFG1157 封装产品尺寸

FFG1157 封装尺寸为 35mm×35 mm，外形示意图如图2 所示，外形尺寸如表 2 所示。

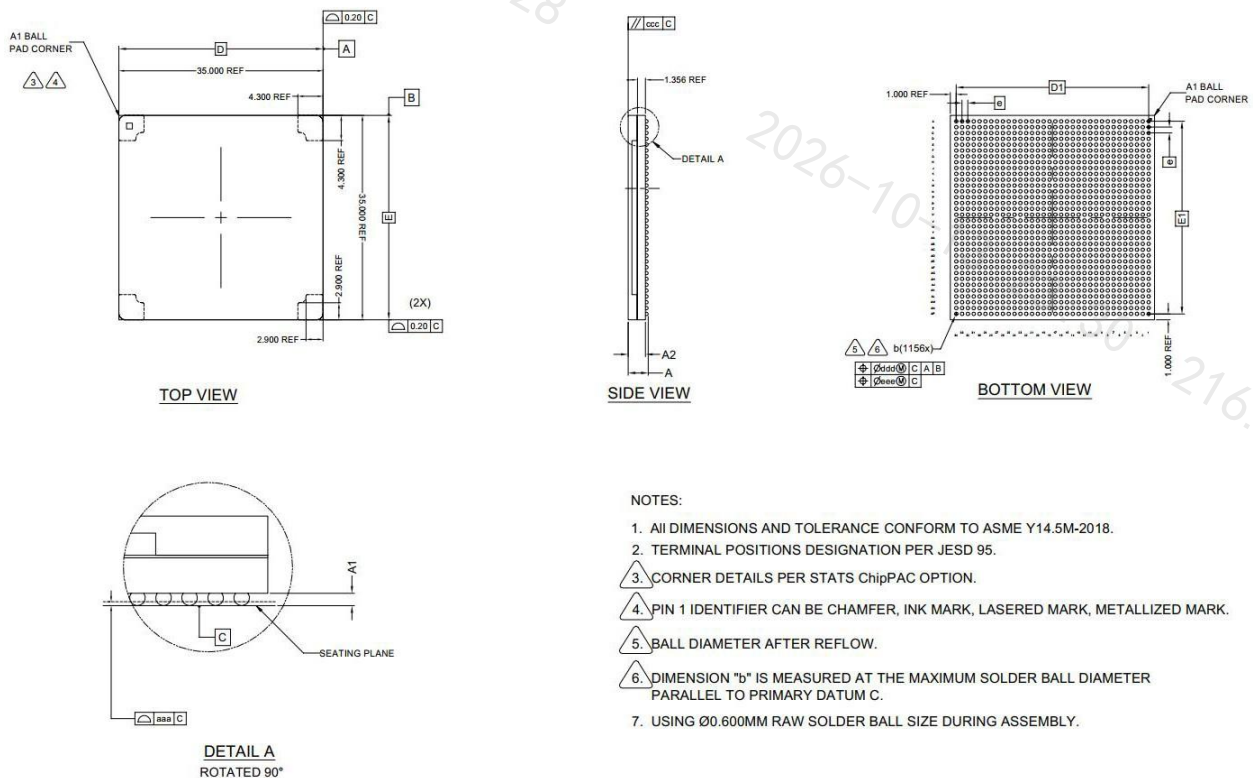

图 2 FFG1157 封装外形示意图

表 2 FFG1157封装外形尺寸

尺寸符号	数值（单位为毫米）			备注
	最小	公称	最大	
A	3.266	3.431	3.596	SYMBOL”M” IS THE PIN MATRIX SIZE.
A1	0.425	0.475	0.525	
A2	2.799	2.956	3.113	
D	—	35.00	—	
E	—	35.00	—	
D1	—	33.00	—	
E1	—	33.00	—	
e	—	1.00	—	
b	0.50	0.60	0.70	
aaa	—	—	0.20	
ccc	—	—	0.35	
ddd	—	—	0.25	
eee	—	—	0.10	
M	34			

2.1.3.FFG1761封装产品尺寸

FFG1761 封装尺寸为 42.5mm×42.5 mm，外形示意图如图 3 所示，外形尺寸如表 3所示。

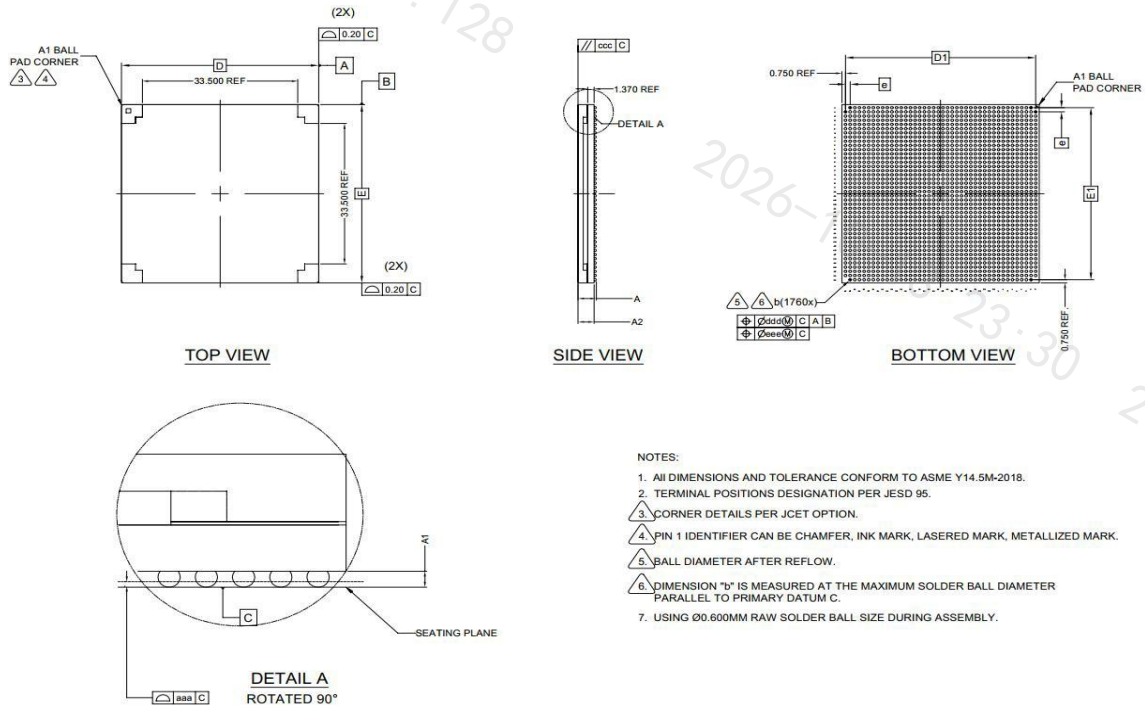

图 3 FFG1761 封装外形示意图

表 3 FFG1761 封装外形尺寸

尺寸符号	数值（单位为毫米）			备注
	最小	公称	最大	
A	3.772	3.945	4.118	SYMBOL“M” IS THE PIN MATRIX SIZE.
A1	0.425	0.475	0.525	
A2	3.304	3.470	3.636	
D	—	42.50	—	
E	—	42.50	—	
D1	—	41.00	—	
E1	—	41.00	—	
e	—	1.00	—	
b	0.50	0.60	0.70	
aaa	—	—	0.20	
ccc	—	—	0.35	
ddd	—	—	0.25	
eee	—	—	0.10	
M	42			

2.2. 重量

封装后质量不大于30克。

2.3. 工艺说明

器件采用 28nm CMOS 工艺设计加工。

2.3.1. 封装工艺

器件采用 FlipChip 的方式实现芯片与基板的互连，焊球材料为 Ni+SnAg。

2.3.2. 引脚说明

FFG1927封装采用无铅的具有高度信号完整性的Flip-Chip封装形式，引出端排列应符合图 4 规定，其管脚定义见附录 A.1。

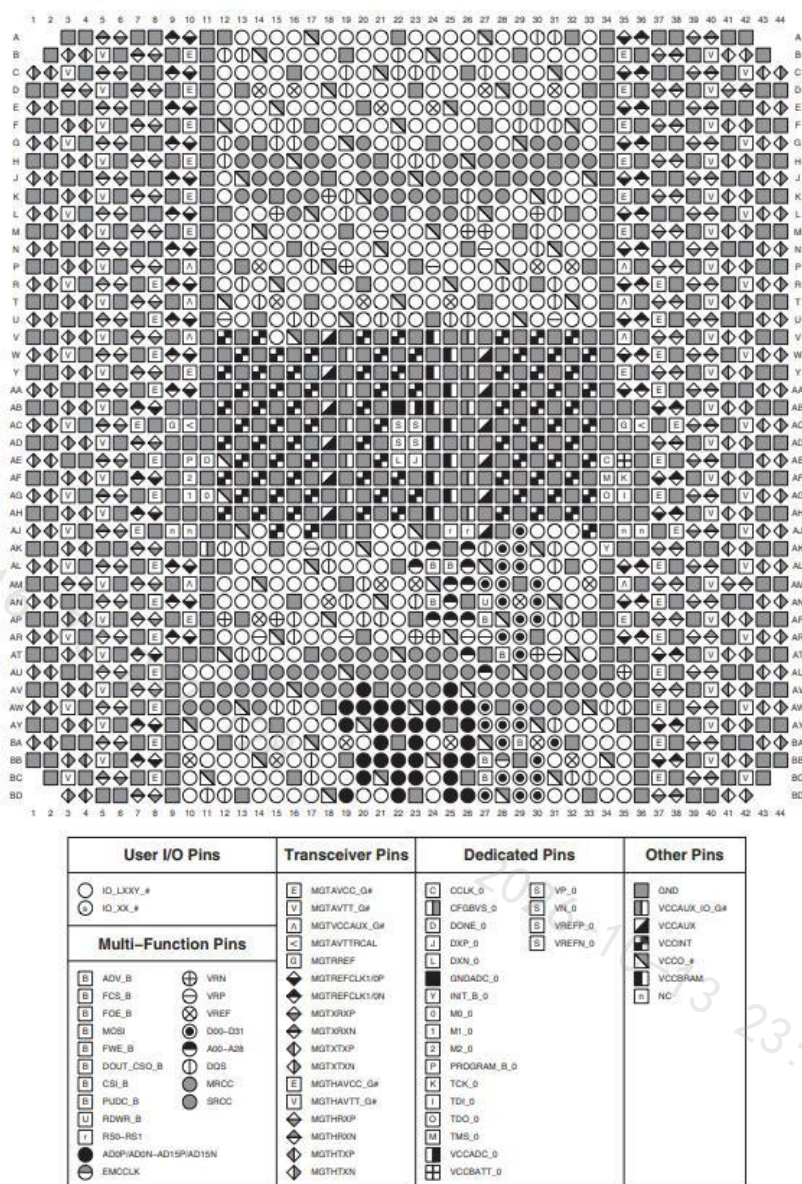


图 4 FFG1927 封装引脚示意图

FPG1157封装采用无铅的具有高度信号完整性的Flip-Chip封装形式，引出端排列应符合图 5 规定，其管脚定义见附录 A.2。

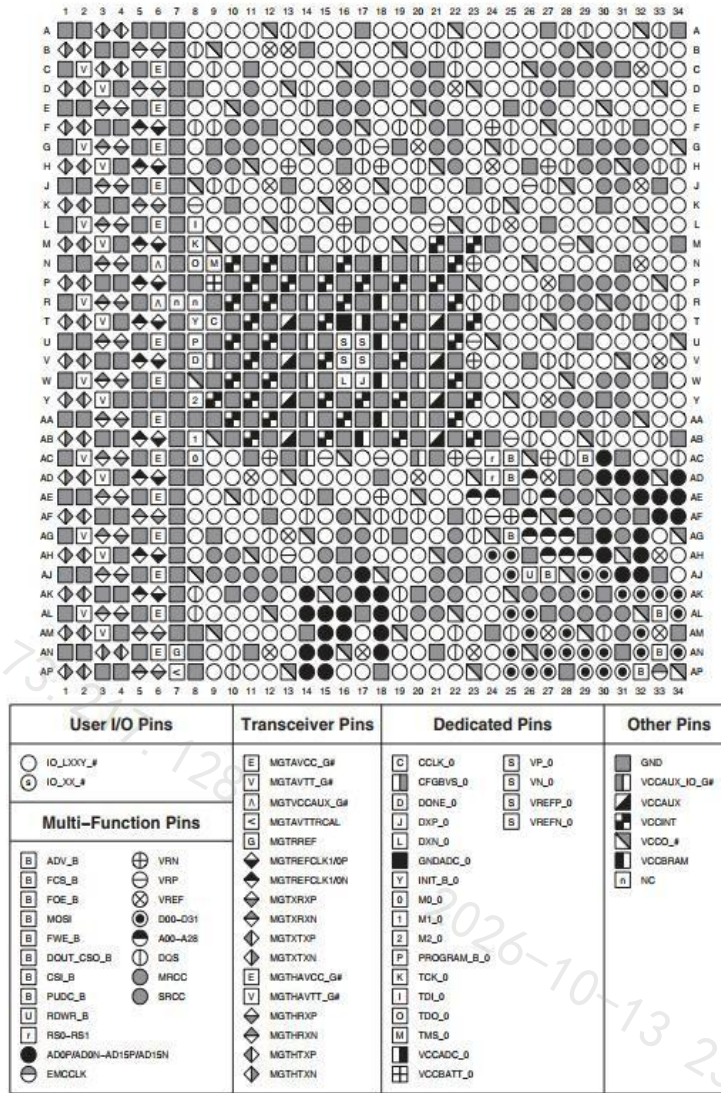


图 5 FPG1157 封装引脚示意图

FFG1761封装采用无铅的具有高度信号完整性的Flip-Chip封装形式，引出端排列应符合图 6 规定，其管脚定义见附录 A.3。

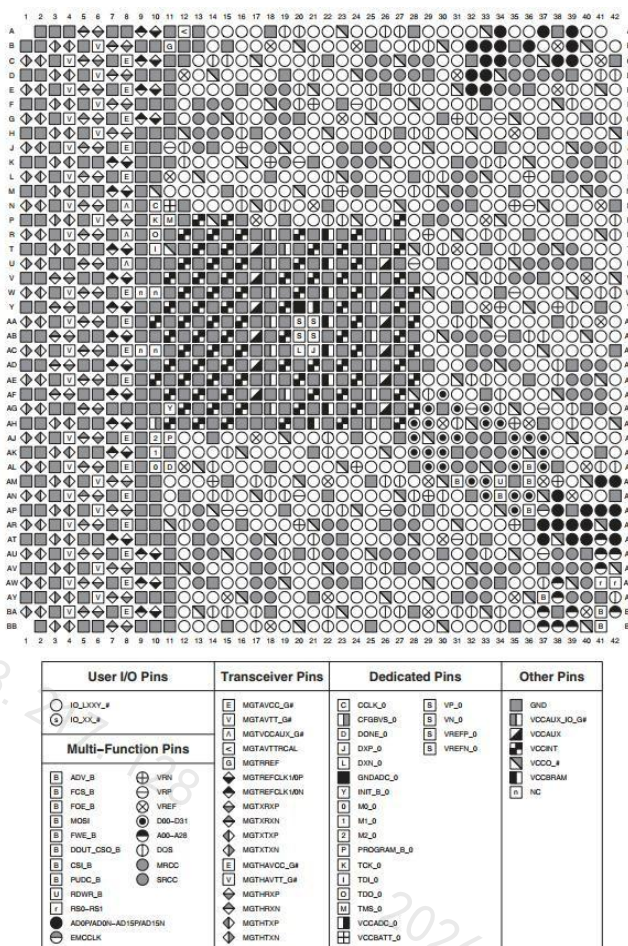


图 6 FFG1761 封装引脚示意图

2.4. 标识说明

产品标志应按规范 GJB597B-2012规定, 器件编号为 CYF7VX690T, 见图 7。

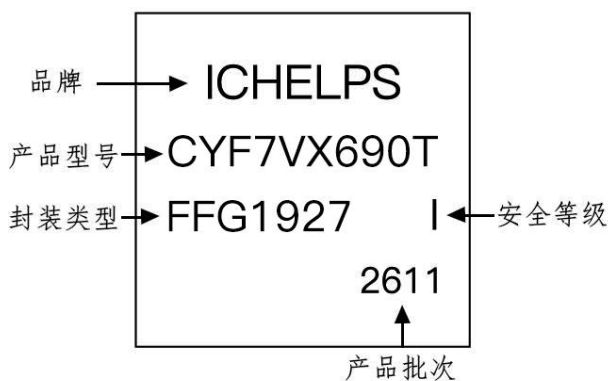


图 7 器件标识示意图

3. 极限工作条件和推荐工作条件

3.1. 极限工作条件

表 4 绝对最大额定值

符号	描述 ⁽¹⁾	最小值	最大值	单位
FPGA Logic				
V _{CCINT}	内核电源电压	-0.5	1.1	V
V _{CCAUX}	辅助电源电压	-0.5	2.0	V
V _{CCBRAM}	Block RAM存储器的电源电压	-0.5	1.1	V
V _{CCO}	1.8V HP I/O组输出电源电压	-0.5	2.0	V
V _{CCAUX_IO}	辅助电源电压	-0.5	2.06	V
V _{REF}	输入参考电压	-0.5	2.0	V
V _{IN}	1.8V HP I/O 组的 I/O 输入电压	-0.55	V _{CCO} +0.55	V
V _{CCBATT}	密钥存储器备用电源电压	-0.5	2.0	V
GTX and GTH Transceivers				
V _{MGTAVCC}	GTX / GTH 发射器和接收器电路的模拟电源电压	-0.5	1.1	V
V _{MGTAVTT}	GTX / GTH 发射器和接收器终端电路的模拟电源电压	-0.5	1.32	V
V _{MGTVCCAUX}	适用于 GTX / GTH 收发器的辅助模拟 Quad PLL (QPLL) 电源电压	-0.5	1.935	V
V _{MGTREFCLK}	GTX / GTH 收发器参考时钟绝对输入电压	-0.5	1.32	V
V _{MGTAVTTRCAL}	GTX / GTH 收发器列的电阻校准电路的模拟电源电压	-0.5	1.32	V
V _{IN}	接收器 (RXP / RXN) 和发送器 (TXP / TXN) 绝对输入电压	-0.5	1.26	V
I _{DCIN-FLOAT}	接收器输入引脚的直流输入电流 (直流耦合 RX 端接=悬空)	—	14	mA
I _{DCIN-MGTAVTT}	接收器输入引脚的直流输入电流 (直流耦合 RX 端接= V _{MGTAVTT})	—	12	mA
I _{DCIN-GND}	接收器输入引脚的直流输入电流 (直流耦合 RX 端接= GND)	—	6.5	mA
I _{DCOUT-FLOAT}	发送器引脚的直流输出电流 (直流耦合 RX 端接=悬空)	—	14	mA
I _{DCOUT-MGTAVTT}	发送器引脚的直流输出电流 (直流耦合 RX 端接= V _{MGTAVTT})	—	12	mA
XADC				
V _{CCADC}	相对于 GNDADC 的 XADC 电源电压	-0.5	2.0	V
V _{REFP}	相对于 GNDADC 的 XADC 参考输入电源电压	-0.5	2.0	V
Temperature				
T _{STG}	贮存温度 (环境温度)	-65	150	°C
T _{SOL}	Pb/Sn组件本体的最高焊接温度	—	+220	°C
	无铅组件本体的最高焊接温度	—	+260	°C
T _J	最高结温	—	+125	°C

注意: (1)产品实际使用条件超过表中列出的最大绝对额定值时,可能会对器件造成永久性的损伤。最大绝对额定值只是极限耐受条件,不是产品正常工作条件,任何超过推荐工作条件的持续工作,可能会对器件的可靠性造成影响。

3.2. 推荐工作条件

表 5 推荐工作条件

符号	描述	最小值	公称	最大值	单位
FPGA Logic					
$V_{CCINT}^{(1)}$	内核电源电压	0.97	1.00	1.03	V
$V_{CCBRAM}^{(1)}$	Block RAM电源电压	0.97	1.00	1.03	V
V_{CCAUX}	辅助电源电压	1.71	1.80	1.89	V
$V_{CCO}^{(2,3)}$	1.8V HP I/O组电源电压	1.14	—	1.89	V
V_{CCAUX_IO}	设置为1.8V时的辅助电源电压	1.71	1.80	1.89	V
	设置为2.0V时的辅助电源电压	1.94	2.00	2.06	V
$V_{IN}^{(4)}$	I/O输入电压	-0.20	—	$V_{CCO}+0.2$	V
$I_{IN}^{(5)}$	钳位二极管正向偏置时，通过任何引脚的最大电流	—	—	10	mA
$V_{CCBATT}^{(6)}$	电池电压	1.0	—	1.89	V
GTX and GTH Transceivers					
$V_{MGTAVCC}$	GTX / GTH收发器QPLL频率范围 ≤ 10.3125 GHz的模拟电源电压 ^(7, 8)	0.97	1.0	1.08	V
	GTX / GTH收发器QPLL频率范围 > 10.3125 GHz的模拟电源电压	1.02	1.05	1.08	V
$V_{MGTAVTT}$	GTX / GTH发射器和接收器端接电路的模拟电源电压	1.17	1.2	1.23	V
$V_{MGTVCCAUX}$	收发器的辅助模拟四通道PLL (QPLL) 电源电压	1.75	1.80	1.85	V
$V_{MGTAVTTRCAL}$	GTX / GTH收发器列的电阻校准电路的模拟电源电压	1.17	1.2	1.23	V
XADC					
V_{CCADC}	相对于GNDADC的XADC电源电压	1.71	1.80	1.89	V
V_{REFP}	外部提供的参考电源电压	1.20	1.25	1.30	V
Temperature					
T_j	器件的结温工作范围	-55	—	125	°C
备注： (1) V_{CCINT} 和 V_{CCBRAM} 应该连接到同一电源。 (2) 即使 V_{CCO} 降至 0V，配置数据也会保留。 (3) 包括1.2V, 1.35V, 1.5V, 1.8V的 V_{CCO} ($\pm 5\%$) (4) 始终适用较低的绝对电压规格。 (5) 每个bank的总电流不得超过200 mA。 (6) 仅在使用位流加密时才需要 V_{CCBATT} 。如果不使用电池，则将 V_{CCBATT} 接地或 V_{CCAUX} 。 (7) 对于数据速率 ≤ 10.3125 Gb / s， $V_{MGTAVCC}$ 应为 $1.0V \pm 3\%$ ，以降低功耗。 (8) 为了降低功耗， $V_{MGTAVCC}$ 在整个CPLL频率范围内应为 $1.0V \pm 3\%$ 。					

3.3. 上电/断电电源顺序

推荐的上电顺序是 VCCINT、VCCBRAM、VCCAUX 和 VCCO，以实现最小电流消耗并确保 I/O 在上电时处于三态。推荐的断电顺序与上电顺序相反。如果 VCCINT 和 VCCBRAM 具有相同的推荐电压电平，则两者都可以由相同的电源供电并同步上电。如果 VCCAUX 和 VCCO 具有相同的推荐电压电平，则两者都可以由相同的电源供电并同步上电。

对于 HR I/O bank 和配置 bank 0 中 3.3V 的 VCCO 电压，适用以下条件：

- 对于每个上电/断电周期，VCCO 和 VCCAUX 之间的电压差不要超过 2.625V，如果两者电压差超过 2.625V，则时间不得超过 TVCCO2VCCAUX，以保持器件的可靠性水平。
- TVCCO2VCCAUX 时间可以在上电和断电电压上升和下降的斜坡之间以任何百分比分配。

4. 主要技术参数指标

4.1. 电特性参数

4.1.1. 静态参数

表 6 静态参数

特性	符号	条件 除另有规定外 $0.97 \leq V_{CCINT} \leq 1.03V$, $1.14 \leq V_{CCO} \leq 1.89V$, $1.71 \leq V_{CCAUX} \leq 1.89V$, $V_{CCBRAM} = 1.0V$, $V_{CCADC} = 1.8V$, $V_{CCAUX_IO} = 1.8V$, $V_{MGTAVTT} = 1.2V$, $V_{MGTAVCC} = 1.0V$, $V_{MGTVCCAUX} = 1.8V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
配置数据能保持的最低 VCCINT 电压	V _{DRINT}	V _{CCO} =1.8V, V _{CCAUX} =1.8V, 初始 V _{CCINT} =1.0V	0.75	—	V
配置数据能保持的最低 VCCAUX 电压	V _{DRI}	V _{CCINT} =1.0V, V _{CCO} =1.8V, 初始 V _{CCAUX} =1.8V	1.5	—	V
特性	符号	条件 除另有规定外 $0.97 \leq V_{CCINT} \leq 1.03V$, $1.14 \leq V_{CCO} \leq 1.89V$, $1.71 \leq V_{CCAUX} \leq 1.89V$, $V_{CCBRAM} = 1.0V$, $V_{CCADC} = 1.8V$, $V_{CCAUX_IO} = 1.8V$, $V_{MGTAVTT} = 1.2V$, $V_{MGTAVCC} = 1.0V$, $V_{MGTVCCAUX} = 1.8V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
输出高电平电压	V _{OH}	HSTL_I, I _{OH} = -8mA	1.0	—	V
		HSTL_I_18, I _{OH} = -8mA	1.3	—	V
		HSTL_II, I _{OH} = -16mA	1.0	—	V
		HSTL_II_18, I _{OH} = -16mA	1.3	—	V
		HSUL_12, I _{OH} = -0.1mA	0.88	—	V
		LVC MOS12, I _{OH} = -8mA, -6mA, -4mA, -2mA	0.7	—	V
		LVC MOS15, I _{OH} = -16mA, -12mA, -8mA, -6mA, -4mA, -2mA	0.825	—	V
		LVC MOS18, I _{OH} = -16mA, -12mA, -8mA, -6mA, -4mA, -2mA	1.25	—	V
		SSTL135, I _{OH} = -13.0mA	0.775	—	V
		SSTL15, I _{OH} = -13.0mA	0.875	—	V

特性	符号	条件 除另有规定外 $0.97 \leq V_{CCINT} \leq 1.03V$, $1.14 \leq V_{CCO} \leq 1.89V$, $1.71 \leq V_{CCAUX} \leq 1.89V$, $V_{CCBRAM} = 1.0V$, $V_{CCADC} = 1.8V$, $V_{CCAUX_IO} = 1.8V$, $V_{MGTAVTT} = 1.2V$, $V_{MGTAVCC} = 1.0V$, $V_{MGTVCCAUX} = 1.8V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
		SSTL 18_I, $I_{OH} = -8mA$	1.32	—	V
		SSTL 18_II, $I_{OH} = -13.4mA$	1.45	—	V
		DIFF_HSTL_I_18, $I_{OH} = -8mA$	V_{CCO} - 0.400	—	V
		DIFF_HSTL_II_18, $I_{OH} = -16mA$	V_{CCO} - 0.400	—	V
		DIFF_SSTL18_I, $I_{OH} = -8mA$	$(V_{CCO}/2) +$ 0.470	—	V
		DIFF_SSTL18_II, $I_{OH} = -13.4mA$	$(V_{CCO}/2) +$ 0.600	—	V
		DIFF_HSTL_I, $I_{OH} = -8mA$	V_{CCO} - 0.400	—	V
		DIFF_HSTL_II, $I_{OH} = -16mA$	V_{CCO} - 0.400	—	V
		DIFF_SSTL15, $I_{OH} = -13mA$	$(V_{CCO}/2) +$ 0.175	—	V
		DIFF_HSUL12, $I_{OH} = -0.1mA$	80% V_{CCO}	—	V
		DIFF_SSTL135, $I_{OH} = -13mA$	$(V_{CCO}/2) +$ 0.150	—	V
输出低电平电压	V_{OL}	HSTL_I, $I_{OH} = 8mA$	—	0.400	mV
		HSTL_I_18, $I_{OH} = 8mA$	—	0.400	mV
		HSTL_II, $I_{OH} = 16mA$	—	V_{CCO} - 0.400	mV
		HSTL_II_18, $I_{OH} = 16mA$	—	V_{CCO} - 0.400	mV

特性	符号	条件 除另有规定外 $0.97 \leq V_{CCINT} \leq 1.03V$, $1.14 \leq V_{CCO} \leq 1.89V$, $1.71 \leq V_{CCAUX} \leq 1.89V$, $V_{CCBRAM} = 1.0V$, $V_{CCADC} = 1.8V$, $V_{CCAUX_IO} = 1.8V$, $V_{MGTAVTT} = 1.2V$, $V_{MGTAVCC} = 1.0V$, $V_{MGTVCCAUX} = 1.8V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
		HSUL_12, $I_{OH} = 0.1mA$	—	80% V_{CCO}	mV
		LVC MOS12, $I_{OH} = 8mA$ 、 $6mA$ 、 $4mA$ 、 $2mA$	—	V_{CCO} - 0.400	mV
		LVC MOS15, $I_{OH} = 16mA$ 、 $12mA$ 、 $8mA$ 、 $6mA$ 、 $4mA$ 、 $2mA$	—	75% V_{CCO}	V
		LVC MOS18, $I_{OH} = 16mA$ 、 $12mA$ 、 $8mA$ 、 $6mA$ 、 $4mA$ 、 $2mA$	—	V_{CCO} - 0.450	V
		SSTL135, $I_{OH} = 13.0mA$	—	V_{CCO} /2 + 0.150	V
		SSTL15, $I_{OH} = 13.0mA$	—	V_{CCO} /2 + 0.175	V
		SSTL 18_I, $I_{OH} = 8mA$	—	V_{CCO} /2 + 0.470	V
		SSTL 18_II, $I_{OH} = 13.4mA$	—	V_{CCO} /2 + 0.600	V
		DIFF_HSTL_I_18, $I_{OH} = 8mA$	—	0.400	V
		DIFF_HSTL_II_18, $I_{OH} = 16mA$	—	0.400	V
		DIFF_SSTL18_I, $I_{OH} = 8mA$	—	V_{CCO} /2 - 0.470	V
		DIFF_SSTL18_II, $I_{OH} = 13.4mA$	—	V_{CCO} /2 - 0.600	V
		DIFF_HSTL_I, $I_{OH} = 8mA$	—	0.400	V
		DIFF_HSTL_II, $I_{OH} = 16mA$	—	0.400	V
		DIFF_SSTL15, $I_{OH} = 13mA$	—	V_{CCO} /2 - 0.175	V

特性	符号	条件 除另有规定外 $0.97 \leq V_{CCINT} \leq 1.03V$, $1.14 \leq V_{CCO} \leq 1.89V$, $1.71 \leq V_{CCAUX} \leq 1.89V$, $V_{CCBRAM} = 1.0V$, $V_{CCADC} = 1.8V$, $V_{CCAUX_IO} = 1.8V$, $V_{MGTAVTT} = 1.2V$, $V_{MGTAVCC} = 1.0V$, $V_{MGTVCCAUX} = 1.8V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
		DIFF_HSUL12, $I_{OH} = 0.1mA$	—	20% V_{CCO}	V
		DIFF_SSTL135, $I_{OH} = 13mA$	—	V_{CCO} /2 - 0.150	V
输入高电平电压	V_{IH}	HSTL_I	V_{REF} + 0.100	V_{CCO} + 0.300	V
		HSTL_I_18	V_{REF} + 0.100	V_{CCO} + 0.300	V
		HSTL_II	V_{REF} + 0.100	V_{CCO} + 0.300	V
		HSTL_II_18	V_{REF} + 0.100	V_{CCO} + 0.300	V
		HSUL_12	V_{REF} + 0.130	V_{CCO} + 0.300	V
		LVC MOS12	65% V_{CCO}	V_{CCO} + 0.300	V
		LVC MOS15	65% V_{CCO}	V_{CCO} + 0.300	V
		LVC MOS18	65% V_{CCO}	V_{CCO} + 0.300	V
		SSTL135	V_{REF} + 0.090	V_{CCO} + 0.300	V
		SSTL15	V_{REF} + 0.100	V_{CCO} + 0.300	V

特性	符号	条件 除另有规定外 $0.97 \leq V_{CCINT} \leq 1.03V$, $1.14 \leq V_{CCO} \leq 1.89V$, $1.71 \leq V_{CCAUX} \leq 1.89V$, $V_{CCBRAM} = 1.0V$, $V_{CCADC} = 1.8V$, $V_{CCAUX_IO} = 1.8V$, $V_{MGTAVTT} = 1.2V$, $V_{MGTAVCC} = 1.0V$, $V_{MGTVCCAUX} = 1.8V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
		SSTL 18_I	$V_{REF} + 0.125$	$V_{CCO} + 0.300$	V
		SSTL 18_II	$V_{REF} + 0.125$	$V_{CCO} + 0.300$	V
		DIFF_HSTL_I_18 V_{ID}	0.100	—	V
		DIFF_HSTL_II_18 V_{ID}	0.100	—	V
		DIFF_SSTL18_I V_{ID}	0.100	—	V
		DIFF_SSTL18_II V_{ID}	0.100	—	V
		DIFF_HSTL_I V_{ID}	0.100	—	V
		DIFF_HSTL_II V_{ID}	0.100	—	V
		DIFF_SSTL15 V_{ID}	0.100	—	V
		DIFF_HSUL12 V_{ID}	0.100	—	V
		DIFF_SSTL135 V_{ID}	0.100	—	V
输入低电平电压	V_{IL}	HSTL_I	-0.300	$V_{REF} - 0.100$	mV
		HSTL_I_18	-0.300	$V_{REF} - 0.100$	mV
		HSTL_II	-0.300	$V_{REF} - 0.100$	mV
		HSTL_II_18	-0.300	$V_{REF} - 0.100$	mV
		HSUL_12	-0.300	$V_{REF} - 0.130$	mV
		LVC MOS12	-0.300	$35\% V_{CCO}$	mV
		LVC MOS15	-0.300	$35\% V_{CCO}$	V
		LVC MOS18	-0.300	$35\% V_{CCO}$	V

特性	符号	条件 除另有规定外 0.97≤V _{CCINT} ≤1.03V, 1.14≤V _{CCO} ≤1.89V, 1.71≤V _{CCAUX} ≤1.89V, V _{CCBRAM} =1.0V, V _{CCADC} =1.8V, V _{CCAUX_IO} =1.8V, V _{MGTAVTT} =1.2V, V _{MGTAVCC} =1.0V, V _{MGTVCCAUX} =1.8V, -55℃≤T _A ≤125℃	极限值		单位
			最小	最大	
		SSTL135	- 0.300	V _{REF} - 0.090	V
		SSTL15	- 0.300	V _{REF} - 0.100	V
		SSTL 18_I	- 0.300	V _{REF} - 0.125	V
		SSTL 18_II	- 0.300	V _{REF} - 0.125	V
		DIFF_HSTL_I_18 V _{ICM}	0.300	1.425	V
		DIFF_HSTL_II_18 V _{ICM}	0.300	1.425	V
		DIFF_SSTL18_I V _{ICM}	0.300	1.425	V
		DIFF_SSTL18_II V _{ICM}	0.300	1.425	V
		DIFF_HSTL_I V _{ICM}	0.300	1.125	V
		DIFF_HSTL_II V _{ICM}	0.300	1.125	V
		DIFF_SSTL15 V _{ICM}	0.300	1.125	V
		DIFF_HSUL12 V _{ICM}	0.300	0.850	V
		DIFF_SSTL135 V _{ICM}	0.300	1.000	V
存储器接口 IP 的最高物理接口 (PHY) 速率					
存储器标准	I/O Bank 类型	条件 除另有规定外 0.97≤V _{CCINT} ≤1.03V, 1.14≤V _{CCO} ≤1.89V, 1.71≤V _{CCAUX} ≤1.89V, V _{CCBRAM} =1.0V, V _{CCADC} =1.8V, V _{CCAUX_IO} =1.8V, V _{MGTAVTT} =1.2V, V _{MGTAVCC} =1.0V, V _{MGTVCCAUX} =1.8V, -55℃≤T _A ≤125℃	最大值		单位
4:1 Memory Controllers					
DDR3	HP	V _{CCAUX_IO} =2.0V	1866		Mb/s
	HP	V _{CCAUX_IO} =1.8V	1600		
DDR3L	HP	V _{CCAUX_IO} =2.0V	1600		Mb/s
	HP	V _{CCAUX_IO} =1.8V	1333		

4.1.2. 开关参数

表 7 开关参数

特性	符号	条件 除另有规定外 $0.97 \leq V_{CCINT} \leq 1.03V$, $1.14 \leq V_{CCO} \leq 1.89V$, $1.71 \leq V_{CCAUX} \leq 1.89V$, $V_{CCBRAM} = 1.0V$, $V_{CCADC} = 1.8V$, $V_{CCAUX_IO} = 1.8V$, $V_{MGTAVTT} = 1.2V$, $V_{MGTAVCC} = 1.0V$, $V_{MGTVCCAUX} = 1.8V$, - $55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
BRAM 最大工作频率	$F_{MAX_BRAM_WF_NC}$	(Write first and No change modes) When not in SDP RF mode	—	601.32	MHz
DSP 最大工作频率	F_{max}	With all registers used	—	741.84	MHz
	F_{MAX_PATDET}	With pattern detector	—	627.35	MHz
CLB 最大工作频率&延迟	Distributed RAM T_{MCP}	Minimum clock period	—	740.74	MHz
	Shift Register T_{MPW_SHFREG}	Minimum pulse width	—	909.09	MHz
	T_{AXA}	AX inputs to AMUX output	—	0.38	ns
	T_{AXB}	AX inputs to BMUX output	—	0.40	ns
	T_{AXC}	AX inputs to BMUX output	—	0.39	ns
	T_{AXD}	AX inputs to DMUX output	—	0.43	ns
	T_{BXB}	BX inputs to BMUX output	—	0.31	ns
	T_{BXD}	BX inputs to DMUX output	—	0.38	ns
	T_{CXC}	CX inputs to CMUX output	—	0.27	ns
	T_{CXD}	CX inputs to DMUX output	—	0.33	ns
	T_{DXD}	DX inputs to DMUX output	—	0.32	ns
MMCM 最大输入时钟频率	$MMCM_F_{INMAX}$	Maximum input clock frequency	—	1066	MHz
MMCM 最小输入时钟频率	$MMCM_F_{INMIN}$	Minimum input clock frequency	—	10	MHz
MMCM 最小 VCO 频率	$MMCM_F_{VCOMIN}$	Minimum MMCM VCO frequency	—	600	MHz
MMCM 最大 VCO 频率	$MMCM_F_{VCOMAX}$	Maximum MMCM VCO frequency	—	1600	MHz

特性	符号	条件 除另有规定外 $0.97 \leq V_{CCINT} \leq 1.03V$, $1.14 \leq V_{CCO} \leq 1.89V$, $1.71 \leq V_{CCAUX} \leq 1.89V$, $V_{CCBRAM} = 1.0V$, $V_{CCADC} = 1.8V$, $V_{CCAUX_IO} = 1.8V$, $V_{MGTAVTT} = 1.2V$, $V_{MGTAVCC} = 1.0V$, $V_{MGTCCAUX} = 1.8V$, - $55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
MMCM 最小输出频率	MMCM_FOUTMAX	MMCM maximum output frequency	—	1066	MHz
MMCM 最大输出频率	MMCM_FOUTMIN	MMCM minimum output frequency	—	4.69	MHz
PLL 最大输入时钟频率	PLL_FINMAX	Maximum input clock frequency	—	1066	MHz
PLL 最小输入时钟频率	PLL_FINMIN	Minimum input clock frequency	—	19	MHz
PLL 最小 VCO 频率	PLL_FVCOMIN	Minimum PLL VCO frequency	—	800	MHz
PLL 最大 VCO 频率	PLL_FVCOMAX	Maximum PLL VCO frequency	—	2133	MHz
PLL 最小输出频率	PLL_FOUTMAX	PLL maximum output frequency	—	1066	MHz
PLL 最大输出频率	PLL_FOUTMIN	PLL minimum output frequency	—	6.25	MHz

表 8 配置开关参数

符号	描述	数值	单位
JTAG	下载最小工作频率	125	KHz
	下载最大工作频率	30	MHz

表 9 ADC 规格

参数	符号	备注/条件	最小值	典型值	最大值	单位
VccADC = 1.8V $\pm$ 5%, VREFP = 1.25V, VREFN = 0V, ADCCLK = 26 MHz, Tj = -40°C to 100°C, Typical values at Tj = +40°C						
ADC 精度						
积分非线性	INL		—	—	± 3	LSBs
微分非线性	DNL	无漏码, 确保单调	—	—	± 1	LSBs
失调误差		失调校准使能	—	—	± 6	LSBs
增益误差		增益校准使能	—	—	± 0.5	%
采样率			—	—	1	MS/s
信噪比	SNR	F _{SAMPLE} = 500KS/s, F _{IN} = 20KHz	60	—	—	dB
总谐波失真	THD	F _{SAMPLE} = 500KS/s, F _{IN} = 20KHz	—	70	—	dB

4.1.3. 上电电流要求

表 10 上电电流要求

ICCINT 最小值	ICCAUX 最小值	ICCO 最小值	ICCAUX_IO 最小值	ICCB RAM 最小值	单位
5514	290	$1 + 40 \times \text{IO BANK 数}$	$2 + 57 \times \text{IO BANK}$	263	mA

4.1.4. 电源上电时间

表 11 电源上电时间

符号	描述	状态	最小	最大	单位
T _{VCCINT}	V _{CCINT} 从 GND 到 90% V _{CCINT} 的上电时间		0.2	50	ms
T _{VCCO}	V _{CCO} 从 GND 到 90% V _{CCO} 的上电时间		0.2	50	ms
T _{VCCAUX}	V _{CCAUX} 从 GND 到 90% V _{CCAUX} 的上电时间		0.2	50	ms
T _{VCCAUX_IO}	V _{CCAUX_IO} 从 GND 到 90% V _{CCAUX_IO} 的上电时间		0.2	50	ms
T _{VCCBRAM}	V _{CCBRAM} 从 GND 到 90% V _{CCBRAM} 的上电时间		0.2	50	ms
T _{VCCO2VCCAUX}	V _{CCO} - V _{CCAUX} > 2.625V 允许的时间	T _J =125°C	—	300	ms
		T _J =100°C	—	500	ms
		T _J =85°C	—	800	ms
T _{TMGTA VCC}	T _{MGTA VCC} 从 GND 到 90% T _{MGTA VCC} 的上电时间		0.2	50	ms
T _{TMGTA VTT}	T _{MGTA VTT} 从 GND 到 90% T _{MGTA VTT} 的上电时间		0.2	50	ms
T _{TMGTVCCAUX}	T _{MGTVCCAUX} 从 GND 到 90% T _{MGTVCCAUX} 的上电时间		0.2	50	ms

4.2. ESD等级

表 12 ESD (Electro-Static Discharge) 等级

IO 类型	HBM 模型	CDM 模型
Select IO	±1,000V	±350V
Transceiver	±1,000V	±200V
专用 IO	±1,000V	±350V

5. 基本工作原理简述

5.1. 器件功能概述

本器件是现场可编程门阵列（FPGA），可以下载比特流文件到芯片中完成用户根据设计需求的电路功能。器件主要由可编程逻辑模块（CLB）、输入输出模块（IOB）、存储器模块（BRAM）、乘法器（DSP）、数字时钟管理模块（CMT）、PCIe端点模块、RocketIO收发器（GTH）以及互连布线模块等资源组成。

资源清单如表13所示。

表 13 CYF7VX690T 型 FPGA 资源数量

器件	逻辑资源		I/O 资源		嵌入式存储器		时钟管理模块	PCI Express	Total I/O Banks	DSP	ADC Blocks
	LUT	FF	Max User I/O	Max Rocket I/O	36Kb 存储单元	BRAM 总容量					
CYF7VX690T	433200	866400	1000	80 GTH	1470	52920 Kb	20	3	20	3600	1

5.2. 可编程逻辑模块

CYF7VX690T 中的 CLB 是实现时序电路和组合电路的主要逻辑资源。每个 CLB 元件连接到一个可访问通用布线矩阵的开关矩阵（General Routing Matrix, GRM）。如图 8 所示，CLB 元件包含一对 Slice。这两个 Slice 相互间没有直接连接，各 Slice 组织成一个列。列中的每个 Slice 具有独立的进位链。对于每个 CLB，CLB 底部的 Slice 标为 Slice (0)，CLB 顶部的 Slice 标为 Slice (1)。其中 CLB 内的 Slice 排列示意图如图 9 所示。

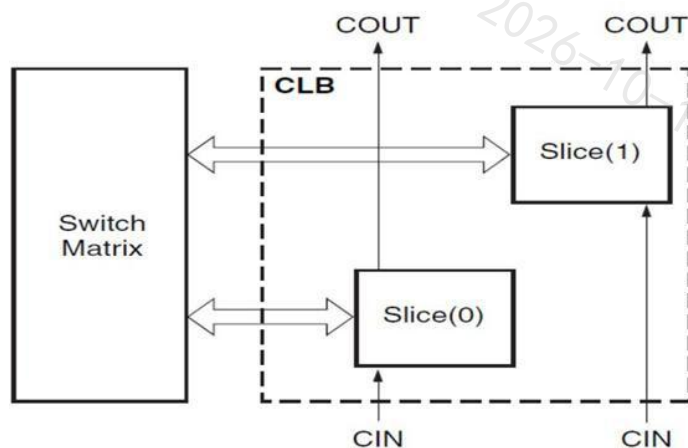


图 8 CLB 结构框图

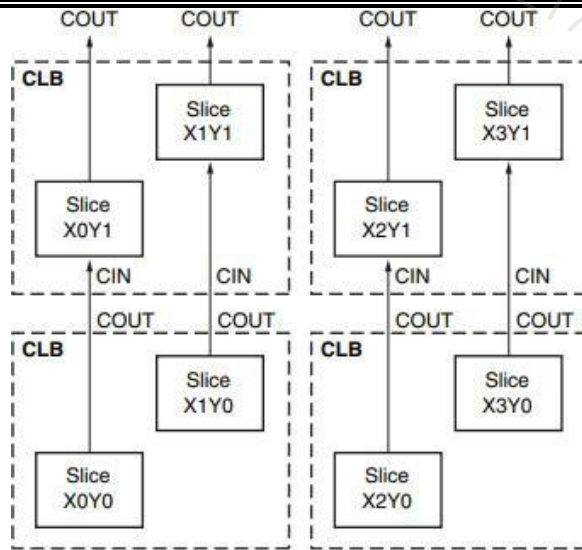


图 9 CLB 内的 Slice 排列示意图

5.2.1. SLICE 描述

每个Slice包含四个逻辑函数发生器（即查找表）、八个存储元件、多功能多路复用器和进位逻辑。所有Slice都通过这些元件进行逻辑、算术和ROM函数运算。除此之外，有些 Slice 还支持两个附加功能：用分布式RAM存储数据和用32位寄存器进行数据移位。支持这些附加功能的Slice称为SLICEM；其他 Slice 则称为SLICEL。SLICEM（如图 10）代表所有Slice 中元件和连接功能的扩展集。SLICEL（如图11）所示。

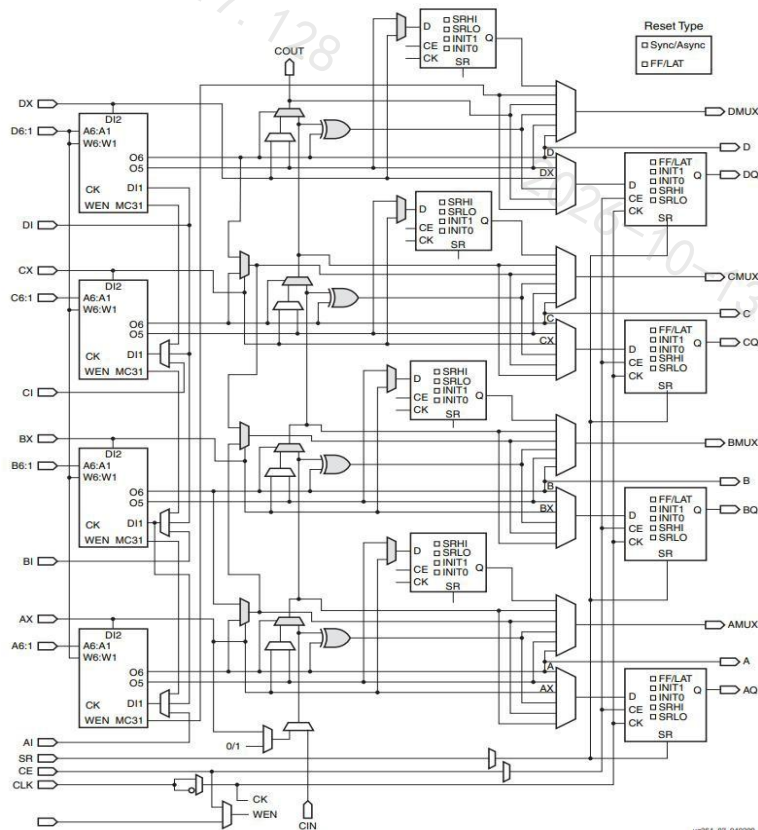


图 10 SLICEM 图

除了基本 LUT，CYF7VX690T 还包含三个多路复用器（F7AMUX、F7BMUX 和 F8MUX）。这些多路复用器用来将最多四个函数发生器组合在一起，以便在 Slice 中提供七个或八个输入的任意函数。F7AMUX 和 F7BMUX 用来从 LUT A 和 B 或 C 和 D 生成七输入函数；而 F8MUX 则用来组合所有 LUT，以生成八输入函数。超过八个输入的函数可以用多个 Slice 实现。各 Slice 之间没有直接连接可用在一个 CLB 中或在各 Slice 之间形成超过八个输入的函数发生器。

5.2.3. 存储元件

CYF7VX690T Slice 中的存储元件可以配置成边沿触发式 D 型触发器或电平敏感型锁存器。D 输入可由 LUT 的一个通过 AFFMUX、BFFMUX、CFFMUX 或 DFFMUX 的输出直接驱动，也可由 BYPASS Slice 输入通过 AX、BX、CX 或 DX 输入通过旁路函数发生器后直接驱动。如果配置成锁存器，则当 CLK 为 Low 时锁存器透明。

在一个 Slice 中，时钟（CK）、时钟使能（CE）和设置/复位（SR）这些控制信号为所有存储元件共用。如果 Slice 中一个触发器的 SR 或 CE 已经激活，则该 Slice 中使用的其他触发器的 SR 或 CE 也会被公共信号激活。仅 CLK 信号具有独立极性。放置在时钟信号上的任何倒相器都被自动吸收。CE、SR 和 REV 信号为 High 有效。所有触发器和锁存器基元都有 CE 和非 CE 版本。

SR 信号强制存储元件进入由属性 SRHIGH 或 SRLOW 指定的状态。当 SR 置为有效时，SRHIGH 强制存储元件的输出为逻辑 High，而 SRLOW 则强制存储元件的输出为逻辑 Low。表 14 提供了使用 SRLOW 和 SRHIGH 时的真值表。

表 14 使用 SRLOW 和 SRHIGH 时的真值表

SR	SRVAL	功能
0	SRLOW (default)	无逻辑变化
1	SRLOW (default)	0
0	SRHIGH	无逻辑变化
1	SRHIGH	1

对于 Slice 中的各存储元件，可分别设置 SRHIGH 和 SRLOW。对于 Slice 中的各存储元件，不可分别设置同步（SYNC）或异步（ASYNC）设置/复位（SRTYPE）选项。配置后的初始状态或全局初始状态分别由 INIT0 和 INIT1 属性定义。默认状态下，设置 SRLOW 属性就是设置 INIT0，而设置 SRHIGH 属性就是设置 INIT1。CYF7VX690T 器件可以独立于 SRHIGH 和 SRLOW 设置 INIT0 和 INIT1。寄存器或锁存器的设置和复位功能的配置选项如下：

- 无设置或复位
- 同步设置
- 同步复位
- 异步设置（预设置）
- 异步复位（清零）

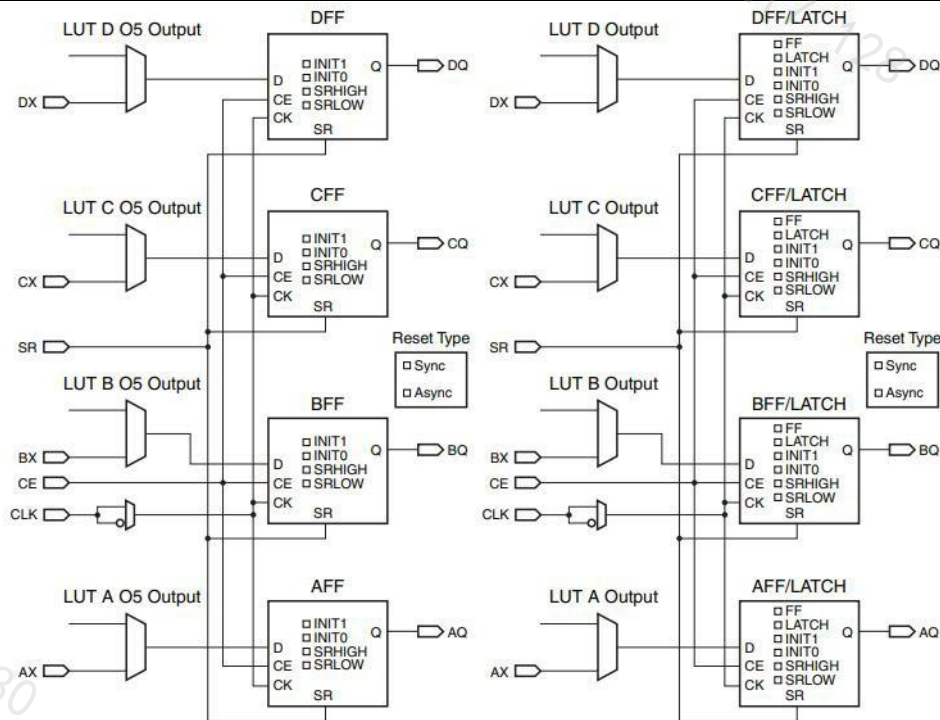


图 12 Slice 中的两种配置版本（仅 4 个寄存器和 4 个寄存器/锁存器）

5.2.4. 分布式 RAM 和存储器（只能在 SLICEM 中使用）

可以用各种方法将 SLICEM 中的多个 LUT 组合起来，以存储大量数据。

可以把 SLICEM 中的函数发生器（LUT）配置成一种称为分布式 RAM 元件的同步 RAM 资源。在 SLICEM 内可以将 RAM 元件配置成以下形式：

- 单端口 32×1 位 RAM；
- 双端口 32×1 位 RAM；
- 四端口 32 x 2 位 RAM
- 简单双端口 32 x 6 位 RAM
- 单端口 64 x 1 位 RAM
- 双端口 64 x 1 位 RAM
- 四端口 64 x 1 位 RAM
- 简单双端口 64 x 3 位 RAM
- 单端口 128 x 1 位 RAM
- 双端口 128 x 1 位 RAM
- 单端口 256 x 1 位 RAM

分布式 RAM 模块是同步（写）资源。可以用同一 Slice 中的一个存储元件或触发器实现同步写。通过合理设置这个触发器的位置，可以将触发器的延迟缩短到触发器的时钟到输出范围内，从而提高分布式 RAM 的性能。不过，这样会附加一个时钟延迟。分布式元件共用相同的时钟输入。对于写操作，必须将写使能 (WE) 输入（由 SLICEM 的 CE 或 SLICEM 的 WE 引脚驱动）设置为 High。

对于单端口配置，分布式 RAM 有一个同步写和异步读共用的地址端口。对于双端口配置，分布式 RAM 有一个同步写和异步读端口，另外还有一个异步读端口。在简单双端口配置中，没有来自写端口的数据输出（读端口）。对于四端口配置，分布式 RAM 有一个同步写和异步读端口，另外还有三个异步读端口。

在单端口模式下，读和写地址共用同一地址总线。在双端口模式下，一个函数发生器与共用的读写端口地址连接。第二个函数发生器的 A 输入连接到另一个只读端口地址，WA 输入共用第一个读/写端口地址。

图 13 到图 21 所示为用一个 SLICEM 配置不同分布式 RAM 的示例。当使用 x2 配置(RAM32X2Q) 时，A6 和 WA 6 由软件置为 High，以保持 O5 与 O6 独立。

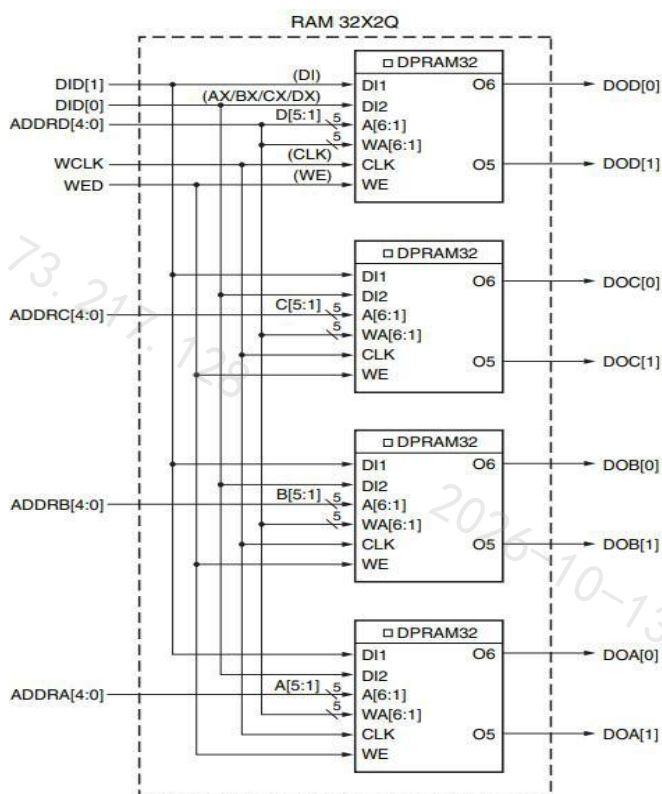


图 13 分布式 RAM (RAM32X2Q)

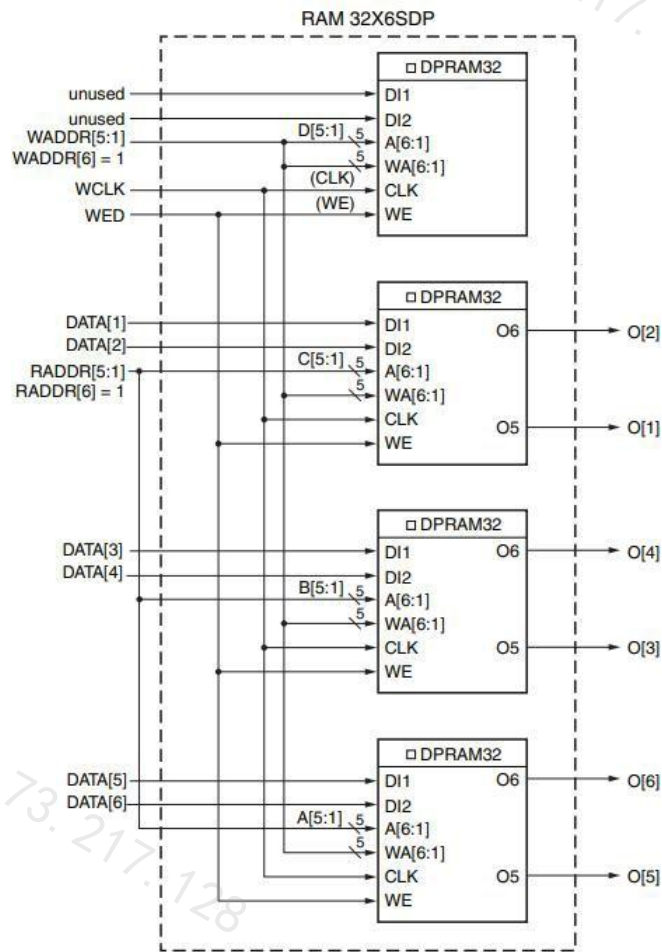


图 14 分布式 RAM (RAM32X6SDP)

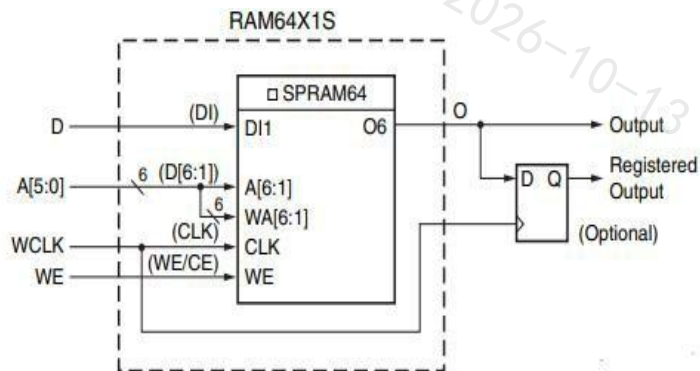


图 15 分布式 RAM (RAM64×1S)

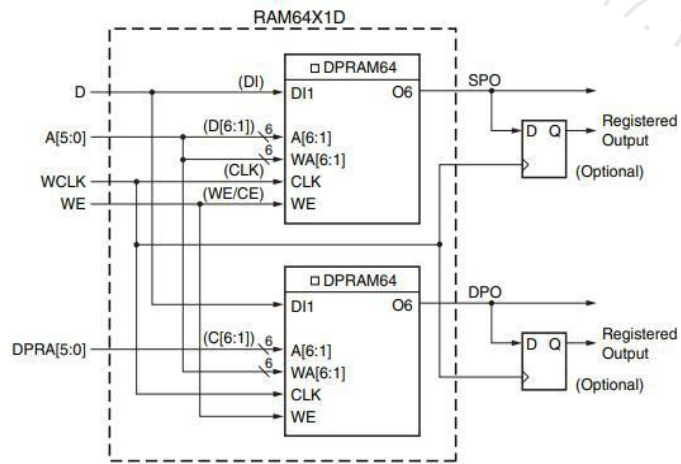


图 16 分布式 RAM (RAM64×1D)

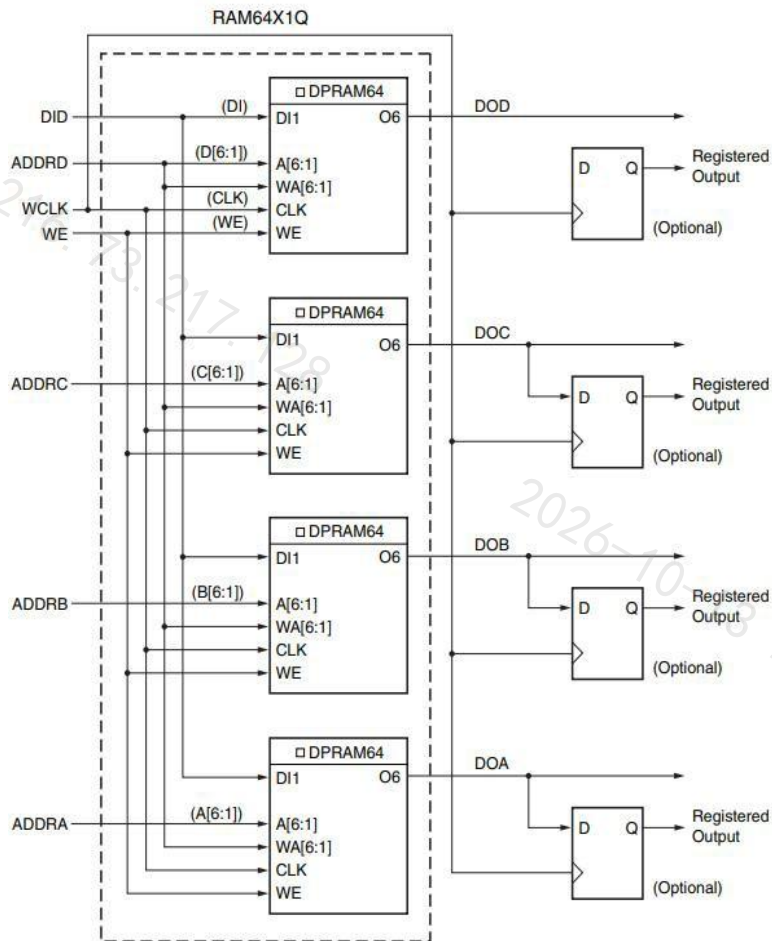


图 17 分布式 RAM (RAM64×1Q)

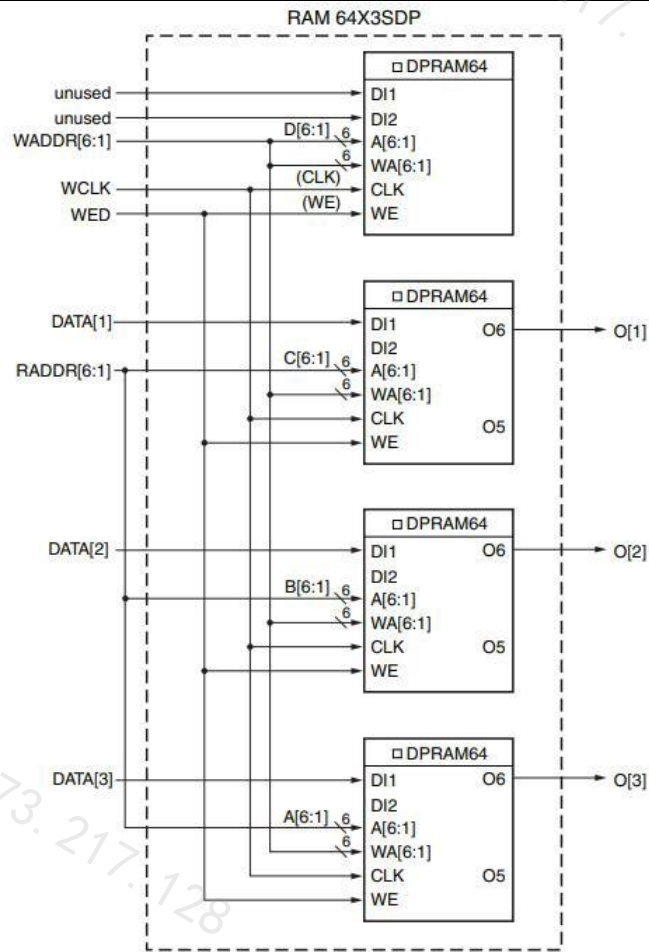


图 18 分布式 RAM (RAM64×3SDP)

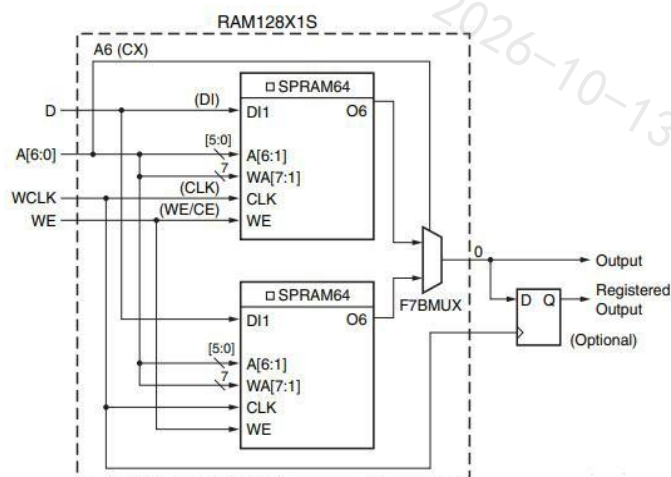


图 19 分布式 RAM (RAM128×1S)

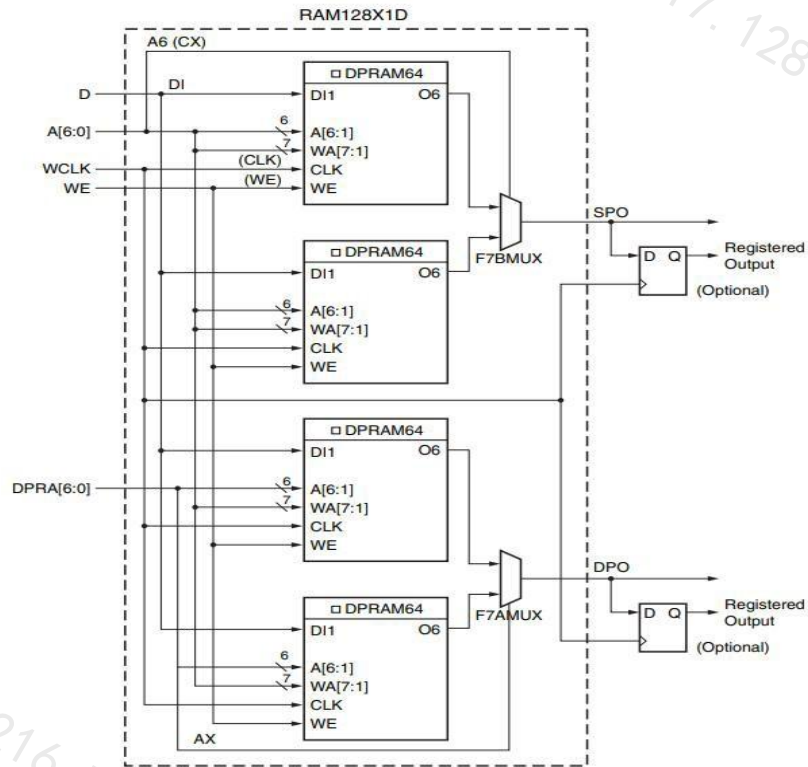


图 20 分布式 RAM (RAM128×1D)

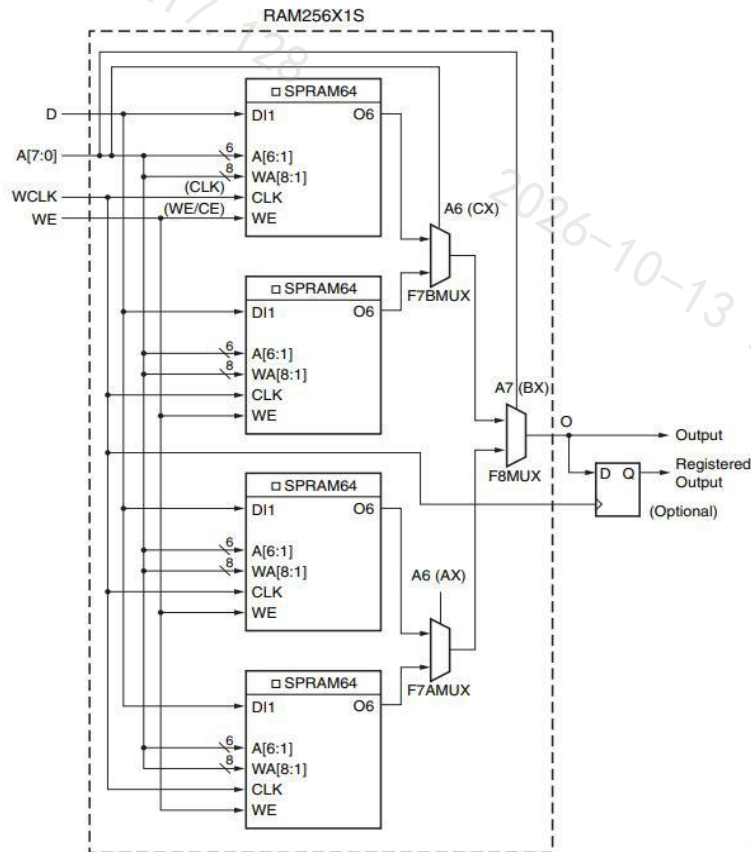


图 21 分布式 RAM (RAM256×1S)

5.2.5. 移位寄存器（只能在 SLICEM 中使用）

SLICEM 函数发生器还可配置成 32 位移位寄存器，无需使用 Slice 中提供的触发器。以这种方法使用的每个 LUT 可以将串行数据延迟 1 到 32 个时钟周期之间的任意长度。移位输入 D（DI1 LUT 引脚）线和移位输出 Q31（MC31 LUT 引脚）线用来级联多个 LUT，以形成较大的移位寄存器。SLICEM 中的四个 LUT 以这种方式级联，可产生长达 128 个时钟周期的延迟。还可以跨一个以上 SLICEM 组合多个移位寄存器。请注意，各 Slice 之间没有直接连接可用来形成较长的移位寄存器，而且 LUT B/C/D 也没有 MC31 输出。由此产生的可编程延迟可用来平衡数据流水线的时序。

需要延时或延迟补偿的应用可使用这些移位寄存器开发高效设计。在同步 FIFO 和内容可寻址存储器（CAM）设计中，移位寄存器也很有用。

写操作是具有一个时钟输入（CLK）和一个可选时钟使能（CE）的同步操作。动态读访问通过 5 位地址总线 A[4:0] 执行。LUT 的 LSB 不使用，软件自动将其固定为逻辑 High。可配置移位寄存器不可设置或复位。读操作是异步操作；不过，可以用存储元件或触发器实现同步读操作。在这种情况下，触发器的时钟到输出时间控制总体延迟，因而可提高性能。不过，这样会附加一个周期的时钟延迟。通过变换 5 位地址，可以（从 O6 LUT 输出）异步读出 32 个位的任意部分。这一功能可用来创建较小的移位寄存器（小于 32 位）。例如，如果要构建 13 位移位寄存器，将地址设置到第 13 个位即可。图 22 所示为 32 位移位寄存器的逻辑框图。

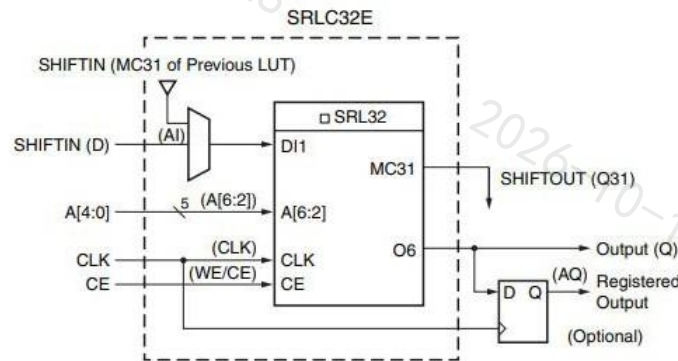


图 22 32 位移位寄存器配置

5.2.6. 多路复用器

函数发生器及相关多路复用器可以实现以下各项：

- 使用一个 LUT 的 4:1 多路复用器
- 使用两个 LUT 的 8:1 多路复用器
- 使用四个 LUT 的 16:1 多路复用器

这些宽输入多路复用器是使用专用的 F7AMUX、F7BMUX 和 F8MUX 多路复用器在一个层或逻辑（或 LUT）中实现的。这些多路复用器允许在一个 Slice 中最多组合四个 LUT。

5.2.7. 快速先行进位逻辑

除了函数发生器，还提供了专用进位逻辑，用于在 Slice 中实现快速算术加减运算。CYF7VX690T 的 CLB 有两条独立进位链。进位链可以级联，以形成较宽的加减逻辑，如图 23 所示。

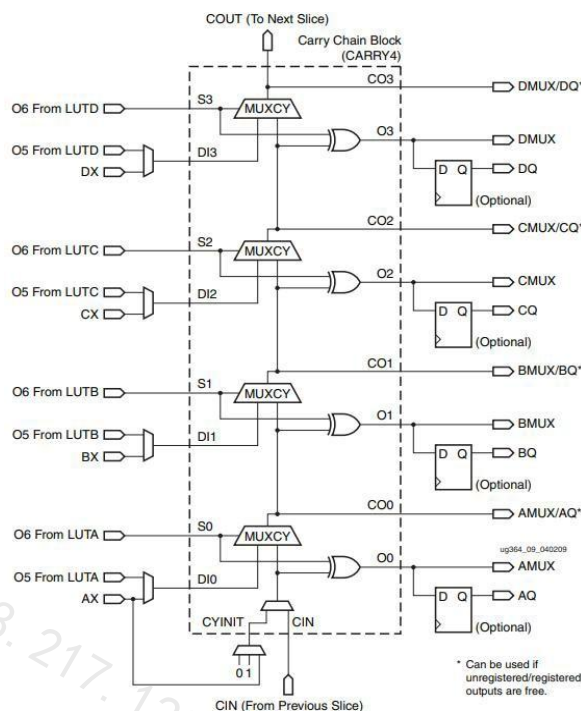


图 23 快速进位逻辑通道和相关元件

5.3. 时钟管理模块

CYF7VX690T 时钟管理模块 (CMT) 提供非常灵活的高性能时钟控制。每个 CMT 由一个混合模式时钟管理器 (MMCM) 和一个锁相环 (PLL) 组成，如图 24。MMCM 和 PLL 可用作各种频率的频率合成器，用作外部或内部时钟以及去歪斜时钟的抖动滤波器。PLL 包含 MMCM 功能的子集。图 25 和图 26 分别为 MMCM 框图及 PLL 框图。

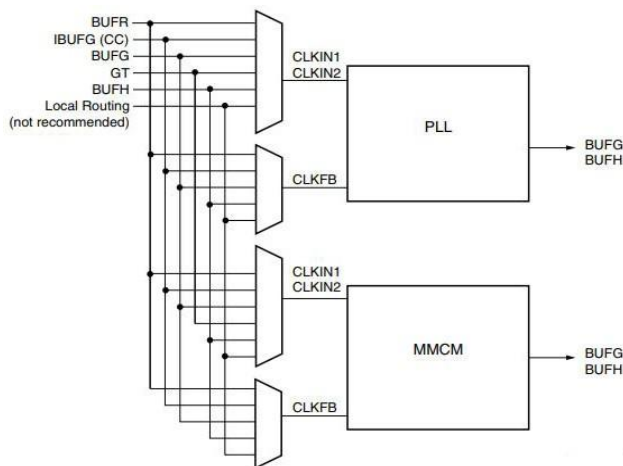


图 24 CMT 的框图

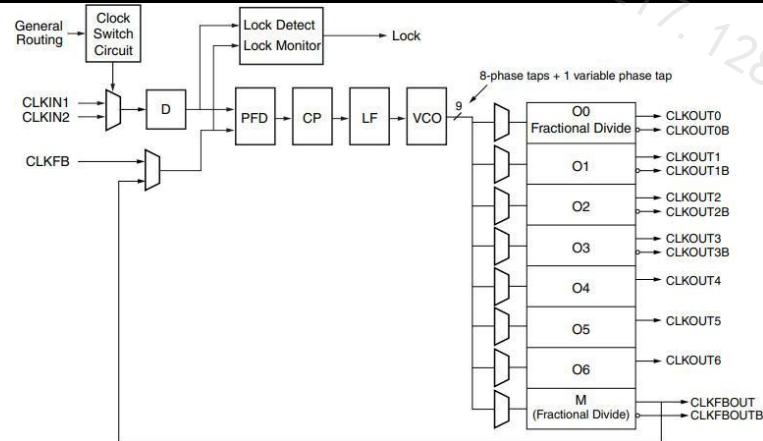


图 25 MMCM 的框图

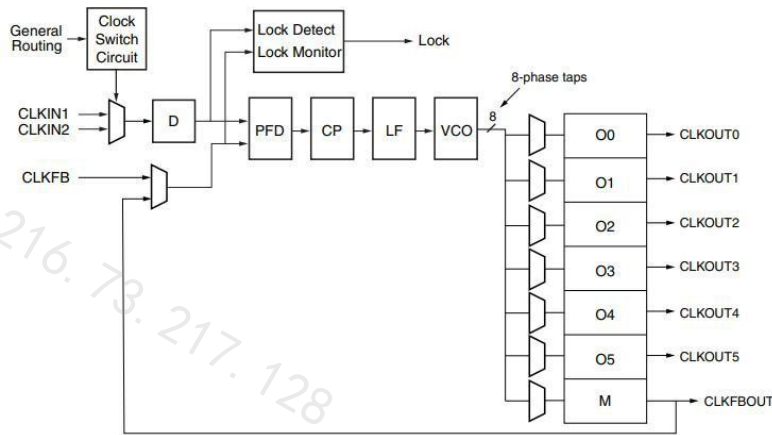


图 26 PLL 的框图

5.3.1. MMCM and PLL 基元

图 27 所示为 MMCM 基元 MMCME2_BASE 和 MMCME2_ADV。

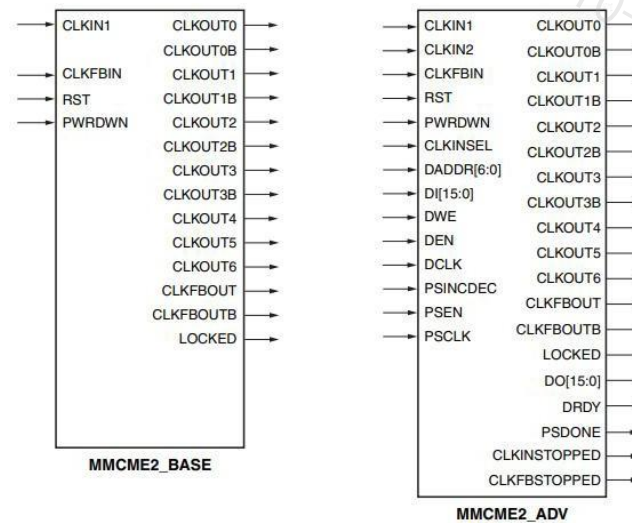


图 27 MMCM 基元

图 28 所示为 PLL 基元 PLLE2_BASE and PLLE2_ADV。

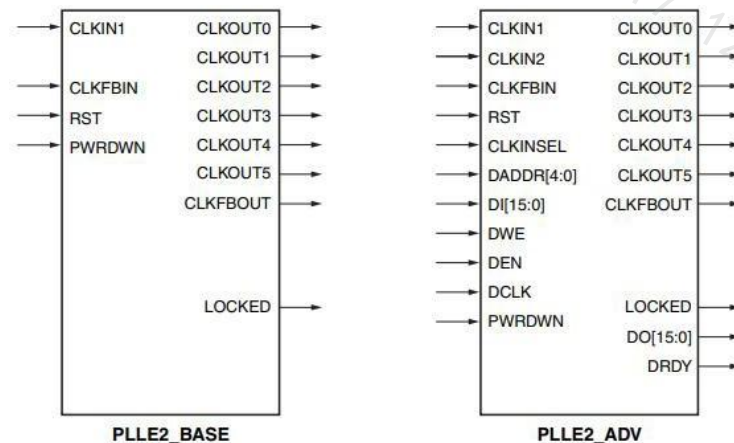


图 28 PLL 基元

● MMCME2_BASE 基元

MMCME2_BASE 基元包含最常用的 MMCM 基本功能。使用 MMCME2_BASE，可以完成对时钟去歪斜、进行频率合成、粗相移和占空比编程的功能。表 15 列出了 MMCME2_BASE 基元的端口。

表 15 MMCME2_BASE 端口

描述	端口
时钟输入	CLKIN1、CLKFBIN
控制输入	RST
时钟输出	CLKOUT0 to CLKOUT6 、 CLKOUT0B to CLKOUT3B、CLKFBOUT、 and CLKFBOUTB
状态和数据输出	LOCKED
功率控制	PWRDWN

● PLLE2_BASE 基元

PLLE2_BASE 基元包含最常用的 PLL 基本功能。使用 PLLE2_BASE，可以完成对时钟去歪斜、进行频率合成、粗相移和占空比编程的功能。表 16 列出了 PLLE2_BASE 基元的端口。

表 16 PLLE2_BASE 端口

描述	端口
时钟输入	CLKIN1、CLKFBIN
控制输入	RST
时钟输出	CLKOUT0 to CLKOUT5、CLKFBOUT
状态和数据输出	LOCKED

● MMCME2_ADV 基元

MMCME2_ADV 基元具备所有 MMCME2_BASE 功能以及时钟切换的其他端口、动态重配置端口 (DRP) 的使用以及动态精细相移。其端口如表 17 所示。

表 17 MMCME2_ADV 端口

描述	端口名称
时钟输入	CLKIN1、CLKIN2、CLKFBIN、DCLK、PSCLK
控制和数据输入	RST、CLKINSEL、DWE、DEN、DADDR、DI、PSINCDEC、PSEN
时钟输出	CLKOUT0 to CLKOUT6、CLKOUT0B to CLKOUT3B、CLKFBOUT、and CLKFBOUTB
状态和数据输出	LOCKED、DO、DRDY、PSDONE、CLKINSTOPPED、CLKFBSTOPPED
功率控制	PWRDWN

● PLLE2_ADV 基元

PLLE2_ADV 基元具备所有 PLLE2_BASE 功能以及时钟切换的其他端口、动态重配置端口 (DRP) 的使用。其端口如表18 所示。

表 18 PLLE2_ADV 端口

描述	端口名称
时钟输入	CLKIN1、CLKIN2、CLKFBIN、DCLK
控制和数据输入	RST、CLKINSEL、DWE、DEN、DADDR、DI
时钟输出	CLKOUT0 to CLKOUT5、and CLKFBOUT
状态和数据输出	LOCKED、DO、DRDY
功率控制	PWRDWN

5.3.2. MMCM and PLL端口

表 19 MMCM 端口

引脚名称	I/O	引脚描述
CLKIN1	输入	通用时钟输入。
CLKIN2	输入	MMCM参考时钟的辅助时钟输入。
CLKFBIN	输入	反馈时钟输入。
CLKINSEL	输入	控制时钟输入多路复用器状态的信号，High = CLKIN1，Low = CLKIN2。动态切换MMCM参考时钟。
RST	输入	异步复位信号。对于 MMCM，复位信号是异步复位。当发出这一信号（即重新启用 MMCM）时，MMCM 会同步地自我重新启用。当输入时钟条件（如频率）改变时，需要复位。
PWRDWN	输入	关闭已例化但未使用的MMCM
DADDR[6:0]	输入	动态重配置地址 (DADDR) 输入总线为动态重配置提供重配置地址。在不使用时，必须将所有位赋零。
DI[15:0]	输入	动态重配置数据输入 (DI) 总线提供重配置数据。在不使用时，必须将所有位设置为零。
DWE	输入	动态重配置写使能 (DWE) 输入引脚提供写使能控制信号，以便将 DI 数据写入 DADDR 地址。在不使用时，必须将其固定为 Low。
DEN	输入	动态重配置使能 (DEN) 为使用动态重配置功能提供使能控制信号。当不使用动态重配置功能时，必须将 DEN 固定为 Low。

DCLK	输入	DCLK 信号是动态重配置端口的参考时钟。
PSCLK	输入	相移时钟
PSEN	输入	相移使能
PSINCDEC	输入	相移增减控制
CLKOUT[0:6]	输出	用户可配置的时钟输出（0至6），可以是VCO相位输出（用户可控制）从1（忽略）到128分频。输出时钟彼此相位对齐（除非相移）并与具有正确反馈配置的输入时钟对齐。仅在CLKOUT [0: 3]上支持与BUFR / BUFIO的直接HPC连接。
CLKOUT[0:3]B	输出	反相的CLKOUT [0: 3]
CLKFBOUT	输出	专用MMCM反馈输出
CLKFBOUTB	输出	反相CLKFBOUT
CLKINSTOPPED	输出	状态引脚，指示输入时钟已停止
CLKFBSTOPPED	输出	状态引脚，指示反馈时钟已停止
LOCKED	输出	MMCM的输出，指示MMCM何时实现了预定义窗口内的相位对齐以及预定义PPM范围内的频率匹配。上电后，MMCM自动锁定。无需额外的重置。如果输入时钟停止或违反相位对齐（例如，输入时钟相移），则LOCKED将置为无效。解除锁定后必须复位MMCM。
DO[15:0]	输出	使用动态重配置时，动态重配置输出总线提供MMCM数据输出。
DRDY	输出	动态重配置就绪输出（DRDY）为MMCM的动态重配置功能提供对DEN信号的响应。
PSDONE	输出	相移完成

注：除PSINCDEC以外的所有控制和状态信号均为高电平有效。

表 20 PLL 端口

引脚名称	I/O	引脚描述
CLKIN1	输入	通用时钟输入。
CLKIN2	输入	辅助时钟输入，用于动态切换PLL参考时钟。
CLKFBIN	输入	反馈时钟输入
CLKINSEL	输入	控制输入多路复用器状态的信号，High = CLKIN1，Low = CLKIN2。动态切换PLL参考时钟。
RST	输入	异步复位信号。对于PLL，复位信号是异步复位。当发出这一信号（即重新启用PLL）时，PLL 会同步地自我重新启用。当输入时钟条件（如频率）改变时，需要复位。
PWRDWN	输入	关闭已例化但未使用的PLL
DADDR[6:0]	输入	动态重配置地址（DADDR）输入总线为动态重配置提供了一个重配置地址。不使用时，必须为所有位分配零
DI[15:0]	输入	动态重配置数据输入（DI）总线提供重配置数据。不使用时，所有位都必须设置为零。
DWE	输入	动态重配置写使能（DWE）输入引脚提供写使能控制信号，以便将 DI 数据写入 DADDR 地址。在不使用时，必须将其固定为 Low。
DEN	输入	动态重配置使能（DEN）为使用动态重配置功能提供使能控制信号。当不使用动态重配置功能时，必须将 DEN 固定为 Low。
DCLK	输入	DCLK信号是动态重新配置端口的参考时钟。

CLKOUT[0:5]	输出	用户可配置的时钟输出（0至5）可以将VCO相位输出（用户可控）的版本从1（忽略）划分为128。输入时钟和输出时钟是相位对齐的。
CLKFBOUT	输出	专用PLL反馈输出。
LOCKED	输出	PLL的输出，指示PLL何时达到预定窗口内的相位对齐以及预定PPM范围内的频率匹配。PLL在上电后自动锁定，无需额外的复位。如果输入时钟停止或违反相位对齐（例如，输入时钟相移），则LOCKED将置为无效。解除锁定后必须重设PLL。
DO[15:0]	输出	使用动态重配置时，动态重配置输出总线提供PLL数据输出
DRDY	输出	动态重配置就绪输出（DRDY）为PLL动态重配置功能提供对DEN信号的响应。

5.3.3. 时钟网络去歪斜

MMCM / PLL 用来补偿时钟网络的延迟。一个与参考时钟CLKIN 频率（始终为 CLKFBOUT）匹配的时钟输出连接至器件同一半部的BUFG，并反馈到MMCM / PLL的 CLKFBIN反馈引脚。其余的输出仍用来分解时钟频率，以合成更多频率。在这种情况下，所有输出时钟对于输入参考时钟都具有限定的相位关系。MMCM或PLL的CLKOUT0 - CLKOUT3可用于级联到其他MMCM / PLL。但是，级联的MMCM / PLL之间的输出时钟存在相位偏移。

5.3.4. 独立频率合成（使用整数除法）

MMCM和PLL还可以用于独立频率合成。在这种应用中，MMCM / PLL不用于时钟网络去歪斜，而是用来为其他模块生成输出时钟频率。在这种模式下，MMCM / PLL反馈路径是内部的，这将所有布线保持在局部，从而将抖动降至最低。

5.3.5. 频率合成（MMCM中使用小数分频的）

CY7FVX690T 在CLKOUT0输出路径中支持小数（非整数）除法。小数分频的分辨率为1/8或0.125，有效地将可合成频率的数量增加了八倍。

使用小数分频器时，对于在小数模式下的输出，不能对占空比进行编程。

5.3.6. 抖动滤波器

MMCM 和 PLL 减少了参考时钟固有的抖动。MMCM 和 PLL 能通过例化来滤掉外部时钟在驱动另一个模块前（包括 DCM）的抖动。作为抖动滤波器，MMCM 和PLL通常被设想成一个缓冲器，在输出上重新生成输入频率。一般来说，通过使用 MMCM 的 BANDWIDTH 属性并且将其设置为 Low，可以实现较强的抖动过滤。将 BANDWIDTH 设置为 Low 会导致 MMCM 的静态偏差增大。

5.3.7. MMCM计数器级联

CLKOUT6分频器（计数器）可以与CLKOUT4分频器级联。这提供了一个大于128的输出分频器的功能。CLKOUT6馈入CLKOUT4分频器的输入。级联分频器的输出与所有其他输出分频器之间存在静态相位偏移。

5.3.8. 限制

MMCM和PLL有一些必须遵守的限制。一般说来，主要限制是VCO工作范围，输入频率，占空比可编程性和相移。此外，对其他时钟元件（引脚，GT和时钟缓冲器）的连接性有限制。MMCM / PLL级联只能与相邻的CMT一起发生。

在许多情况下，各时钟之间需要有一个相移。MMCM具有多种实现相移的选项。PLL还具有基本的静态相移功能。静态相移可以通过选择八个VCO输出相之一来实现，并根据CLKOUT分频值，在CLKOUT输出计数器中提供额外的精细相移。在CYF7VX690T中，还具有固定或动态模式的内插移相功能。MMCM相移功能非常强大，可能导致复杂的情况。通过使用Clocking Wizard，根据MMCM配置设置确定允许的相移值。

5.4. SelectIO 资源

5.4.1. IO 模块概述

I/O 模块提供高性能（HP）I / O banks。HP I / O bank旨在满足电压高达1.8V的高速存储器和其他芯片对芯片接口的性能要求。

5.4.2. SelectIO 资源简介

CYF7VX690T 型 FPGA 具有可配置的驱动器和接收器，可支持种类繁多的标准接口。强大的功能集包括输出强度和转换速率的可编程控制、使用数控阻抗（DCI）的片上终端以及内部生成参考电压（INTERNAL_VREF）的能力。每个SelectIO资源都包含输入，输出和三态驱动器。

SelectIO引脚可以配置为各种I / O标准，包括单端和差分。

- 单端I / O标准（例如LVCMOS，LVTTL，HSTL，PCI和SSTL）
- 差分I / O标准（例如LVDS，Mini_LVDS，RSDS，PPDS，BLVDS以及差异HSTL和SSTL）

图 29 显示了单端（仅）HP I / O块（IOB）及其与内部逻辑和设备焊盘的连接。图 30显示了常规的HP IOB。在HP I / O库中，单端（仅）和常规IOB基本上是等效的，除了单端（仅）IOB没有用于产生差分输出信号的连接。在大多数设备中，单端（仅）IOB是位于每个I / O bank末端的两个引脚。每个bank中组成其他48个引脚的常规IOB可以实现单端和差分I / O标准。

各 IOB 直接连接 ILOGIC/OLOGIC 对，该逻辑对包含输入和输出逻辑资源，可用于数据和 IOB 的三态控制。所有的 ILOGIC 和 OLOGIC 可分别配置成 ISERDES 和 OSERDES。

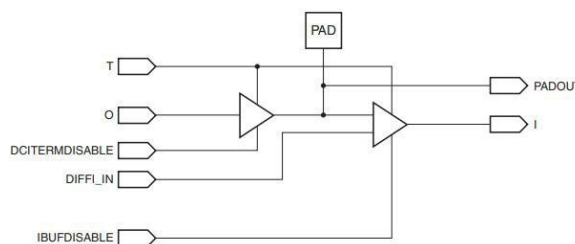


图 29 单端（仅）HP IOB 图

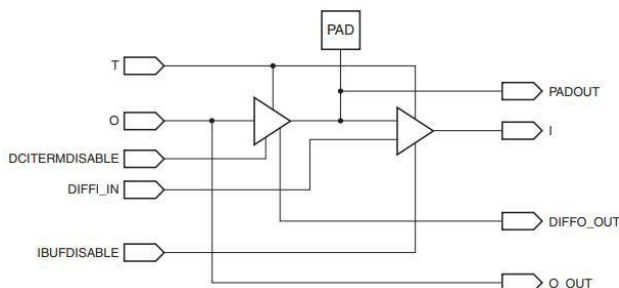


图 30 常规 HP IOB 图

5.4.3. CYF7VX690T I/O BANK 规则

在 CYF7VX690T 中，一个 I/O 组由 50 个 IOB 组成。组数取决于器件尺寸和封装的引脚排列。

CYF7VX690T 有 20 个可用 I/O 组

SelectIO 引脚的电源电压：

a、VREF

带有差分放大器输入缓冲器的单端 I/O 标准需要输入参考电压（VREF）。当 I/O bank 中需要 VREF 时，必须将 bank 的两个多功能 VREF 引脚用作 VREF 电源输入。通过启用 INTERNAL_VREF 约束，CYF7VX690T 可以选择使用内部生成的参考电压。

b、VCCO

VCCO 电源是 CYF7VX690T 器件 I/O 电路的主要电源。给定 I/O bank 的所有 VCCO 引脚必须连接到板上相同的外部电源，因此给定 I/O bank 内的所有 I/O 必须共享相同的 VCCO 电平。VCCO 电压必须符合已分配给 I/O bank 的 I/O 标准的要求。

c、VCCAUX

全局辅助（VCCAUX）电源主要用于为 CYF7VX690T 内部各种模块功能的互连逻辑供电。在 I/O bank 中，VCCAUX 还用于为某些 I/O 标准的输入缓冲电路供电。这些包括 1.8V 或以下的所有单端 I/O 标准。

d、VCCAUX_IO

辅助 I/O（VCCAUX_IO）电源仅存在于 HP I/O bank 中，并为 I/O 电路供电。对于 LVDS 接口，VCCAUX_IO 供电轨的电压电平是无关紧要的。默认值为 1.8V，可降低功耗，并在 I/O 中提供非常接近相同的性能。

5.4.4. 数控阻抗 (DCI)

随着 FPGA 日益增大和系统时钟速率日益提高，PC 电路板设计和制造越来越困难。由于边沿速率不断提高，保持信号完整性成了关键问题。PC 电路板迹线必须妥善端接才能避免反射或振铃现象。迹线端接的传统方法是加装电阻器，使得输出和/或输入能够将接收器或驱动器的阻抗与迹线的阻抗匹配起来。然而，由于器件 I/O 增多，在靠近器件引脚处加装电阻器会加大电路板面积和组件数，并且在某些情况下从物理角度讲是不可能的。为了解决这些问题并获得较好的信号完整性，电路内部加入了数控阻抗 (DCI) 技术。

DCI 通过调整输出阻抗或并联终端，以精确匹配传输线的特征阻抗。DCI 将 I/O 的阻抗自动调整到与外部参考电阻相等。这样就可补偿由工艺偏差引起的 I/O 阻抗变化。DCI 还会不断调整 I/O 的阻抗，以补偿温度变化和供电电压波动。

在使用可控阻抗驱动器的情况下，DCI 控制驱动器阻抗以匹配两个参考电阻器，也可以选择匹配这两个参考电阻器的一半阻值。DCI 免除了对外部串联终端电阻器的需要。

DCI 可以为发射器或接收器提供并联终端。这样就免除了对板上终端电阻器的需要，可以降低电路板布线难度和组件数，并且可以通过消除短线反射来改善信号完整性。如果终端电阻器的位置距离传输线端点太远，就会发生短线反射。使用 DCI，可使终端电阻器尽量靠近输出驱动器或输入缓冲器，因此可以消除短线反射。

DCI 使用每组中的两个多用途参考引脚控制驱动器的阻抗或该组中所有 I/O 的并联终端值。N 参考引脚 (VRN) 必须由一个参考电阻器上拉到 VCCO，而 P 参考引脚 (VRP) 则必须由另一个参考电阻器下拉到接地。各参考电阻器的阻值应等于 PC 电路板迹线的特征阻抗，或者应是该值的两倍。

DCI 通过有选择地开启或关闭 I/O 中的晶体管来调整 I/O 的阻抗，将阻抗调整到与外部参考电阻器匹配。阻抗调整在器件启动程序过程中开始。默认情况下，DONE 引脚直到阻抗调整过程的第一部分完成才转为 High。

在配置之后，可以通过例化 DCIRESET 基元来重置 DCI 校准。在器件工作时，通过翻转对 DCIRESET 基元的 RST 输入，可以将 DCI 状态机复位，使校准过程重新启动。所有使用 DCI 的 I/O 都在来自 DCIRESET 块的 LOCKED 输出置为有效之后才可使用。对于从器件上电到进入标称工作状态期间温度和/或供电电压变化显著的应用，这一功能很有用。

对于可控阻抗输出驱动器，可以将阻抗调整为与参考电阻器匹配，也可以将其调整为与参考电阻器的一半阻值匹配。对于片上终端，始终将终端调整为与参考电阻器匹配。

对于支持 DCI 可控阻抗驱动器的 I/O 标准，DCI 可以将输出驱动器配置为以下类型：

1. 可控阻抗驱动器（源终端）
2. 半阻抗可控阻抗驱动器（源终端）

对于支持并联终端的 I/O 标准，DCI 会创建一个 Thevenin 等效或分裂终端电阻，并可接入 VCCO/2。I/O 标准的命名约定增加了：

1. 如果在 I/O 中始终存在分裂终端电阻，则以 I/O 标准的名称表示 DCI，与在输入，输出或双向引脚上使用该标准无关
2. 如果仅当输出缓冲器为三态时才存在分接终端电阻，则以 I/O 标准的名称表示 T_DCI

DCI 级联：

使用 DCI I/O 标准的 CYF7VX690T HP I/O 组可以选择从另一个 HP I/O bank 组得到 DCI 阻抗值。

如图 31 所示，一条数控总线遍布于整个组内，用来控制各 I/O 的阻抗。

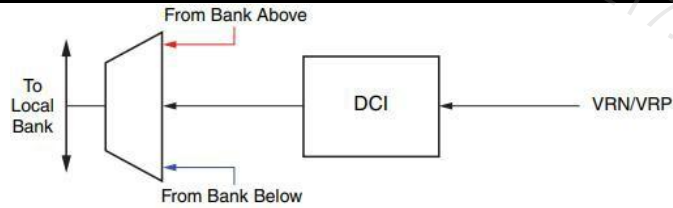


图 31 在组内使用 DCI

对于 DCI 级联，一个组（主组）必须将其 VRN/VRP 引脚连接到外部参考电阻器。同列中的其他组（从组）可以使用和主组同样阻抗的 DCI 标准，不必将自己的 VRN/VRP 引脚连接到外部电阻器。级联组中的 DCI 阻抗控制是从主组获得。

图 32 所示为支持的 DCI 多组级联。组 B 是主组。

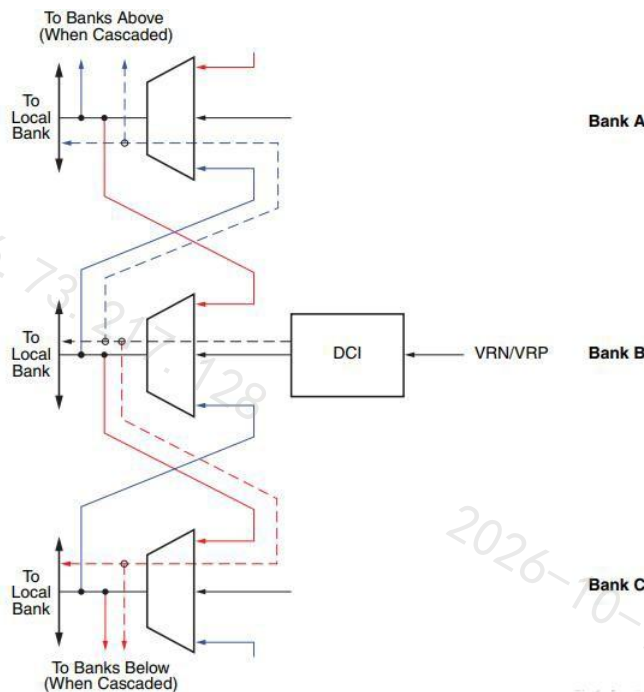


图 32 支持的 DCI 多组级联

使用 DCI 级联时的指导原则如下：

- DCI 级联仅可在一系列 HP I/O 组使用
- 主组和从组必须都在器件的同一列上，并且可以跨越整个列，除非存在插入器边界。
- 主组和从组必须具有同样的 VCCO 和 VREF（如果适用）电压。
- 在同一 HP I/O 列中未使用 DCI 的 I/O 组（直通组）不必遵守 VCCO 和 VREF 电压规则以组合 DCI 设置。
- 所有主从组之间必须满足 DCI I/O 组合兼容性规则（例如，所有主从组之间只允许有一种使用单终端类型的 DCI I/O 标准）。

- DCI 级联必须是跨同列中的连续组延伸。使用 DCI 级联时不能跳过某些组。作为示例，请考虑同列中 A、B、C 和 D 四个组自上而下排列的情形。在这种情况下，若假定其他所有指导原则均已满足，则以下是允许的 DCI 级联方案：
 - ◆ DCI 级联可以延伸到组 A 或组 C，也可同时延伸到这两个组。
 - ◆ 既然组 D 是在同列中，DCI 级联也可以延伸到组 D。不过，DCI 级联还必须延伸到介于中间的组 C。如果在组 C 中实现 DCI I/O 标准，则全部三个组（B、C 和 D）之间都必须遵守 DCI I/O 组合兼容性。
- 要确定相邻组的位置。可以根据 Partgen 生成的封装文件完全确定组位置信息。
- 生成的封装文件（扩展名为.pkg）包含 XY I/O 位置信息。标识符 X 表示同列中的 I/O。标识符 Y 表示特定组中某 I/O 的位置。文件还能表示出组编号。跨组边界连续 Y 位置表示相邻的组。
- 可以使用约束指南中所述的 DCI_CASCADE 约束启用 DCI 级联。

a、可控阻抗驱动器（源终端）

有些 I/O 标准（如 LVCMOS）必须具有与所驱动线路的特征阻抗相匹配的驱动阻抗。DCI 可以提供可控阻抗输出驱动器，无需外部源终端即可消除反射。阻抗由阻值与迹线阻抗相等的外部参考电阻器设定。

支持可控阻抗驱动器的 DCI I/O 标准有：LVDCI_15, LVDCI_18, HSLVDCI_15, HSLVDCI_18, HSUL_12_DCI 和 DIFF_HSUL_12_DCI。图 33 所示为 CYF7VX690T 器件中的可控阻抗驱动器。

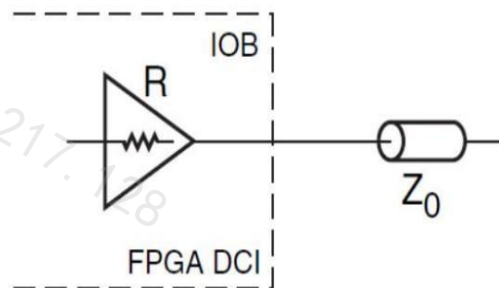


图 33 可控阻抗驱动器

b、半阻抗可控阻抗驱动器（源终端）

DCI 还提供具有参考电阻器一半阻抗的驱动器。这种参考电阻器阻值翻倍的方法可将这些电阻器的静态功耗减少一半。支持半阻抗可控阻抗驱动器的 DCI I/O 标准有 LVDCI_DV2_15 和 LVDCI_DV2_18。

图 34 所示为 CYF7VX690T 器件中的半阻抗可控驱动器。参考电阻器 R 必须是 $2 \times Z_0$ 才能与 Z_0 的阻抗匹配。

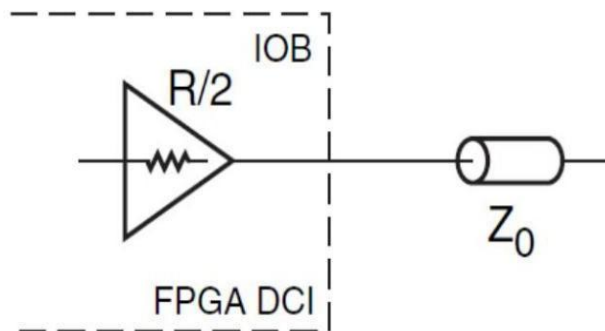


图 34 半阻抗可控阻抗驱动器

c、分裂终端（接 $V_{CCO}/2$ 的 Thevenin 等效终端）

有些 I/O 标准（如 HSTL 和 SSTL）要求输入端接电阻（R）达到 $V_{CCO}/2$ 的 VTT 电压（见图 35）。

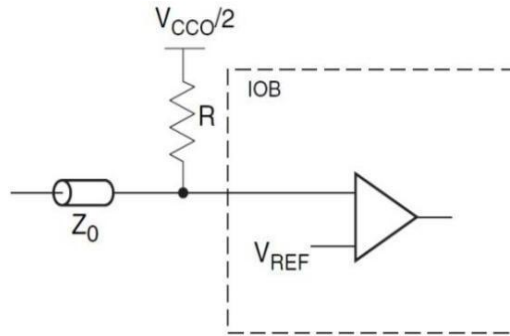


图 35 接 $V_{CCO}/2$ 的输入终端（不使用 DCI）

这相当于使用由两个电阻器组成的分裂终端。一个电阻器接 V_{CCO} ，另一个接地。电阻器的阻值为 $2R$ 。DCI 使用分裂终端提供接 $V_{CCO}/2$ 的终端。终端电阻由外部参考电阻器设定。例如，要实现 50Ω 至 $V_{CCO}/2$ 的 Thevenin 等效并联终端电路，在 VRN 和 VRP 引脚上将需要 100Ω 外部精密电阻器。表 21 列出了支持拆分终端的 DCI 输入标准。图 36 为 CYF7VX690T 器件中的分裂终端。

表 21 支持分裂终端的 DCI 输入标准

HSTL_I_DCI	DIFF_HSTL_I_DCI	SSTL18_I_DCI	DIFF_SSTL18_I_DCI
HSTL_I_DCI_18	DIFF_HSTL_I_DCI_18	SSTL18_II_DCI	DIFF_SSTL18_II_DCI
HSTL_II_DCI	DIFF_HSTL_II_DCI	SSTL18_II_T_DCI	DIFF_SSTL18_II_T_DCI
HSTL_II_DCI_18	DIFF_HSTL_II_DCI_18	SSTL15_DCI	DIFF_SSTL15_DCI
HSTL_II_T_DCI	DIFF_HSTL_II_T_DCI	SSTL15_T_DCI	DIFF_SSTL15_T_DCI
HSTL_II_T_DCI_18	DIFF_HSTL_II_T_DCI_18	SSTL135_DCI	DIFF_SSTL135_DCI
		SSTL135_T_DCI	DIFF_SSTL135_T_DCI
		SSTL12_DCI	DIFF_SSTL12_DCI
		SSTL12_T_DCI	DIFF_SSTL12_T_DCI

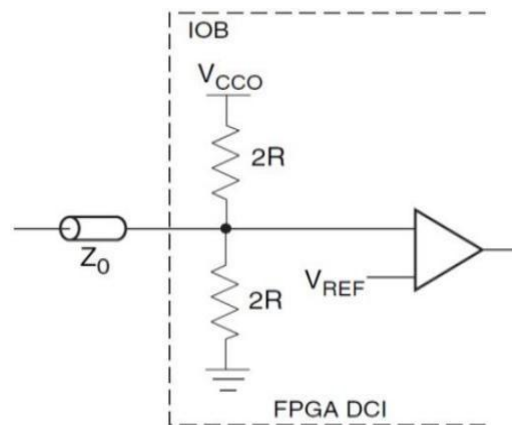


图 36 接 $V_{CCO}/2$ 的输入终端（使用 DCI 分裂终端）

d、DCI和三态DCI (T_DCI)

在驱动过程中出现分裂终端时，DCI 只控制终端的阻抗，不控制驱动器。三态 DCI (T_DCI) 标准旨在通过在驱动输出缓冲器时关闭分裂终端电阻器，并在输出处于三态时打开分裂终端电阻器（例如当接收或处于空闲状态）。T_DCI 标准只能分配给双向引脚。对于单向输入引脚，可以分配标准的 DCI 版本。对于单向输出引脚，可以分配非 DCI 或 DCI 版本。图 37 所示为 CYF7VX690T 器件中的分裂终端驱动器。

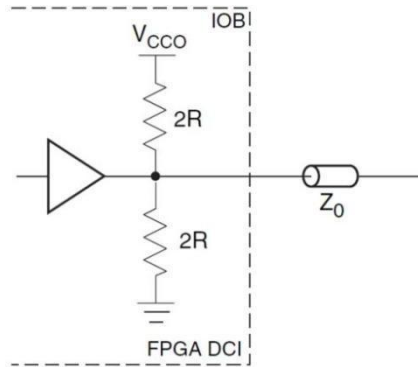


图 37 终端接 VCCO/2 的驱动器（使用 DCI 分裂终端）

表 22 始终存在分裂终端的 DCI 的 I/O 标准

HSTL_I_DCI ⁽¹⁾	DIFF_HSTL_I_DCI ⁽¹⁾	SSTL18_I_DCI ⁽¹⁾	DIFF_SSTL18_I_DCI ⁽¹⁾
HSTL_I_DCI_18 ⁽¹⁾	DIFF_HSTL_I_DCI_18 ⁽¹⁾	SSTL18_II_DCI	DIFF_SSTL18_II_DCI
HSTL_II_DCI	DIFF_HSTL_II_DCI	SSTL15_DCI ⁽¹⁾	DIFF_SSTL15_DCI ⁽¹⁾
HSTL_II_DCI_18	DIFF_HSTL_II_DCI_18	SSTL135_DCI ⁽¹⁾	DIFF_SSTL135_DCI ⁽¹⁾
		SSTL12_DCI ⁽¹⁾	DIFF_SSTL12_DCI ⁽¹⁾

注：HSTL和 SSTL I / O标准的非II类版本仅在输入而非输出上支持分裂终端 DCI。这些标准不允许双向引脚分配。

表 23 仅当处于三态时，存在分裂终端 DCI 的 I/O 标准

HSTL_II_T_DCI	SSTL18_II_T_DCI	DIFF_SSTL18_II_T_DCI
HSTL_II_T_DCI_18	SSTL15_T_DCI	DIFF_SSTL15_T_DCI
DIFF_HSTL_II_T_DCI	SSTL135_T_DCI	DIFF_SSTL135_T_DCI
DIFF_HSTL_II_T_DCI_18	SSTL12_T_DCI	DIFF_SSTL12_T_DCI

注：T_DCI标准只能分配给双向引脚。

e、CYF7VX690T I/O 标准中的 DCI

DCI 支持标准如表24所示

表 24 CYF7VX690T DCI I/O 标准

LVDCI_18	HSTL_I_DCI	DIFF_HSTL_I_DCI	SSTL18_I_DCI	DIFF_SSTL18_I_DCI
LVDCI_15	HSTL_I_DCI_18	DIFF_HSTL_I_DCI_18	SSTL18_II_DCI	DIFF_SSTL18_II_DCI
LVDCI_DV2_18	HSTL_II_DCI	DIFF_HSTL_II_DCI	SSTL18_II_T_DCI	DIFF_SSTL18_II_T_DCI
LVDCI_DV2_15	HSTL_II_DCI_18	DIFF_HSTL_II_DCI_18	SSTL15_DCI	DIFF_SSTL15_DCI
HSLVDCI_18	HSTL_II_T_DCI	DIFF_HSTL_II_T_DCI	SSTL15_T_DCI	DIFF_SSTL15_T_DCI
HSLVDCI_15	HSTL_II_T_DCI_18	DIFF_HSTL_II_T_DCI_18	SSTL135_DCI	DIFF_SSTL135_DCI

SSTL135_T_DCI	DIFF_SSTL135_T_DCI
SSTL12_DCI	DIFF_SSTL12_DCI
SSTL12_T_DCI	DIFF_SSTL12_T_DCI
HSUL_12_DCI	DIFF_HSUL_12_DCI

要正确使用 CYF7VX690T 器件中的 DCI，用户必须遵循以下规则：

- (1) VCCO 引脚必须根据该组中的 IOSTANDARD 连接到适当的 VCCO 电压。
- (2) 必须通过使用 IOSTANDARD 属性或 HDL 代码中的例化在软件中使用正确的 DCI I/O 缓冲器。
- (3) 外部参考电阻器必须连接到该组中的多用途引脚 (VRN 和 VRP)。这两个多用途引脚不得用作常规用户 I/O。关于引脚的具体位置，请查阅 CYF7VX690T 管脚表。引脚 VRN 必须由其参考电阻器上拉到 VCCO。引脚 VRP 必须由其参考电阻器下拉到地。在从属 I/O 组中串联 DCI 时，此要求是一个例外，因为 VRN 和 VRP 引脚可用作常规 I/O。可控阻抗驱动器的 DCI 标准仅可用于输入信号。对于这种情况，如果这些引脚是给定 I/O 组中唯一使用 DCI 标准的引脚，则该组不需要将外部参考电阻器连接到 VRP / VRN 引脚。当这些基于 DCI 的 I/O 标准是组中唯一的标准时，该组中的 VRP 和 VRN 引脚可用作常规 I/O。

表 25 不需要参考电阻器的 DCI 输入的 I/O 标准

LVDCI_18	LVDCI_DV2_18	HSLVDCI_18	HSUL_12_DCI
LVDCI_15	LVDCI_DV2_15	HSLVDCI_15	DIFF_HSUL_12_DCI

(4) 所选外部参考电阻器的阻值应能提供所需输出阻抗。例如，当使用 LVDCI_15 时，要实现 $50\ \Omega$ 的输出驱动器阻抗，VRN 和 VRP 引脚上使用的外部参考电阻应分别为 $50\ \Omega$ 。当使用 SSTL15_T_DCI 时，要实现 $VCCO / 2$ 的 $50\ \Omega$ Thevenin 等效终端 (R)，外部参考电阻应分别为 $100\ \Omega$ ，即 $(2R)$ 。

(5) 请遵循以下 DCI I/O 组合规则：

- ◆ 使用 DCI 级联时，VREF 必须兼顾同组中的所有输入。
- ◆ VCCO 必须兼顾同组中的所有输入和输出。
- ◆ 分裂终端、可控阻抗驱动器和半阻抗可控阻抗驱动器可以在同组中并存。

f. DCI I/O 用法示例

- 图 38 提供的示例说明如何使用 HSTL_I_DCI 和 HSTL_II_DCI I/O 标准。
- 图 39 提供的示例说明如何使用 SSTL18_I_DCI 和 SSTL18_II_DCI I/O 标准。

	HSTL_I	HSTL_II
Conventional		
DCI Transmit Conventional Receive		
Conventional Transmit DCI Receive		
DCI Transmit DCI Receive		
Bidirectional	N/A	
Reference Resistor	$VRN = VRP = 2R = 2Z_0$	$VRN = VRP = 2R = 2Z_0$
Recommended Z_0	50Ω	50Ω

Notes:
1. Z_0 is the recommended PCB trace impedance.

图 38 HSTL DCI 用法示例

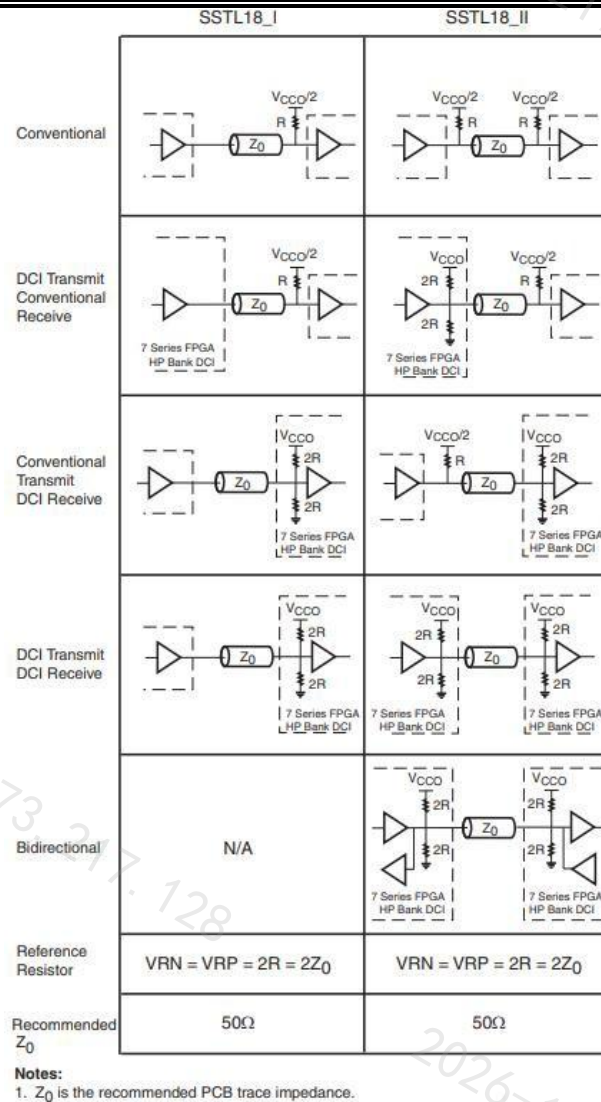


图 39 SSTL DCI 用法示例

5.5. 高级 SelectIO 逻辑资源

5.5.1. 输入串并转换逻辑资源 (ISERDESE2)

ISERDESE2 是专用的串行到并行转换器，具有专门用来帮助实现高速源同步应用的特定时钟控制与逻辑功能。当在 FPGA 架构中设计解串器时，ISERDESE2 可以避免由其带来的时序复杂性。

ISERDESE2 功能包括：

● 专用解串器/串并转换器

ISERDESE2 解串器可以实现高速数据传输，不要求 FPGA 内部资源与输入数据频率匹配。此转换器支持单倍数据速率 (SDR) 和双倍数据速率 (DDR) 两种模式。在 SDR 模式下，串并转换器可以创建 2、3、4、5、6、7 或 8 位宽的并行字。在 DDR 模式下，串并转换器在使用一个 ISERDESE2 时可以创建 4、6、8 位宽的并行字。在使用两个级联的 ISERDESE2 时创建 10 或 14 位宽的并行字模式。

● Bitslip 子模块

Bitslip 子模块允许设计人员对进入 FPGA 内部资源的并行数据流重新排序。此功能可用来培训包括培训模式的源同步接口。

● 对选通存储器接口的专门支持

ISERDESE2 包含专用电路（包括 OCLK 输入引脚），可以完全在 ISERDESE2 模块内部处理选通门到 FPGA 跨时钟域的功能。此功能可以提高性能和简化实现。

● 专门支持网络接口

● 专门支持 DDR3 接口

● 专门支持 QDR 接口

● 对异步接口的专门支持

图 40 所示为 ISERDESE2 的框图，重点显示该模块的所有主要元件和功能，包括可选的逆变器。

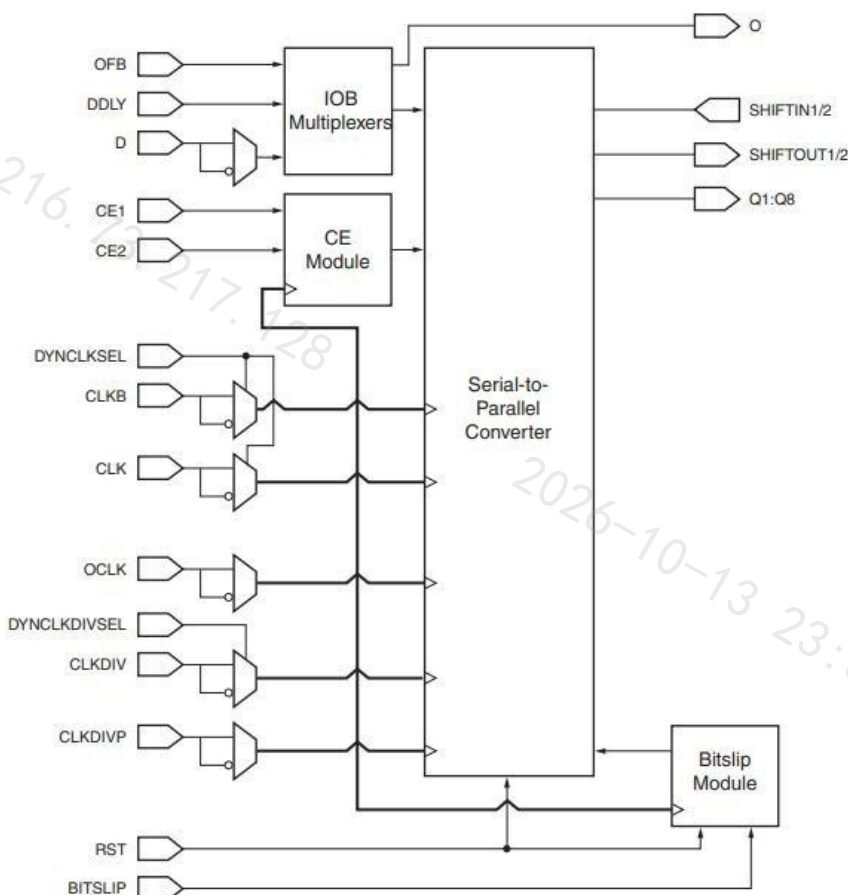


图 40 ISERDESE2 框图

ISERDESE2 端口

寄存输出 - Q1 至 Q8

输出端口 Q1 至 Q8 是 ISERDESE2 模块的寄存输出。一个 ISERDESE2 模块最多可支持 8 个数据位（即 1:8 解串）。位宽大于 8（最多 14）的只能在 DDR 模式下支持。接收到的第一个数据位出现在最高阶 Q 输出上。

Bitslip 操作 - BITSLLP

当置为有效（高有效）时，BITSLLP 引脚执行与 CLKDIV 同步的 Bitslip 操作。此后，如同桶式移位器操作，每当启动 Bitslip 操作，Q1 到 Q6 输出端口上的数据就会移动一个位置（DDR 的操作与 SDR 的不同）。

时钟使能输入 - CE1 和 CE2

每个 ISERDESE2 模块都包含一个输入时钟使能模块，时钟使能模块用作 2:1 串并转换器，由 CLKDIV 进行时钟控制。当 ISERDESE2 配置成 DDR 模式的 1:4 解串时，双向存储器接口需要特别的时钟使能模块。当属性 NUM_CE = 2 时，启用时钟使能模块，CE1 和 CE2 端口均可用。当 NUM_CE = 1 时，只能使用 CE1，将其作为常规时钟使能端口。

高速时钟输入 - CLK

高速时钟输入 (CLK) 用于对输入串行数据流进行时钟控制。

分频时钟输入 - CLKDIV

分频时钟输入 (CLKDIV) 通常是 CLK 的一个分频版本（取决于所实现解串的宽度）。此端口驱动串并转换器、Bitslip 子模块和 CE 模块的输出。

来自 IOB 的串行输入数据 - D

串行输入数据端口 (D) 是 ISERDESE2 的串行（高速）数据输入端口。此端口仅与 CYF7VX690T IOB 资源配合使用。

来自 IDELAYE2 的串行输入数据 - DDLY

串行输入数据端口 (DDLY) 是 ISERDESE2 的串行（高速）数据输入端口。

来自 OSERDESE2 的串行输入数据 - OFB

串行输入数据端口 (OFB) 是 ISERDESE2 的串行（高速）数据输入端口。

选通存储器接口和过采样模式的高速时钟 - OCLK

OCLK 时钟输入对选通存储器接口中的数据传输进行同步控制。

5.5.2. 输出并串转换逻辑资源 (OSERDESE2)

OSERDESE2 是专用的并串转换器，具有专门用来帮助实现高速源同步接口的特定时钟控制和逻辑资源。每个 OSERDESE2 模块包括一个用于数据和三态控制的专用串行器。数据和三态串行器都可以配置成

SDR 和 DDR 模式。数据串行化可达 8:1（如果使用“OSERDESE2 宽度扩展”则是 10:1 和 14:1）。三态串行化可达 14:1。有一个专用的 DDR3 模式来支持高速内存应用。

图 41 所示为 OSERDESE2 的框图，重点显示该模块的所有主要元件和功能。

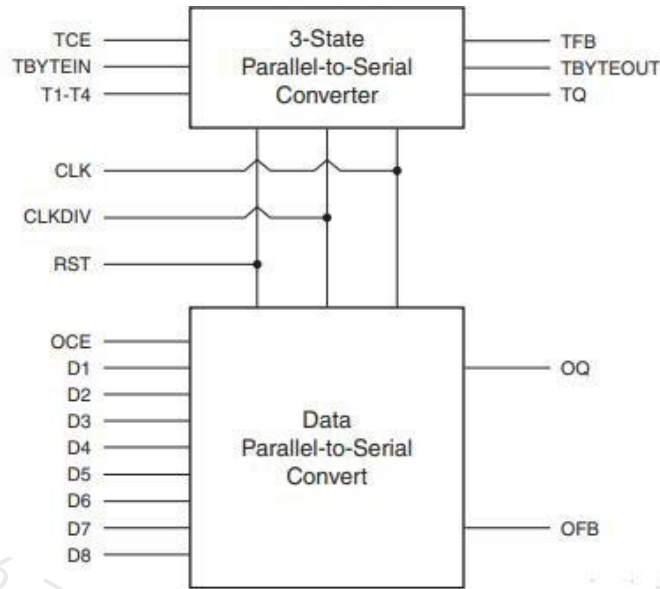


图 41 OSERDESE2 框图

数据并串转换器

一个 OSERDESE2 模块中的数据并串转换器接收来自内部资源的 2 到 8 位并行数据（如果使用“OSERDESE2 宽度扩展”则为 14 位），将数据串行化，然后通过 OQ 输出将数据送至 IOB。并行数据串行化是按照从数据输入引脚的最低位到最高的顺序进行的（即 D1 输入引脚上的数据传输到 OQ 引脚的首位）。可以在两种模式下使用数据并串转换器：单倍数据速率 (SDR) 和双倍数据速率 (DDR)。

OSERDESE2 使用 CLK 和 CLKDIV 两个时钟进行数据速率转换。CLK 是高速串行时钟；CLKDIV 是分频并行时钟。CLK 和 CLKDIV 必须相位对齐。

使用前，必须对 OSERDESE2 进行复位。

三态并串转换

除了数据的并行到串行转换，OSERDES 模块还包含一个用于对 IOB 进行三态控制的并串转换器。与数据转换不同的是，三态转换器最多只能串行化四位并行三态信号。三态转换器不能级联。

OSERDESE2 端口

数据路径输出 - OQ

OQ 端口是 OSERDESE2 模块的数据输出端口。输入端口 D1 上的数据会首先出现在 OQ 上。此端口将数据并串转换器的输出连接到 IOB 的数据输入。该端口不能驱动 ODELAYE2；必须使用 OFB 引脚。

来自 OSERDESE2 的输出反馈 - OFB

输出反馈端口 (OFB) 是 OSERDESE2 的串行（高速）数据输出端口。

三态控制输出 - TQ

该端口是 OSERDESE2 模块的三态控制输出。使用时，此端口将三态并行到串行转换器的输出连接到 IOB 的控制/三态输入。

三态控制输出 - TFB

如果用户需要，该端口是发送到内部的 OSERDESE2 模块的三态控制输出。

高速时钟输入 - CLK

此高速时钟输入端口驱动并行到串行转换器的串行端。

分频时钟输入 - CLKDIV

此分频高速时钟输入端口驱动并串转换器的并行侧。此时钟是 CLK 端口所连接时钟的分频版本。

并行数据输入 - D1 至 D8

所有输入并行数据都通过端口 D1 到 D8 进入 OSERDESE2 模块。这些端口连接到 FPGA 内部资源，可以配置为 2 到 8 位（即 8:1 串行化）。通过在 SLAVE 模式下使用第二个 OSERDESE2，可以支持大于 8（10 和 14）的位宽。

输出数据时钟使能 - OCE

OCE 是数据通路的 High 有效时钟使能。

三态信号时钟使能 - TCE

TCE 是三态控制通路的 High 有效时钟使能。

并联三态输入 - T1 至 T4

所有并行三态信号通过端口 T1 到 T4 进入 OSERDESE2 模块。这些端口连接到 FPGA 内部资源。它们可以配置为 1、2 或 4 位，或被绕过。这些端口的行为由 DATA_RATE_TQ 和 TRISTATE_WIDTH 属性控制。

5.6. 存储器模块 (BRAM)

5.6.1. Block RAM 概述

CY7F7VX690T Block RAM 最多存储 36K 位数据，并且可以配置成两个独立的 18 Kb RAM 或一个 36 Kb RAM。在简单的双端口模式下，每个 36 Kb Block RAM 可配置成一个 64K x 1（当与一个相邻的 36 Kb Block RAM 级联时）、32K x 1、16K x 2、8K x 4、4K x 9、2K x 18、1K x 36 或 512x72 存储器。在

简单的双端口模式下，每个18Kb Block RAM均可配置为16Kx1、8Kx2、4Kx4、2Kx9、1Kx18 或 512x36 存储器。

Block RAM 写和读是同步操作，两个端口对称且完全独立，仅共享存储的数据。每个端口均可配置成可用的宽度之一，与另一端口无关。另外，每个端口的读端口宽度可与写端口宽度不同。存储器内容可用配置比特流初始化或清除。在写操作过程中，存储器可以设置成让数据输出保持不变，或者令其反映正在写入的新数据或正在覆盖的旧数据。

5.6.2. 同步双端口和单端口 RAM

5.6.2.1. 数据流

真双端口 36 Kb Block RAM 双端口存储器由一个 36 Kb 存储区域以及 A 和 B 两个完全独立的访问端口组成。同样，每个 18 Kb Block RAM 双端口存储器由一个 18 Kb 存储区域以及 A 和 B 两个完全独立的访问端口组成。其结构完全对称，并且两个端口可互换。图 42 所示为真双端口数据流。表26 列出了真双端口的名称和描述。

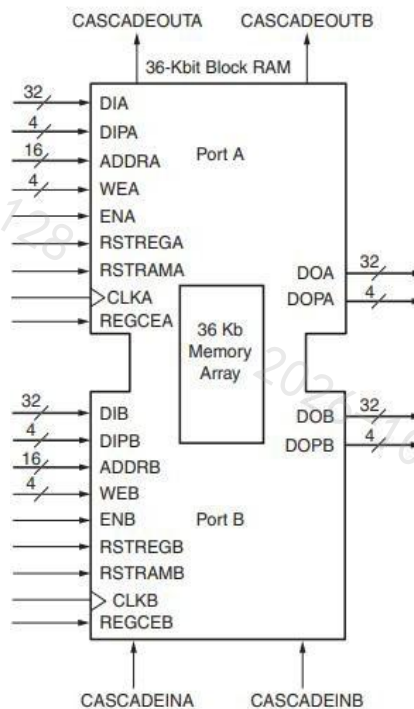


图 42 真双端口数据流

表 26 真端端口的名称和描述

端口名称	描述
DI[A B]	数据输入总线
DIP[A B]	数据输入奇偶校验总线，可用于其他数据输入
ADDR[A B]	地址总线
WE[A B]	字节宽度写使能
EN[A B]	当无效时，没有数据写入 Block RAM，输出总线保持其原状态

RSTREG[A/B]	同步设置/重置输出寄存器 (DO_REG = 1)。RSTREG_PRIORITY属性确定相对于REGCE的优先级。
RSTRAM[A/B]	同步置位/复位输出数据锁存器
CLK[A/B]	时钟输入
DO[A/B]	数据输出总线
DOP[A/B]	数据输出奇偶校验总线，可用于其他数据输出
REGCE[A/B]	输出寄存器时钟使能。
CASCADEIN[A/B]	级联输入，用于64Kx1模式
CASCADEOUT[A/B]	级联输出，用于64Kx1模式

5.6.2.2. 读操作

在锁存器模式下，读操作使用一个时钟沿。读地址寄存在读端口；存储的数据在 RAM 访问后加载到输出锁存器中。当使用输出寄存器时，读操作会多占用一个延迟周期。

5.6.2.3. 写操作和写模式

写操作是单时钟沿操作。写地址寄存在写端口；数据输入存储在存储器中。

在写时钟沿之后，输出锁存器上有效数据的行为取决于 WRITE_FIRST、READ_FIRST 和 NO_CHANGE 三项写模式设置。写模式的选择由配置设定。可以为各端口分别选择写模式属性。默认模式是 WRITE_FIRST。WRITE_FIRST 将新写入的数据输出到输出总线。READ_FIRST 在写入新数据时输出原来存储的数据。NO_CHANGE 保持先前由读操作产生的输出。

● WRITE_FIRST 模式，即透明模式 (默认)

在 WRITE_FIRST 模式下，输入数据同时写入存储器并存入数据输出（透明写），如图 43 所示。当未使用可选输出流水线寄存器时，这些波形对应于锁存器模式。

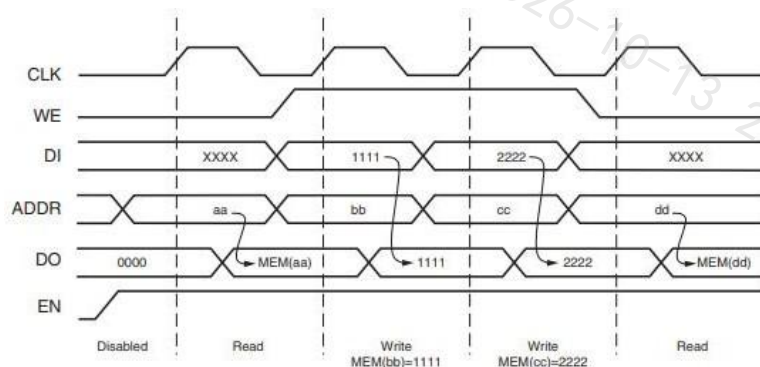


图 43 WRITE_FIRST 模式波形

● READ_FIRST 模式，即先读后写模式

在 READ_FIRST 模式下，原存储在写地址的数据出现在输出锁存器上，而输入数据则存入存储器（先读后写）。当未使用可选输出流水线寄存器时，图 44 中的波形对应于锁存器模式。

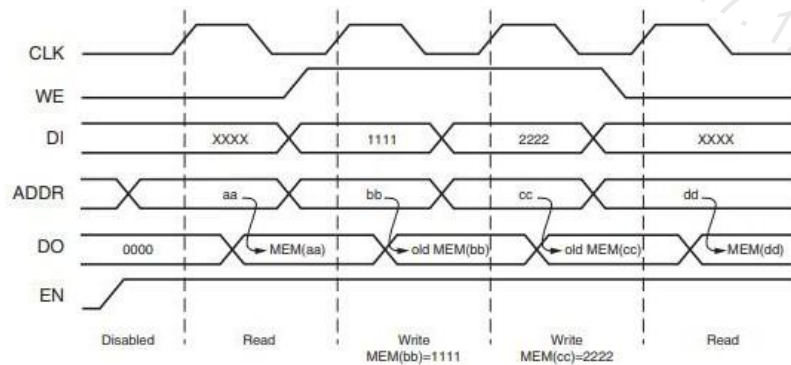


图 44 READ_FIRST 模式波形

● NO_CHANGE 模式

在 NO_CHANGE 模式下，输出锁存器在写操作过程中保持不变。如图 45 所示，数据输出保持最后的读数据，不受同端口上写操作的影响。当未使用可选输出流水线寄存器时，这些波形对应于锁存器模式。此模式是最省电的。此模式在 SDP 模式下不可用，因为它的行为与 WRITE_FIRST 模式相同

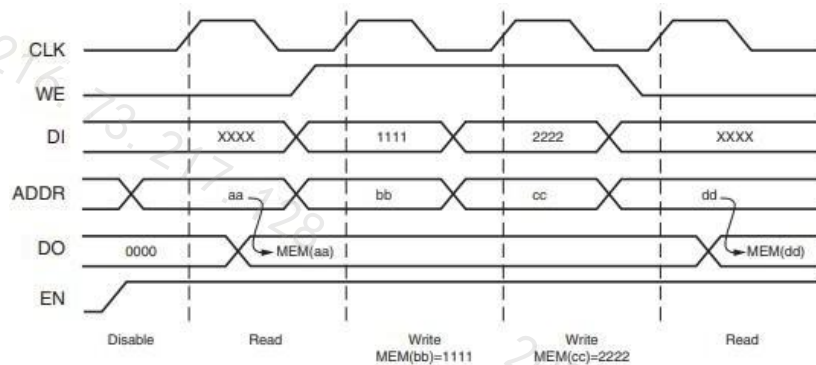


图 45 NO_CHANGE 模式波形

5.6.2.4. 避免冲突

CYF7VX690T Block RAM 存储器是真正双端口 RAM，其中两个端口可以在任意时间访问任意存储器。但是，当从两个端口访问同一存储器位置时，可能会发生地址冲突。当两个 Block RAM 端口在相同的时钟周期中访问相同的地址位置时，即发生地址冲突。有两种基本的时钟类型设置，即公共时钟和独立时钟。公共（同步）时钟由通用时钟缓冲器驱动器驱动。所有其他 CLKA 和 CLKB 连接都被认为是独立的（异步）时钟。

在下面表格中：

- 写使能为高电平有效，1 = 写，0 = 读
- RF = READ_FIRST, WF = WRITE_FIRST, NC = NO_CHANGE
- X = 不确定值
- DIA = 端口 A 数据输入
- DIB = 端口 B 数据输入

表 27 同步时钟和异步时钟

时钟类型	写模式端口 A	写模式端口 B	写使能端口 A (数据)	写使能端口 B (数据)	结果数据输出端口 A	结果数据输出端口 B	结果存储值
同步	RF/WF/NC	RF/WF/NC	0	0	Old memory data	Old memory data	No change
	RF	RF/WF/NC	1 (DIA)	0	Old memory data	Old memory data	DIA
	WF	RF/WF/NC	1 (DIA)	0	DIA	X	DIA
	NC	RF/WF/NC	1 (DIA)	0	No change	X	DIA
	RF/WF/NC	RF	0	1 (DIB)	Old memory data	Old memory data	DIB
	RF/WF/NC	WF	0	1 (DIB)	X	DIB	DIB
	RF/WF/NC	NC	0	1 (DIB)	X	No change	DIB
	RF/WF/NC	RF/WF/NC	1	1	X	X	X
异步	RF/WF/NC	RF/WF/NC	0	0	Old memory data	Old memory data	No change
	RF	RF/WF/NC	1 (DIA)	0	Old memory data	X	DIA
	WF	RF/WF/NC	1 (DIA)	0	DIA	X	DIA
	NC	RF/WF/NC	1 (DIA)	0	No change	X	DIA
	RF/WF/NC	RF	0	1 (DIB)	X	Old memory data	DIB
	RF/WF/NC	WF	0	1 (DIB)	X	DIB	DIB
	RF/WF/NC	NC	0	1 (DIB)	X	No change	DIB
	RF/WF/NC	RF/WF/NC	1	1	X	X	X

5.6.3. 简单双端口 Block RAM

每个 18 Kb 块和 36 Kb 块还可以配置成简单双端口 RAM 模式。在这种模式下，Block RAM 端口宽度对于 18 Kb Block RAM 加倍到 36 位，对于 36 Kb Block RAM 加倍到 72 位。在简单双端口模式下，可同时进行独立的读和写操作，其中端口 A 指定为读端口，端口 B 指定为写端口。当读和写端口同时访问同一数据位置时，将其作为冲突处理，类似于真正双端口模式下的端口冲突。简单双端口 Block RAM 模式支持通过配置端口读回。图 46 所示为简单双端口数据流。表 28 列出了简单双端口的名称和描述。

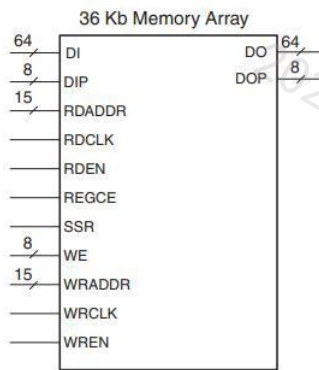


图 46 简单双端口数据流中 RAMB36

表 28 简单双端口的功能和描述

端口功能	描述
DO	数据输出总线
DOP	数据输出奇偶校验总线
DI	数据输入总线
DIP	数据输入奇偶校验总线

RDADDR	读数据地址总线
RDCLK	读数据时钟
RDEN	读端口使能
REGCE	输出寄存器时钟使能
SBITERR	单位元错误状态
DBITERR	双位元错误状态
ECCPARITY	ECC编码器输出总线
SSR	输出寄存器或锁存器的同步设置/复位
WE	字节宽度写使能
WRADDR	写数据地址总线
WRCLK	写数据时钟
WREN	写端口使能
注：Block RAM基本端口名称可以与端口功能名称不同。	

5.6.4. 可级联 Block RAM

在CYF7VX690T Block RAM 架构中，可将两个 32K x 1 RAM 组合起来形成一个 64K x 1 RAM，无需使用局部互连或其他 CLB 逻辑资源。任意两个相邻的 Block RAM 均可级联形成一个 64K x 1 Block RAM。只有在 64K x 1 模式下才可用级联两个 Block RAM 的方法增加 Block RAM 的深度。

5.6.5. 独立读写端口宽度选择

每个 Block RAM 端口都具有控制数据宽度和地址深度（长宽比）的功能。CYF7VX690T 真双端口 Block RAM 将这种灵活性推广到了读和写，可以用不同的数据位宽度配置各端口。例如，端口 A 可以有 36 位读宽度和 9 位写宽度，而端口 B 可以有 18 位读宽度和 36 位写宽度。

如果读端口宽度不同于写端口宽度并且配置为 WRITE_FIRST 模式，则 DO 显示所有已启用写字节的有效新数据和存储在存储器中的所有未启用字节的原数据。独立的读写端口宽度选择提高了在 Block RAM 中实现内容可编址存储器 (CAM) 的效率。此选项可用于所有 CYF7VX690T 真双端口 RAM 的端口尺寸和模式。

5.6.6. 字节宽度写使能

Block RAM 的字节宽度写使能功能提供了以八位（一个字节）为单位写入输入数据的能力。对于 RAMB36E1 真双端口 RAM，有四个独立的字节宽度写使能输入。对于简单双端口模式下的 Block RAM（SDP模式下为RAMB36E1），有八个独立的字节宽度写使能输入。表 29 概述了 36K 和 18K Block RAM 的字节宽度写使能。每个字节宽度写使能与一个输入数据字节和一个奇偶校验位关联。在所有数据宽度配置中都必须驱动所有字节宽度写使能输入。用 Block RAM 与微处理器进行接口连接时，此功能很有用。字节宽度写使能不能用于双时钟 FIFO 或 ECC 模式。图 47 所示为 RAMB36E1 的字节宽度写使能时序图。

表 29 可用的字节宽度写使能

基元	最大位宽度	字节宽度写使能数
RAMB36E1 TDP mode	36	4
RAMB36E1 SDP mode	72	8
RAMB18E1 TDP mode	18	2
RAMB18E1 SDP mode	36	4

当为 36 位或 18 位宽的数据路径配置 RAMB36E1 时，任何端口都可限制写入数据字内的指定字节位置。如果按 READ_FIRST 模式配置，则 DO 总线显示整个已编址字的原内容。在 WRITE_FIRST 模式下，DO 显示新写入的已启用字节和未写字节的初始存储器内容的组合。

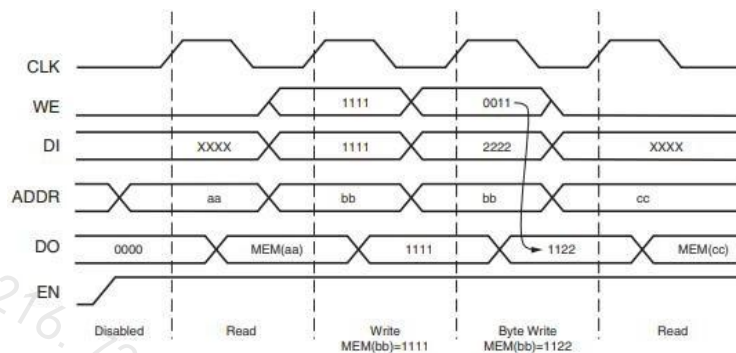


图 47 字节宽度写使能波形 (x36 WRITE_FIRST)

5.6.7. Block RAM 纠错代码

36 Kb Block RAM 的 Block RAM 和 FIFO 的实现都支持实现 64 位纠错代码 (ECC)。该代码用来检测 Block RAM 数据读出中的单位元和双位元错误。然后，单位元错误在输出数据中得到纠正。

5.6.8. 内置 FIFO 支持

在 CYF7VX690T 架构中，FIFO 可以配置成 18 Kb 或 36 Kb 存储器。对于 18 Kb 模式，支持的配置是 4K x 4、2K x 9、1K x 18 和 512 x 36。36 Kb FIFO 的支持配置是 8K x 4、4K x 9、2K x 18、1K x 36 和 512 x 72。Block RAM 可以配置成使用公共或独立读写时钟的先进/先出 (FIFO) 存储器。

Block RAM 的端口 A 用作 FIFO 的读端口，而端口 B 是 FIFO 的写端口。数据在读时钟的上升沿上从 FIFO 读出，在写时钟的上升沿上写入 FIFO。如果没有外部 CLB 协助，FIFO 模式不支持独立读写端口宽度选择。

5.7. 乘法器 (DSP)

CYF7VX690T 采用了 DSP48E1 Slice，DSP48E1 Slice 支持许多独立功能。这些功能包括乘法，乘法累加 (MACC)，乘法加法，三输入加法，桶形移位，宽总线多路复用，幅度比较器，按位逻辑功能，模式检测和宽计数器。该架构还支持级联多个 DSP48E1 Slice，以形成广泛的数学功能，DSP 滤波器和复杂的算术。其中，DSP48E1 Slice 的基本功能如图 48 所示：

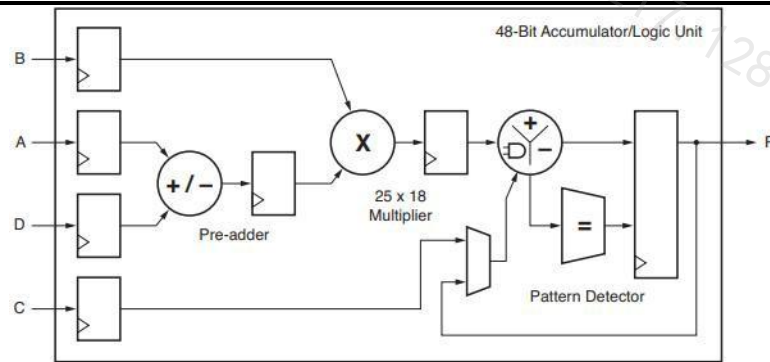


图 48 DSP48E1 Slice 的基本功能

DSP 功能的一些重点包括：

- **25×18 的二进制补码乘法器：**
 - 动态旁路
- **48 位累加器：**
 - 可用作同步递增/递减计数器
- **省电预加法器：**
 - 优化对称滤波器的应用并降低 DSP Slice 的要求
- **单指令多数据（SIMD）算术单元：**
 - 双 24 位或四位 12 位加/减/累加
- **可选的逻辑单元：**
 - 可以生成两个操作数的十个不同逻辑函数中的任何一个
- **模式检测器：**
 - 收敛或对称舍入
 - 与逻辑单元结合使用时，具有 96 位宽的逻辑功能
- **高级功能：**
 - 级联的可选流水线和专用总线

5.8. 配置控制器 (CFGC)

器件通过将编程数据下载到内部编程存储器中进行编程。由于 CYF7VX690T 的内部存储器是易失性存储器，所以它需要在每次上电时进行配置，比特流文件通过专门的配置引脚加载到器件中。使用 256 位 AES 加密法对编程文件或比特流进行加密，以确保系统断电和加电配置过程中的机密性，可将解密密钥存储在 eFuse 中。

由于配置数据存储在 CMOS 配置锁存器（CCL）中，因此必须在掉电后重新配置。每次通过特殊配置引脚将比特流加载到器件中。这些配置引脚用作许多不同配置模式的接口，CFGC 具有五个配置接口。每个配置接口对应一个或多个配置模式和总线宽度，配置时序与引脚处的 CCLK 有关。

- 主动-串行配置模式
- 从-串行配置模式
- 主动 SelectMAP（并行）配置模式（x8 和 x16）
- 被动 SelectMAP（并行）配置模式（x8，x16 和 x32）
- JTAG/边界扫描配置模式

- 主动SPI配置模式（x1，x2，x4）
- 主动BPI配置模式（x8和x16）

用编程模式管脚（M2，M1，M0）来选择编程的模式。模式选择编码列于表30中。

表 30 配置模式编码表

编程模式	M2	M1	M0	CCLK 方向	总线宽度
主串模式	0	0	0	Output	x1
主SPI模式	0	0	1	Output	x1, x2, x4
主SelectMAP模式	1	0	0	Output	x8, x16
主BPI模式	0	1	0	Output	x8, x16
JTAG	1	0	1	N/A	x 1
从SelectMAP模式	1	1	0	Input	x 8, x16, x32
从串模式	1	1	1	Input	x1

通过边界扫描端口的编程优先级最高，选择边界扫描方式就会直接关掉了其他的编程模式。MODE管脚都有内部的上拉电阻，在没有连接的情况下默认为逻辑高电平，但是仍然建议在外部对编程管脚上拉操作。

CYF7VX690T 器件通过将编程数据下载到内部编程存储器中来进行编程。由于 CYF7VX690T的内部存储器是易失性存储器，所以它需要在每次上电时进行配置，比特流文件通过专门的配置引脚加载到器件中，在这些用来编程的管脚中一些是专用的编程管脚，而另外的管脚在编程完成之后可以重新用作一般目的的输入输出。以下该器件的配置管脚：

表 31 CYF7VX690T 配置引脚

引脚名称	类型	专用或双用途	描述
CFGBVS	输入	专用	配置库电压选择
M[2:0]	输入	专用	配置模式选择引脚，将每个模式引脚直接连接或通过 $\leq 1k\Omega$ 电阻连接到V _{CC0_0} 或GND。
TCK	输入	专用	测试时钟。这个引脚是JTAG测试时钟。TCK对TAP控制器和JTAG寄存器进行排序。
TMS	输入	专用	测试模式选择。此引脚在 TCK 的上升沿通过TAP 控制器确定状态序列。 TMS 具有内部电阻上拉以在引脚未被驱动时提供逻辑高电平。

引脚名称	类型	专用或双用途	描述
TDI	输入	专用	测试数据输入。该引脚是所有JTAG指令和数据寄存器的串行输入。TAP控制器的状态和当前指令确定由TDI引脚为特定操作提供的寄存器。TDI具有内部电阻上拉，如果引脚未驱动，则为系统提供逻辑高电平。TDI在TCK的上升沿加载到JTAG寄存器。
TDO	输出	专用	测试数据输出。该引脚是所有JTAG指令和数据寄存器的串行输出。TAP控制器的状态和当前指令确定为特定操作提供TDO的寄存器（指令或数据）。TDO在TCK的下降沿改变状态，并且仅在指令或数据通过器件移位期间有效。TDO是有效的驱动器输出。
PROGRAM_B	输入	专用	程序（栏）。低电平有效复位为配置逻辑。当PROGRAM_B脉冲为低电平时，将清除FPGA配置并启动新的配置序列。配置复位在下降沿启动，而配置（即编程）序列在下一个上升沿开始。
INIT_B	双向（漏极开路）	专用	初始化（栏）。低电平有效FPGA初始化引脚或配置错误信号。当FPGA处于配置复位状态，FPGA初始化（清除）其配置存储器或FPGA检测到配置错误时，FPGA将该引脚驱动为低电平。在完成FPGA初始化过程后，INIT_B释放至高阻态Z，这时需要一个外部电阻将INIT_B拉高。上电期间，INIT_B可以在外部保持低电平，以在初始化过程结束时使上电配置序列停顿。初始化过程后，如果在INIT_B输入端检测到高电平，则FPGA继续进行M[2:0]引脚设置所规定的其余配置序列。
DONE	双向	专用	作为配置完成的标志，为高时代表配置完成。DONE输出默认为漏极开路输出。
CCLK	输入、输出	专用	配置时钟。CCLK在除JTAG模式以外的所有模式下运行同步FPGA配置序列。 • 对于从模式：CCLK是输入，需要连接到外部时钟源。 • 对于主模式：FPGA提供配置时钟并驱动CCLK作为输出。 • 对于JTAG模式：CCLK为高Z且可保持未连接状态。
PUDC_B	输入	多功能的	配置期间上拉 低电平有效的PUDC_B输入在上电后和配置期间启用SelectIO引脚上的内部上拉电阻。 • 当PUDC_B为低电平时，每个SelectIO引脚上启用内部上拉电阻。 • 当PUDC_B为高电平时，每个SelectIO引脚上的内部上拉电阻均被禁用。
EMCCLK	输入	多功能的	外部主机配置时钟 可选的外部时钟输入，用于在主模式下运行配置逻辑（相对于内部配置振荡器）。 • 对于主串模式：FPGA可以选择切换到EMCCLK作为时钟

引脚名称	类型	专用或双用途	描述
			源，而不是内部振荡器，以驱动内部配置引擎。可以选择通过位流设置（ExtMasterCclk_en）对EMCCLK频率进行分频，并将其转发以作为主CCLK信号输出。 •对于JTAG和从属模式：在JTAG和从属模式中，EMCCLK被忽略，并且可以保持未连接状态。
CSI_B	输入	多功能的	片选输入，SelectMAP数据总线使能信号，低电平有效
CSO_B	输出（漏极开路）	多功能的	片选输出 低电平有效漏极开路输出，可将其驱动为低电平，以并行配置菊花链的形式启用下游FPGA的从SelectMAP配置接口。
DOUT	输出	多功能的	数据输出 DOUT是串行配置菊花链的数据输出。 •对于串行和SPI（仅x1）模式：如果设备处于串行配置菊花链模式，则连接到下游从串行FPGA的DIN。否则，DOUT为高阻态。 •对于BPI和SelectMAP模式：DOUT是多功能引脚，用作CSO_B引脚。 •对于所有其他模式：DOUT为高阻Z且可保持未连接状态。
RDWR_B	输入	多功能的	SelectMAP数据总线方向控制信号，RDWR_B为低时，数据总线为输入；否则为输出。
D00_MOSI	双向的	多功能的	主输出，从输入 FPGA（主）SPI模式输出，用于将命令发送到SPI（从）闪存设备。
D01_DIN	双向的	多功能的	DIN是串行数据输入引脚。对于串行和SPI模式：DIN是从数据源接收串行数据的FPGA数据输入。
D[00-31]	双向的	多功能的	D [00-31] 引脚的子集或全集是SPI x2，SPI x4，BPI或SelectMAP模式的数据总线接口。
A[00-28]	输出	多功能的	BPI地址总线输出，完成配置后可做普通IO
FCS_B	输出	多功能的	BPI模式和SPI模式下配置Flash片选信号，低电平有效
FOE_B	输出	多功能的	BPI模式下配置Flash输出使能，低电平有效
FWE_B	输出	多功能的	BPI模式配置Flash写使能，低电平有效
ADV_B	输出	多功能的	BPI模式配置Flash地址有效输出信号，低电平有效
RS0, RS1	输出	多功能的	RS0和RS1引脚是修订选择输出引脚，用于驱动并行闪存上的高位地址线。
VCCBATT	N/A	电源电压	VCCBATT是FPGA内部易失性存储器的备用电池，该存储器存储AES解密器的密钥。对于需要从易失性密钥存储区获得解密器密钥的加密比特流，当FPGA断电时，将此引脚连接至电池以保存密钥。如果不需要使用易失性密钥存储区中的解密器密钥，则将此引脚连接至GND或VCCAUX。
注：1.每个I/O均参考该I/O所在组的Vcco电源电压。例如，“0”表示I/O引用到Bank 0的Vcco_0			

5.9. DDR接口

基于 FPGA 设计的DDR存储器接口和控制器由三个基本构建模块组成：

- 读写数据接口（Physical Layer）
- 存储器控制器状态机（Controller）
- 以及将存储器接口设计桥接到 FPGA 设计的其余用户界面

这些模块都在 FPGA 资源中实现，并由时钟管理器CMT的输出作为时钟来驱动。

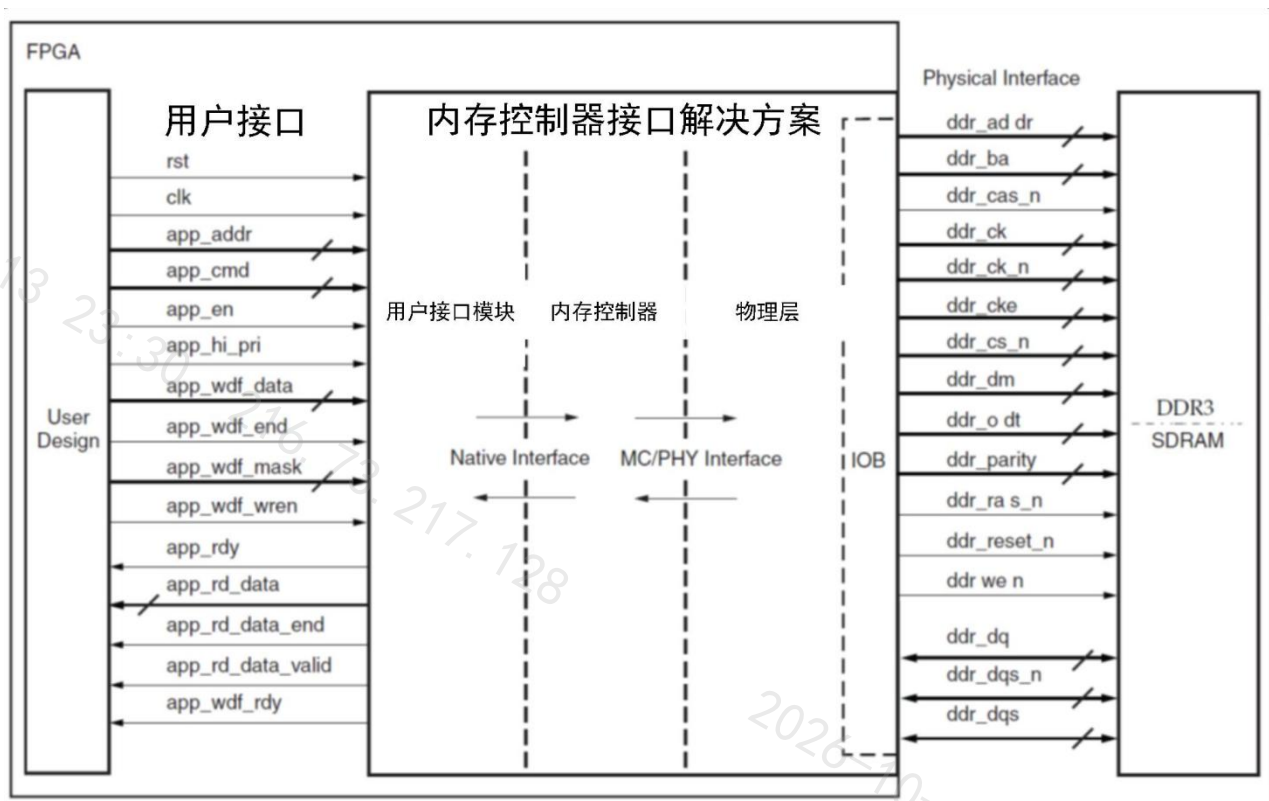


图 49 DDR 内存接口解决方案

DDR控制器通过MIG IP核进行例化。使用时，用户首先需要在MIG IP核配置页面对DDR芯片型号、总线位宽、速度等级、引脚分配等参数进行设置。设置完成后即可得到DDR3控制器接口解决方案，FPGA内存接口解决方案如图49所示。

该方案由用户设计模块、用户接口模块、内存控制模块和物理层接口模块等四部分组成。

- 用户接口模块位于设计的最前端，通过呈现一个扁平化的地址空间和缓冲器，提供了一个简单的用户接口，用以代替本地接口进行数据的读写操作。
- 内存控制模块位于用户接口模块和物理层模块之间，其前端为用户接口模块提供本地接口。本地接口支持用户设计提交存储器读写请求，并提供用户设计模块与外部存储设备之间的数据传输机制。内存控制模块还提供了一个具有重排序的功能选项，可以对接收到的请求进行重新排序，进而优化数据传输的吞吐量及时延。

- 内存控制器后端连接至物理层接口，并处理所有该模块的接口请求。物理层接口前端连接至内存控制器模块，后端连接外部存储设备，其主要功能是捕获DDR3发出的数据，产生DDR3所需要的控制指令信号，并通过输入输出缓存发送所有DDR3的控制信号、地址信号以及数据信号，同时保证指令与地址、数据的同步和信号的维持。

用户使用时，只需设计DDR3读写控制模块即可通过IP核对DDR3进行读写操作。app_rdy信号是用户接口模块准备就绪的标识，在进行读操作时，只需在app_rdy信号为1时更新读地址即可，读操作时序如图50所示。

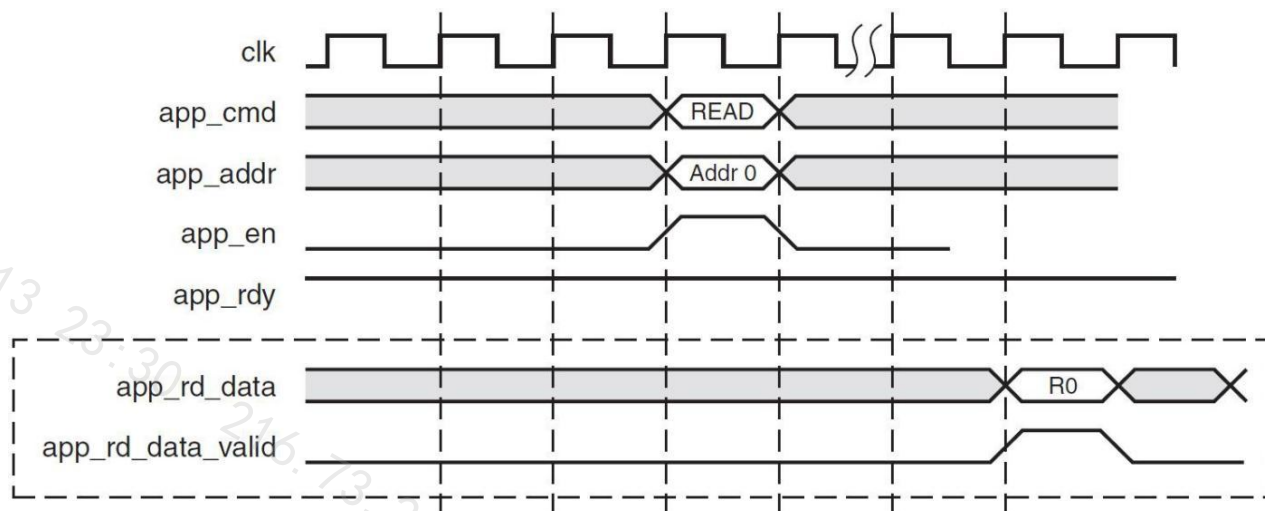


图 50 DDR 内存接口读操作时序

写操作相对复杂，若要成功进行写操作，则必须保证写地址和写数据都有效，而写地址和写数据不必同时有效，可以相差几个周期，当用户接口反馈的app_rdy信号和用户控制的app_en信号同时为1时，写操作指令app_cmd以及写地址app_addr有效。而对于需要写入的数据app_wdf_data来说，只有当用户接口反馈的app_wdf_rdy信号和用户控制的app_wdf_wren信号同时拉高时才是有效的。写操作对应的时序如图51所示。

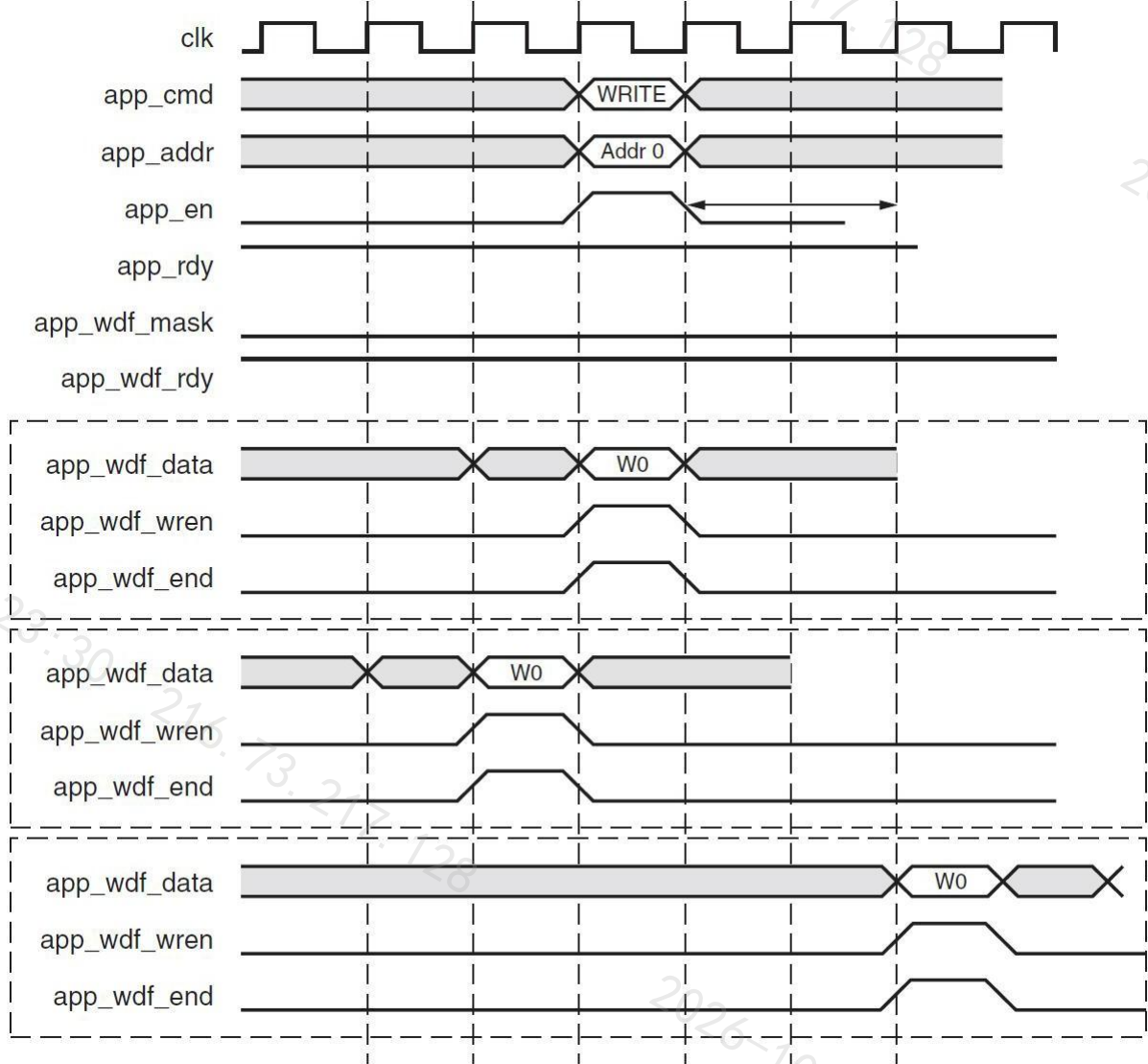


图 51 DDR 内存接口写操作时序

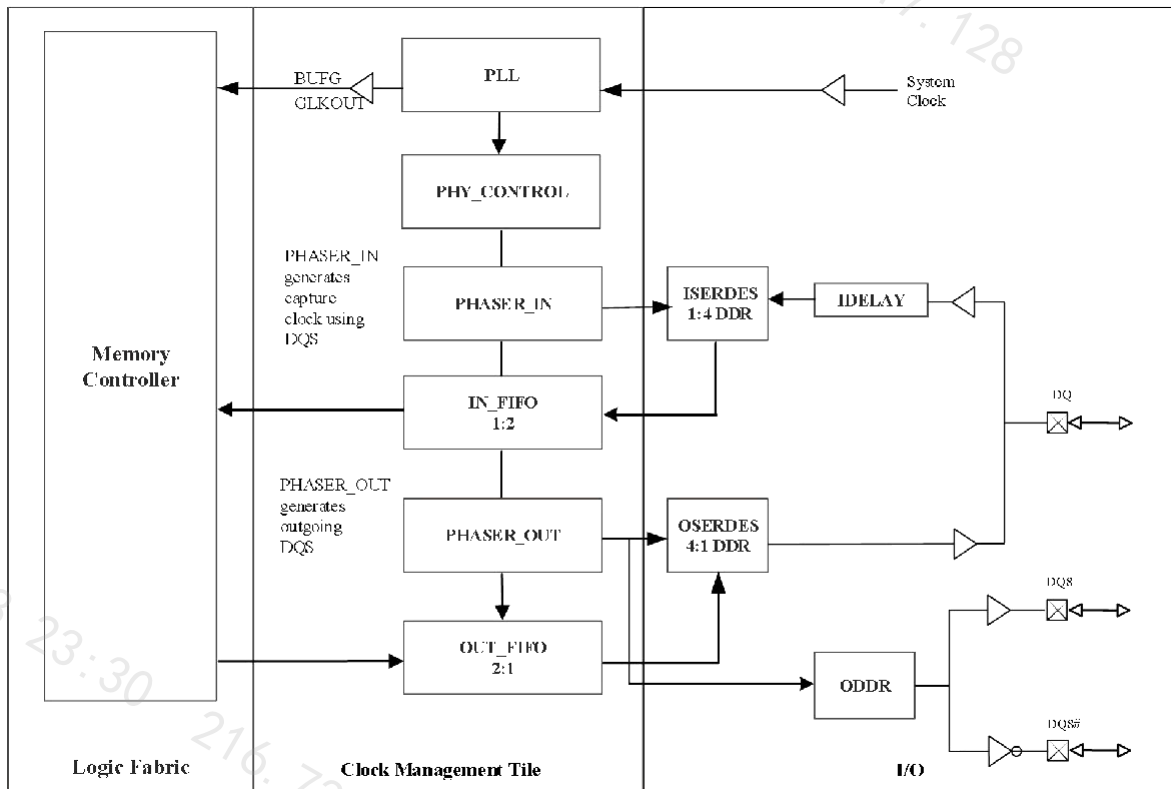


图 52 DDR 内存接口架构

5.10.ADC模块

CYF7VX690T 包含一个模拟接口模块，当与可编程逻辑结合使用时，ADC 可以满足多种数据采集和监控功能需求。ADC包含：

- 两个12位、1 MSPS ADC
- 一个片上多路复用器
- 片上热传感器
- 电源传感器

ADC模块基本功能框图如图 53 所示：

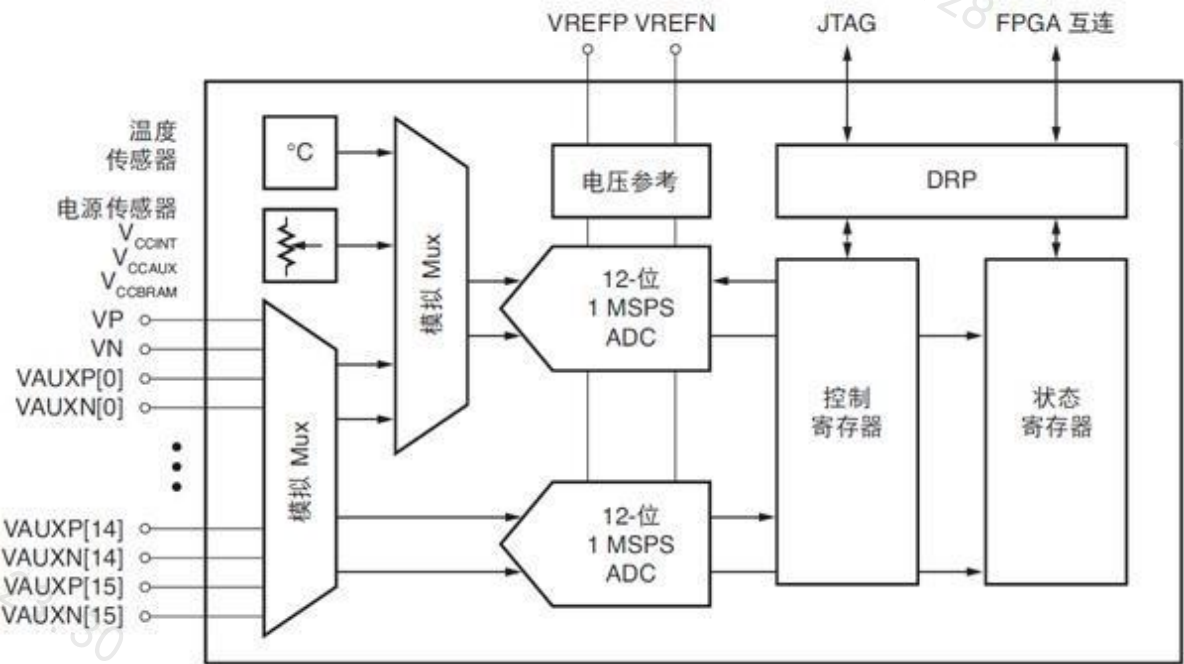


图 53 ADC 基本功能框图

温度传感器精度为:

- $-40^{\circ}\text{C} \leq T_j \leq 100^{\circ}\text{C}$: $\pm 4^{\circ}\text{C}$
- $-55^{\circ}\text{C} \leq T_j < -40^{\circ}\text{C}$; $100^{\circ}\text{C} < T_j \leq 125^{\circ}\text{C}$: $\pm 6^{\circ}\text{C}$

电源传感器精度为:

- $-40^{\circ}\text{C} \leq T_j \leq 100^{\circ}\text{C}$: $\pm 1\%$
- $-55^{\circ}\text{C} \leq T_j < -40^{\circ}\text{C}$; $100^{\circ}\text{C} < T_j \leq 125^{\circ}\text{C}$: $\pm 2\%$

要求输入参考电平值为:

- 外部: $1.20\text{V} \leq \text{VREFP} \leq 1.30\text{V}$
- 片内: $1.2375\text{V} \leq \text{VREFP} \leq 1.2625\text{V}$ ($-40^{\circ}\text{C} \leq T_j \leq 100^{\circ}\text{C}$)
- 片内: $1.225\text{V} \leq \text{VREFP} \leq 1.275\text{V}$ ($-55^{\circ}\text{C} \leq T_j < -40^{\circ}\text{C}$; $100^{\circ}\text{C} < T_j \leq 125^{\circ}\text{C}$)

附录A.1

FFG1927 封装器件的引出端及功能说明如表 A.1 所示。

表 A.1 FFG1927 封装器件引出端及功能描述

Bank	管脚描述	引出端序号
0	DXN_0	AE22
0	VCCADC_0	AB23
0	GNDADC_0	AB22
0	DXP_0	AE23
0	VREFN_0	AC22
0	VREFP_0	AD23
0	VP_0	AC23
0	VN_0	AD22
0	VCCBATT_0	AE35
0	CCLK_0	AE34
0	TCK_0	AF35
0	TMS_0	AF34
0	TDO_0	AG34
0	TDI_0	AG35
0	INIT_B_0	AK34
0	PROGRAM_B_0	AE10
0	CFGBVS_0	AK11
0	DONE_0	AE11
0	M2_0	AF10
0	M0_0	AG11
0	M1_0	AG10
14	IO_0_VRN_14	AT30
14	IO_L1P_T0_D00_MOSI_14	BC27
14	IO_L1N_T0_D01_DIN_14	BD27
14	IO_L2P_T0_D02_14	BD29
14	IO_L2N_T0_D03_14	BD30
14	IO_L3P_T0_DQS_PUDC_B_14	BB27
14	IO_L3N_T0_DQS_EMCCLK_14	BB28
14	IO_L4P_T0_D04_14	BB30
14	IO_L4N_T0_D05_14	BC30
14	IO_L5P_T0_D06_14	BC28
14	IO_L5N_T0_D07_14	BC29
14	IO_L6P_T0_FCS_B_14	BA29
14	IO_L6N_T0_D08_VREF_14	BA30
14	IO_L7P_T1_D09_14	AW29

Bank	管脚描述	引出端序号
14	IO_L7N_T1_D10_14	AY29
14	IO_L8P_T1_D11_14	AW27
14	IO_L8N_T1_D12_14	AY27
14	IO_L9P_T1_DQS_14	AY31
14	IO_L9N_T1_DQS_D13_14	BA31
14	IO_L10P_T1_D14_14	AY28
14	IO_L10N_T1_D15_14	BA28
14	IO_L11P_T1_SRCC_14	AW30
14	IO_L11N_T1_SRCC_14	AW31
14	IO_L12P_T1_MRCC_14	AV27
14	IO_L12N_T1_MRCC_14	AV28
14	IO_L13P_T2_MRCC_14	AU30
14	IO_L13N_T2_MRCC_14	AV30
14	IO_L14P_T2_SRCC_14	AU28
14	IO_L14N_T2_SRCC_14	AV29
14	IO_L15P_T2_DQS_RDWR_B_14	AN27
14	IO_L15N_T2_DQS_DOUT_CSO_B_14	AP27
14	IO_L16P_T2_CSI_B_14	AT28
14	IO_L16N_T2_A15_D31_14	AT29
14	IO_L17P_T2_A14_D30_14	AP29
14	IO_L17N_T2_A13_D29_14	AP30
14	IO_L18P_T2_A12_D28_14	AR28
14	IO_L18N_T2_A11_D27_14	AR29
14	IO_L19P_T3_A10_D26_14	AN28
14	IO_L19N_T3_A09_D25_VREF_14	AN29
14	IO_L20P_T3_A08_D24_14	AM30
14	IO_L20N_T3_A07_D23_14	AN30
14	IO_L21P_T3_DQS_14	AK27
14	IO_L21N_T3_DQS_A06_D22_14	AK28
14	IO_L22P_T3_A05_D21_14	AM27
14	IO_L22N_T3_A04_D20_14	AM28
14	IO_L23P_T3_A03_D19_14	AJ29
14	IO_L23N_T3_A02_D18_14	AK29
14	IO_L24P_T3_A01_D17_14	AL28
14	IO_L24N_T3_A00_D16_14	AL29
14	IO_25_VRP_14	AR27
15	IO_0_VRN_15	AR24
15	IO_L1P_T0_AD0P_15	BD25
15	IO_L1N_T0_AD0N_15	BD26

Bank	管脚描述	引出端序号
15	IO_L2P_T0_AD8P_15	BB23
15	IO_L2N_T0_AD8N_15	BC23
15	IO_L3P_T0_DQS_AD1P_15	BB25
15	IO_L3N_T0_DQS_AD1N_15	BC25
15	IO_L4P_T0_15	BC24
15	IO_L4N_T0_15	BD24
15	IO_L5P_T0_AD9P_15	BA26
15	IO_L5N_T0_AD9N_15	BB26
15	IO_L6P_T0_15	BA24
15	IO_L6N_T0_VREF_15	BA25
15	IO_L7P_T1_AD2P_15	AW26
15	IO_L7N_T1_AD2N_15	AY26
15	IO_L8P_T1_AD10P_15	AY23
15	IO_L8N_T1_AD10N_15	BA23
15	IO_L9P_T1_DQS_AD3P_15	AV25
15	IO_L9N_T1_DQS_AD3N_15	AW25
15	IO_L10P_T1_AD11P_15	AW24
15	IO_L10N_T1_AD11N_15	AY24
15	IO_L11P_T1_SRCC_15	AV23
15	IO_L11N_T1_SRCC_15	AV24
15	IO_L12P_T1_MRCC_15	AU25
15	IO_L12N_T1_MRCC_15	AU26
15	IO_L13P_T2_MRCC_15	AT23
15	IO_L13N_T2_MRCC_15	AU23
15	IO_L14P_T2_SRCC_15	AT24
15	IO_L14N_T2_SRCC_15	AT25
15	IO_L15P_T2_DQS_15	AN23
15	IO_L15N_T2_DQS_ADV_B_15	AN24
15	IO_L16P_T2_A28_15	AT26
15	IO_L16N_T2_A27_15	AU27
15	IO_L17P_T2_A26_15	AP24
15	IO_L17N_T2_A25_15	AP25
15	IO_L18P_T2_A24_15	AN25
15	IO_L18N_T2_A23_15	AP26
15	IO_L19P_T3_A22_15	AL23
15	IO_L19N_T3_A21_VREF_15	AM23
15	IO_L20P_T3_A20_15	AM25
15	IO_L20N_T3_A19_15	AM26
15	IO_L21P_T3_DQS_15	AK23

Bank	管脚描述	引出端序号
15	IO_L21N_T3_DQS_A18_15	AK24
15	IO_L22P_T3_A17_15	AK26
15	IO_L22N_T3_A16_15	AL26
15	IO_L23P_T3_FOE_B_15	AL24
15	IO_L23N_T3_FWE_B_15	AL25
15	IO_L24P_T3_RS1_15	AJ25
15	IO_L24N_T3_RS0_15	AJ26
15	IO_25_VRP_15	AR26
16	IO_0_VRN_16	AU35
16	IO_L1P_T0_16	AK33
16	IO_L1N_T0_16	AL33
16	IO_L2P_T0_16	AJ30
16	IO_L2N_T0_16	AJ31
16	IO_L3P_T0_DQS_16	AK31
16	IO_L3N_T0_DQS_16	AL31
16	IO_L4P_T0_16	AJ32
16	IO_L4N_T0_16	AK32
16	IO_L5P_T0_16	AL30
16	IO_L5N_T0_16	AM31
16	IO_L6P_T0_16	AM32
16	IO_L6N_T0_VREF_16	AM33
16	IO_L7P_T1_16	AN32
16	IO_L7N_T1_16	AN33
16	IO_L8P_T1_16	AR33
16	IO_L8N_T1_16	AT33
16	IO_L9P_T1_DQS_16	AP31
16	IO_L9N_T1_DQS_16	AP32
16	IO_L10P_T1_16	AR31
16	IO_L10N_T1_16	AR32
16	IO_L11P_T1_SRCC_16	AU31
16	IO_L11N_T1_SRCC_16	AU32
16	IO_L12P_T1_MRCC_16	AU33
16	IO_L12N_T1_MRCC_16	AV33
16	IO_L13P_T2_MRCC_16	AV32
16	IO_L13N_T2_MRCC_16	AW32
16	IO_L14P_T2_SRCC_16	AV34
16	IO_L14N_T2_SRCC_16	AV35
16	IO_L15P_T2_DQS_16	AW34
16	IO_L15N_T2_DQS_16	AW35

Bank	管脚描述	引出端序号
16	IO_L16P_T2_16	AY33
16	IO_L16N_T2_16	AY34
16	IO_L17P_T2_16	BA34
16	IO_L17N_T2_16	BA35
16	IO_L18P_T2_16	AY32
16	IO_L18N_T2_16	BA33
16	IO_L19P_T3_16	BB31
16	IO_L19N_T3_VREF_16	BB32
16	IO_L20P_T3_16	BB35
16	IO_L20N_T3_16	BC35
16	IO_L21P_T3_DQS_16	BC32
16	IO_L21N_T3_DQS_16	BC33
16	IO_L22P_T3_16	BB33
16	IO_L22N_T3_16	BC34
16	IO_L23P_T3_16	BD31
16	IO_L23N_T3_16	BD32
16	IO_L24P_T3_16	BD34
16	IO_L24N_T3_16	BD35
16	IO_25_VRP_16	AT31
17	IO_0_VRN_17	M26
17	IO_L1P_T0_17	B23
17	IO_L1N_T0_17	A23
17	IO_L2P_T0_17	C25
17	IO_L2N_T0_17	B25
17	IO_L3P_T0_DQS_17	C23
17	IO_L3N_T0_DQS_17	C24
17	IO_L4P_T0_17	A24
17	IO_L4N_T0_17	A25
17	IO_L5P_T0_17	D24
17	IO_L5N_T0_17	D25
17	IO_L6P_T0_17	E23
17	IO_L6N_T0_VREF_17	E24
17	IO_L7P_T1_17	G23
17	IO_L7N_T1_17	F23
17	IO_L8P_T1_17	F24
17	IO_L8N_T1_17	F25
17	IO_L9P_T1_DQS_17	H23
17	IO_L9N_T1_DQS_17	H24
17	IO_L10P_T1_17	G25

Bank	管脚描述	引出端序号
17	IO_L10N_T1_17	G26
17	IO_L11P_T1_SRCC_17	J24
17	IO_L11N_T1_SRCC_17	H25
17	IO_L12P_T1_MRCC_17	J25
17	IO_L12N_T1_MRCC_17	J26
17	IO_L13P_T2_MRCC_17	K23
17	IO_L13N_T2_MRCC_17	K24
17	IO_L14P_T2_SRCC_17	L24
17	IO_L14N_T2_SRCC_17	L25
17	IO_L15P_T2_DQS_17	L26
17	IO_L15N_T2_DQS_17	K26
17	IO_L16P_T2_17	N23
17	IO_L16N_T2_17	N24
17	IO_L17P_T2_17	N25
17	IO_L17N_T2_17	M25
17	IO_L18P_T2_17	M23
17	IO_L18N_T2_17	L23
17	IO_L19P_T3_17	T24
17	IO_L19N_T3_VREF_17	T25
17	IO_L20P_T3_17	P25
17	IO_L20N_T3_17	P26
17	IO_L21P_T3_DQS_17	U25
17	IO_L21N_T3_DQS_17	U26
17	IO_L22P_T3_17	T26
17	IO_L22N_T3_17	R26
17	IO_L23P_T3_17	U23
17	IO_L23N_T3_17	T23
17	IO_L24P_T3_17	R23
17	IO_L24N_T3_17	R24
17	IO_25_VRP_17	P24
18	IO_0_VRN_18	L30
18	IO_L1P_T0_18	C30
18	IO_L1N_T0_18	B30
18	IO_L2P_T0_18	B33
18	IO_L2N_T0_18	A33
18	IO_L3P_T0_DQS_18	A30
18	IO_L3N_T0_DQS_18	A31
18	IO_L4P_T0_18	C32
18	IO_L4N_T0_18	C33

Bank	管脚描述	引出端序号
18	IO_L5P_T0_18	B31
18	IO_L5N_T0_18	B32
18	IO_L6P_T0_18	D30
18	IO_L6N_T0_VREF_18	D31
18	IO_L7P_T1_18	E31
18	IO_L7N_T1_18	D32
18	IO_L8P_T1_18	E32
18	IO_L8N_T1_18	E33
18	IO_L9P_T1_DQS_18	F30
18	IO_L9N_T1_DQS_18	F31
18	IO_L10P_T1_18	G33
18	IO_L10N_T1_18	F33
18	IO_L11P_T1_SRCC_18	G31
18	IO_L11N_T1_SRCC_18	G32
18	IO_L12P_T1_MRCC_18	H30
18	IO_L12N_T1_MRCC_18	G30
18	IO_L13P_T2_MRCC_18	H32
18	IO_L13N_T2_MRCC_18	H33
18	IO_L14P_T2_SRCC_18	J30
18	IO_L14N_T2_SRCC_18	J31
18	IO_L15P_T2_DQS_18	L31
18	IO_L15N_T2_DQS_18	K31
18	IO_L16P_T2_18	K32
18	IO_L16N_T2_18	J32
18	IO_L17P_T2_18	M31
18	IO_L17N_T2_18	M32
18	IO_L18P_T2_18	L33
18	IO_L18N_T2_18	K33
18	IO_L19P_T3_18	R32
18	IO_L19N_T3_VREF_18	P32
18	IO_L20P_T3_18	N33
18	IO_L20N_T3_18	M33
18	IO_L21P_T3_DQS_18	T31
18	IO_L21N_T3_DQS_18	R31
18	IO_L22P_T3_18	P31
18	IO_L22N_T3_18	N32
18	IO_L23P_T3_18	U32
18	IO_L23N_T3_18	U33
18	IO_L24P_T3_18	T33

Bank	管脚描述	引出端序号
18	IO_L24N_T3_18	R33
18	IO_25_VRP_18	U31
19	IO_0_VRN_19	M27
19	IO_L1P_T0_19	A28
19	IO_L1N_T0_19	A29
19	IO_L2P_T0_19	D29
19	IO_L2N_T0_19	C29
19	IO_L3P_T0_DQS_19	C27
19	IO_L3N_T0_DQS_19	B27
19	IO_L4P_T0_19	C28
19	IO_L4N_T0_19	B28
19	IO_L5P_T0_19	B26
19	IO_L5N_T0_19	A26
19	IO_L6P_T0_19	D26
19	IO_L6N_T0_VREF_19	D27
19	IO_L7P_T1_19	G28
19	IO_L7N_T1_19	F28
19	IO_L8P_T1_19	F26
19	IO_L8N_T1_19	E26
19	IO_L9P_T1_DQS_19	F29
19	IO_L9N_T1_DQS_19	E29
19	IO_L10P_T1_19	E27
19	IO_L10N_T1_19	E28
19	IO_L11P_T1_SRCC_19	H27
19	IO_L11N_T1_SRCC_19	G27
19	IO_L12P_T1_MRCC_19	H28
19	IO_L12N_T1_MRCC_19	H29
19	IO_L13P_T2_MRCC_19	K27
19	IO_L13N_T2_MRCC_19	J27
19	IO_L14P_T2_SRCC_19	K28
19	IO_L14N_T2_SRCC_19	J29
19	IO_L15P_T2_DQS_19	N30
19	IO_L15N_T2_DQS_19	M30
19	IO_L16P_T2_19	L28
19	IO_L16N_T2_19	K29
19	IO_L17P_T2_19	N28
19	IO_L17N_T2_19	N29
19	IO_L18P_T2_19	M28
19	IO_L18N_T2_19	L29

Bank	管脚描述	引出端序号
19	IO_L19P_T3_19	P29
19	IO_L19N_T3_VREF_19	P30
19	IO_L20P_T3_19	T28
19	IO_L20N_T3_19	T29
19	IO_L21P_T3_DQS_19	R28
19	IO_L21N_T3_DQS_19	R29
19	IO_L22P_T3_19	U30
19	IO_L22N_T3_19	T30
19	IO_L23P_T3_19	R27
19	IO_L23N_T3_19	P27
19	IO_L24P_T3_19	U27
19	IO_L24N_T3_19	U28
19	IO_25_VRP_19	N27
34	IO_0_VRN_34	AP15
34	IO_L1P_T0_34	BA18
34	IO_L1N_T0_34	BB18
34	IO_L2P_T0_34	BC19
34	IO_L2N_T0_34	BC18
34	IO_L3P_T0_DQS_34	BB17
34	IO_L3N_T0_DQS_34	BC17
34	IO_L4P_T0_34	BD17
34	IO_L4N_T0_34	BD16
34	IO_L5P_T0_34	BC15
34	IO_L5N_T0_34	BD15
34	IO_L6P_T0_34	BB16
34	IO_L6N_T0_VREF_34	BB15
34	IO_L7P_T1_34	AW17
34	IO_L7N_T1_34	AY16
34	IO_L8P_T1_34	AY18
34	IO_L8N_T1_34	AY17
34	IO_L9P_T1_DQS_34	AW16
34	IO_L9N_T1_DQS_34	AW15
34	IO_L10P_T1_34	BA16
34	IO_L10N_T1_34	BA15
34	IO_L11P_T1_SRCC_34	AV18
34	IO_L11N_T1_SRCC_34	AV17
34	IO_L12P_T1_MRCC_34	AU15
34	IO_L12N_T1_MRCC_34	AV15
34	IO_L13P_T2_MRCC_34	AT18

Bank	管脚描述	引出端序号
34	IO_L13N_T2_MRCC_34	AU18
34	IO_L14P_T2_SRCC_34	AU17
34	IO_L14N_T2_SRCC_34	AU16
34	IO_L15P_T2_DQS_34	AP16
34	IO_L15N_T2_DQS_34	AR16
34	IO_L16P_T2_34	AR18
34	IO_L16N_T2_34	AR17
34	IO_L17P_T2_34	AT16
34	IO_L17N_T2_34	AT15
34	IO_L18P_T2_34	AN17
34	IO_L18N_T2_34	AP17
34	IO_L19P_T3_34	AM18
34	IO_L19N_T3_VREF_34	AN18
34	IO_L20P_T3_34	AM15
34	IO_L20N_T3_34	AN15
34	IO_L21P_T3_DQS_34	AK18
34	IO_L21N_T3_DQS_34	AL18
34	IO_L22P_T3_34	AM17
34	IO_L22N_T3_34	AM16
34	IO_L23P_T3_34	AJ16
34	IO_L23N_T3_34	AK16
34	IO_L24P_T3_34	AL16
34	IO_L24N_T3_34	AL15
34	IO_25_VRP_34	AK17
35	IO_0_VRN_35	AR23
35	IO_L1P_T0_AD4P_35	BB22
35	IO_L1N_T0_AD4N_35	BB21
35	IO_L2P_T0_AD12P_35	BC22
35	IO_L2N_T0_AD12N_35	BD22
35	IO_L3P_T0_DQS_AD5P_35	BC20
35	IO_L3N_T0_DQS_AD5N_35	BD19
35	IO_L4P_T0_35	BD21
35	IO_L4N_T0_35	BD20
35	IO_L5P_T0_AD13P_35	BA21
35	IO_L5N_T0_AD13N_35	BB20
35	IO_L6P_T0_35	BA20
35	IO_L6N_T0_VREF_35	BA19
35	IO_L7P_T1_AD6P_35	AW22
35	IO_L7N_T1_AD6N_35	AY22

Bank	管脚描述	引出端序号
35	IO_L8P_T1_AD14P_35	AV20
35	IO_L8N_T1_AD14N_35	AW20
35	IO_L9P_T1_DQS_AD7P_35	AW21
35	IO_L9N_T1_DQS_AD7N_35	AY21
35	IO_L10P_T1_AD15P_35	AW19
35	IO_L10N_T1_AD15N_35	AY19
35	IO_L11P_T1_SRCC_35	AU22
35	IO_L11N_T1_SRCC_35	AV22
35	IO_L12P_T1_MRCC_35	AU20
35	IO_L12N_T1_MRCC_35	AV19
35	IO_L13P_T2_MRCC_35	AT21
35	IO_L13N_T2_MRCC_35	AU21
35	IO_L14P_T2_SRCC_35	AT20
35	IO_L14N_T2_SRCC_35	AT19
35	IO_L15P_T2_DQS_35	AP21
35	IO_L15N_T2_DQS_35	AP20
35	IO_L16P_T2_35	AR22
35	IO_L16N_T2_35	AR21
35	IO_L17P_T2_35	AN20
35	IO_L17N_T2_35	AP19
35	IO_L18P_T2_35	AN22
35	IO_L18N_T2_35	AP22
35	IO_L19P_T3_35	AM22
35	IO_L19N_T3_VREF_35	AM21
35	IO_L20P_T3_35	AJ22
35	IO_L20N_T3_35	AJ21
35	IO_L21P_T3_DQS_35	AM20
35	IO_L21N_T3_DQS_35	AN19
35	IO_L22P_T3_35	AK22
35	IO_L22N_T3_35	AK21
35	IO_L23P_T3_35	AL21
35	IO_L23N_T3_35	AL20
35	IO_L24P_T3_35	AK19
35	IO_L24N_T3_35	AL19
35	IO_25_VRP_35	AR19
36	IO_0_VRN_36	AP12
36	IO_L1P_T0_36	AJ14
36	IO_L1N_T0_36	AK14
36	IO_L2P_T0_36	AM13

Bank	管脚描述	引出端序号
36	IO_L2N_T0_36	AM12
36	IO_L3P_T0_DQS_36	AK13
36	IO_L3N_T0_DQS_36	AK12
36	IO_L4P_T0_36	AN13
36	IO_L4N_T0_36	AN12
36	IO_L5P_T0_36	AL14
36	IO_L5N_T0_36	AL13
36	IO_L6P_T0_36	AN14
36	IO_L6N_T0_VREF_36	AP14
36	IO_L7P_T1_36	AR13
36	IO_L7N_T1_36	AR12
36	IO_L8P_T1_36	AU12
36	IO_L8N_T1_36	AU11
36	IO_L9P_T1_DQS_36	AT14
36	IO_L9N_T1_DQS_36	AT13
36	IO_L10P_T1_36	AU10
36	IO_L10N_T1_36	AV10
36	IO_L11P_T1_SRCC_36	AV12
36	IO_L11N_T1_SRCC_36	AW12
36	IO_L12P_T1_MRCC_36	AU13
36	IO_L12N_T1_MRCC_36	AV13
36	IO_L13P_T2_MRCC_36	AV14
36	IO_L13N_T2_MRCC_36	AW14
36	IO_L14P_T2_SRCC_36	AW11
36	IO_L14N_T2_SRCC_36	AW10
36	IO_L15P_T2_DQS_36	AY13
36	IO_L15N_T2_DQS_36	BA13
36	IO_L16P_T2_36	AY12
36	IO_L16N_T2_36	AY11
36	IO_L17P_T2_36	BA11
36	IO_L17N_T2_36	BA10
36	IO_L18P_T2_36	AY14
36	IO_L18N_T2_36	BA14
36	IO_L19P_T3_36	BB11
36	IO_L19N_T3_VREF_36	BB10
36	IO_L20P_T3_36	BB12
36	IO_L20N_T3_36	BC12
36	IO_L21P_T3_DQS_36	BD12
36	IO_L21N_T3_DQS_36	BD11

Bank	管脚描述	引出端序号
36	IO_L22P_T3_36	BB13
36	IO_L22N_T3_36	BC13
36	IO_L23P_T3_36	BC14
36	IO_L23N_T3_36	BD14
36	IO_L24P_T3_36	BC10
36	IO_L24N_T3_36	BD10
36	IO_25_VRP_36	AR14
37	IO_0_VRN_37	P19
37	IO_L1P_T0_37	B21
37	IO_L1N_T0_37	A21
37	IO_L2P_T0_37	B20
37	IO_L2N_T0_37	A20
37	IO_L3P_T0_DQS_37	C22
37	IO_L3N_T0_DQS_37	B22
37	IO_L4P_T0_37	D20
37	IO_L4N_T0_37	C20
37	IO_L5P_T0_37	D22
37	IO_L5N_T0_37	D21
37	IO_L6P_T0_37	E22
37	IO_L6N_T0_VREF_37	E21
37	IO_L7P_T1_37	G21
37	IO_L7N_T1_37	F21
37	IO_L8P_T1_37	F20
37	IO_L8N_T1_37	F19
37	IO_L9P_T1_DQS_37	H22
37	IO_L9N_T1_DQS_37	G22
37	IO_L10P_T1_37	J19
37	IO_L10N_T1_37	H19
37	IO_L11P_T1_SRCC_37	J21
37	IO_L11N_T1_SRCC_37	J20
37	IO_L12P_T1_MRCC_37	H20
37	IO_L12N_T1_MRCC_37	G20
37	IO_L13P_T2_MRCC_37	K22
37	IO_L13N_T2_MRCC_37	J22
37	IO_L14P_T2_SRCC_37	L21
37	IO_L14N_T2_SRCC_37	K21
37	IO_L15P_T2_DQS_37	L19
37	IO_L15N_T2_DQS_37	K19
37	IO_L16P_T2_37	M20

Bank	管脚描述	引出端序号
37	IO_L16N_T2_37	L20
37	IO_L17P_T2_37	N20
37	IO_L17N_T2_37	N19
37	IO_L18P_T2_37	N22
37	IO_L18N_T2_37	M22
37	IO_L19P_T3_37	U20
37	IO_L19N_T3_VREF_37	T20
37	IO_L20P_T3_37	T19
37	IO_L20N_T3_37	R19
37	IO_L21P_T3_DQS_37	U22
37	IO_L21N_T3_DQS_37	U21
37	IO_L22P_T3_37	P21
37	IO_L22N_T3_37	P20
37	IO_L23P_T3_37	R22
37	IO_L23N_T3_37	P22
37	IO_L24P_T3_37	T21
37	IO_L24N_T3_37	R21
37	IO_25_VRP_37	M21
38	IO_0_VRN_38	L15
38	IO_L1P_T0_38	C15
38	IO_L1N_T0_38	C14
38	IO_L2P_T0_38	B15
38	IO_L2N_T0_38	A15
38	IO_L3P_T0_DQS_38	B13
38	IO_L3N_T0_DQS_38	B12
38	IO_L4P_T0_38	A14
38	IO_L4N_T0_38	A13
38	IO_L5P_T0_38	C13
38	IO_L5N_T0_38	C12
38	IO_L6P_T0_38	D15
38	IO_L6N_T0_VREF_38	D14
38	IO_L7P_T1_38	E12
38	IO_L7N_T1_38	D12
38	IO_L8P_T1_38	E14
38	IO_L8N_T1_38	E13
38	IO_L9P_T1_DQS_38	G15
38	IO_L9N_T1_DQS_38	F15
38	IO_L10P_T1_38	F14
38	IO_L10N_T1_38	F13

Bank	管脚描述	引出端序号
38	IO_L11P_T1_SRCC_38	H13
38	IO_L11N_T1_SRCC_38	G13
38	IO_L12P_T1_MRCC_38	H15
38	IO_L12N_T1_MRCC_38	H14
38	IO_L13P_T2_MRCC_38	J15
38	IO_L13N_T2_MRCC_38	J14
38	IO_L14P_T2_SRCC_38	K14
38	IO_L14N_T2_SRCC_38	K13
38	IO_L15P_T2_DQS_38	H12
38	IO_L15N_T2_DQS_38	G12
38	IO_L16P_T2_38	M13
38	IO_L16N_T2_38	L13
38	IO_L17P_T2_38	M15
38	IO_L17N_T2_38	L14
38	IO_L18P_T2_38	K12
38	IO_L18N_T2_38	J12
38	IO_L19P_T3_38	R14
38	IO_L19N_T3_VREF_38	P14
38	IO_L20P_T3_38	N14
38	IO_L20N_T3_38	N13
38	IO_L21P_T3_DQS_38	T14
38	IO_L21N_T3_DQS_38	R13
38	IO_L22P_T3_38	N12
38	IO_L22N_T3_38	M12
38	IO_L23P_T3_38	U13
38	IO_L23N_T3_38	T13
38	IO_L24P_T3_38	R12
38	IO_L24N_T3_38	P12
38	IO_25_VRP_38	U12
39	IO_0_VRN_39	K18
39	IO_L1P_T0_39	C18
39	IO_L1N_T0_39	B18
39	IO_L2P_T0_39	B16
39	IO_L2N_T0_39	A16
39	IO_L3P_T0_DQS_39	D19
39	IO_L3N_T0_DQS_39	C19
39	IO_L4P_T0_39	C17
39	IO_L4N_T0_39	B17
39	IO_L5P_T0_39	A19

Bank	管脚描述	引出端序号
39	IO_L5N_T0_39	A18
39	IO_L6P_T0_39	D17
39	IO_L6N_T0_VREF_39	D16
39	IO_L7P_T1_39	E17
39	IO_L7N_T1_39	E16
39	IO_L8P_T1_39	G18
39	IO_L8N_T1_39	F18
39	IO_L9P_T1_DQS_39	G16
39	IO_L9N_T1_DQS_39	F16
39	IO_L10P_T1_39	E19
39	IO_L10N_T1_39	E18
39	IO_L11P_T1_SRCC_39	J17
39	IO_L11N_T1_SRCC_39	H17
39	IO_L12P_T1_MRCC_39	H18
39	IO_L12N_T1_MRCC_39	G17
39	IO_L13P_T2_MRCC_39	K17
39	IO_L13N_T2_MRCC_39	J16
39	IO_L14P_T2_SRCC_39	L16
39	IO_L14N_T2_SRCC_39	K16
39	IO_L15P_T2_DQS_39	P17
39	IO_L15N_T2_DQS_39	N17
39	IO_L16P_T2_39	M18
39	IO_L16N_T2_39	L18
39	IO_L17P_T2_39	P15
39	IO_L17N_T2_39	N15
39	IO_L18P_T2_39	M17
39	IO_L18N_T2_39	M16
39	IO_L19P_T3_39	T16
39	IO_L19N_T3_VREF_39	T15
39	IO_L20P_T3_39	R16
39	IO_L20N_T3_39	P16
39	IO_L21P_T3_DQS_39	U17
39	IO_L21N_T3_DQS_39	U16
39	IO_L22P_T3_39	R18
39	IO_L22N_T3_39	R17
39	IO_L23P_T3_39	U18
39	IO_L23N_T3_39	T18
39	IO_L24P_T3_39	V15
39	IO_L24N_T3_39	U15

Bank	管脚描述	引出端序号
39	IO_25_VRP_39	N18
110	MGHTXP3_110	AY4
110	MGTHRXP3_110	AW6
110	MGHTXN3_110	AY3
110	MGTHRXN3_110	AW5
110	MGHTXP2_110	BA2
110	MGTHRXP2_110	BA6
110	MGHTXN2_110	BA1
110	MGTREFCLK0P_110	AY8
110	MGTHRXN2_110	BA5
110	MGTREFCLK0N_110	AY7
110	MGTREFCLK1N_110	BB7
110	MGTREFCLK1P_110	BB8
110	MGHTXP1_110	BB4
110	MGTHRXP1_110	BC6
110	MGHTXN1_110	BB3
110	MGTHRXN1_110	BC5
110	MGHTXP0_110	BD4
110	MGTHRXP0_110	BD8
110	MGHTXN0_110	BD3
110	MGTHRXN0_110	BD7
111	MGHTXP3_111	AT4
111	MGTHRXP3_111	AP8
111	MGHTXN3_111	AT3
111	MGTHRXN3_111	AP7
111	MGHTXP2_111	AU2
111	MGTHRXP2_111	AR6
111	MGHTXN2_111	AU1
111	MGTREFCLK0P_111	AR10
111	MGTHRXN2_111	AR5
111	MGTREFCLK0N_111	AR9
111	MGTREFCLK1N_111	AT7
111	MGTREFCLK1P_111	AT8
111	MGHTXP1_111	AV4
111	MGTHRXP1_111	AU6
111	MGHTXN1_111	AV3
111	MGTHRXN1_111	AU5
111	MGHTXP0_111	AW2
111	MGTHRXP0_111	AV8

Bank	管脚描述	引出端序号
111	MGHTXN0_111	AW1
111	MGTHRXN0_111	AV7
112	MGHTXP3_112	AL2
112	MGTHRXP3_112	AL6
112	MGHTXN3_112	AL1
112	MGTHRXN3_112	AL5
112	MGHTXP2_112	AN2
112	MGTHRXP2_112	AM8
112	MGHTXN2_112	AN1
112	MGTREFCLK0P_112	AL10
112	MGTHRXN2_112	AM7
112	MGTREFCLK0N_112	AL9
112	MGTREFCLK1N_112	AN9
112	MGTREFCLK1P_112	AN10
112	MGHTXP1_112	AP4
112	MGTHRXP1_112	AM4
112	MGHTXN1_112	AP3
112	MGTHRXN1_112	AM3
112	MGHTXP0_112	AR2
112	MGTHRXP0_112	AN6
112	MGHTXN0_112	AR1
112	MGTHRXN0_112	AN5
113	MGHTXP3_113	AG2
113	MGTHRXP3_113	AE6
113	MGHTXN3_113	AG1
113	MGTHRXN3_113	AE5
113	MGHTXP2_113	AH4
113	MGTHRXP2_113	AG6
113	MGHTXN2_113	AH3
113	MGTREFCLK0P_113	AF8
113	MGTHRXN2_113	AG5
113	MGTREFCLK0N_113	AF7
113	MGTREFCLK1N_113	AH7
113	MGTREFCLK1P_113	AH8
113	MGHTXP1_113	AJ2
113	MGTHRXP1_113	AJ6
113	MGHTXN1_113	AJ1
113	MGTHRXN1_113	AJ5
113	MGHTXP0_113	AK4

Bank	管脚描述	引出端序号
113	MGTHRXP0_113	AK8
113	MGHTXN0_113	AK3
113	MGTHRXN0_113	AK7
114	MGHTXP3_114	AC2
114	MGTHRXP3_114	Y8
114	MGHTXN3_114	AC1
114	MGTHRXN3_114	Y7
114	MGHTXP2_114	AD4
114	MGTHRXP2_114	AA6
114	MGHTXN2_114	AD3
114	MGTREFCLK0P_114	AA10
114	MGTHRXN2_114	AA5
114	MGTREFCLK0N_114	AA9
114	MGTREFCLK1N_114	AB7
114	MGTREFCLK1P_114	AB8
114	MGHTXP1_114	AE2
114	MGTHRXP1_114	AC6
114	MGHTXN1_114	AE1
114	MGTHRXN1_114	AC5
114	MGHTXP0_114	AF4
114	MGTHRXP0_114	AD8
114	MGHTXN0_114	AF3
114	MGTHRXN0_114	AD7
115	MGHTXP3_115	W2
115	MGTHRXP3_115	T8
115	MGHTXN3_115	W1
115	MGTHRXN3_115	T7
115	MGHTXP2_115	Y4
115	MGTHRXP2_115	U6
115	MGHTXN2_115	Y3
115	MGTREFCLK0P_115	U10
115	MGTHRXN2_115	U5
115	MGTAVTTRCAL_115	AC10
115	MGTREFCLK0N_115	U9
115	MGTRREF_115	AC9
115	MGTREFCLK1N_115	W9
115	MGTREFCLK1P_115	W10
115	MGHTXP1_115	AA2
115	MGTHRXP1_115	V8

Bank	管脚描述	引出端序号
115	MGHTXN1_115	AA1
115	MGTHRXN1_115	V7
115	MGHTXP0_115	AB4
115	MGTHRXP0_115	W6
115	MGHTXN0_115	AB3
115	MGTHRXN0_115	W5
116	MGHTXP3_116	R2
116	MGTHRXP3_116	M8
116	MGHTXN3_116	R1
116	MGTHRXN3_116	M7
116	MGHTXP2_116	T4
116	MGTHRXP2_116	N6
116	MGHTXN2_116	T3
116	MGTREFCLK0P_116	N10
116	MGTHRXN2_116	N5
116	MGTREFCLK0N_116	N9
116	MGTREFCLK1N_116	R9
116	MGTREFCLK1P_116	R10
116	MGHTXP1_116	U2
116	MGTHRXP1_116	P8
116	MGHTXN1_116	U1
116	MGTHRXN1_116	P7
116	MGHTXP0_116	V4
116	MGTHRXP0_116	R6
116	MGHTXN0_116	V3
116	MGTHRXN0_116	R5
117	MGHTXP3_117	L2
117	MGTHRXP3_117	H8
117	MGHTXN3_117	L1
117	MGTHRXN3_117	H7
117	MGHTXP2_117	M4
117	MGTHRXP2_117	J6
117	MGHTXN2_117	M3
117	MGTREFCLK0P_117	J10
117	MGTHRXN2_117	J5
117	MGTREFCLK0N_117	J9
117	MGTREFCLK1N_117	L9
117	MGTREFCLK1P_117	L10
117	MGHTXP1_117	N2

Bank	管脚描述	引出端序号
117	MGTHRXP1_117	K8
117	MGHTTXN1_117	N1
117	MGTHRXN1_117	K7
117	MGHTTXP0_117	P4
117	MGTHRXP0_117	L6
117	MGHTTXN0_117	P3
117	MGTHRXN0_117	L5
118	MGHTTXP3_118	G2
118	MGTHRXP3_118	D8
118	MGHTTXN3_118	G1
118	MGTHRXN3_118	D7
118	MGHTTXP2_118	H4
118	MGTHRXP2_118	E6
118	MGHTTXN2_118	H3
118	MGTREFCLK0P_118	E10
118	MGTHRXN2_118	E5
118	MGTREFCLK0N_118	E9
118	MGTREFCLK1N_118	G9
118	MGTREFCLK1P_118	G10
118	MGHTTXP1_118	J2
118	MGTHRXP1_118	F8
118	MGHTTXN1_118	J1
118	MGTHRXN1_118	F7
118	MGHTTXP0_118	K4
118	MGTHRXP0_118	G6
118	MGHTTXN0_118	K3
118	MGTHRXN0_118	G5
119	MGHTTXP3_119	B4
119	MGTHRXP3_119	A6
119	MGHTTXN3_119	B3
119	MGTHRXN3_119	A5
119	MGHTTXP2_119	C2
119	MGTHRXP2_119	B8
119	MGHTTXN2_119	C1
119	MGTREFCLK0P_119	A10
119	MGTHRXN2_119	B7
119	MGTREFCLK0N_119	A9
119	MGTREFCLK1N_119	C9
119	MGTREFCLK1P_119	C10

Bank	管脚描述	引出端序号
119	MGHTXP1_119	E2
119	MGTHRXP1_119	C6
119	MGHTXN1_119	E1
119	MGTHRXN1_119	C5
119	MGHTXP0_119	F4
119	MGTHRXP0_119	D4
119	MGHTXN0_119	F3
119	MGTHRXN0_119	D3
210	MGHTXP3_210	AY41
210	MGTHRXP3_210	AW39
210	MGHTXN3_210	AY42
210	MGTHRXN3_210	AW40
210	MGHTXP2_210	BA43
210	MGTHRXP2_210	BA39
210	MGHTXN2_210	BA44
210	MGTREFCLK0P_210	AY37
210	MGTHRXN2_210	BA40
210	MGTREFCLK0N_210	AY38
210	MGTREFCLK1N_210	BB38
210	MGTREFCLK1P_210	BB37
210	MGHTXP1_210	BB41
210	MGTHRXP1_210	BC39
210	MGHTXN1_210	BB42
210	MGTHRXN1_210	BC40
210	MGHTXP0_210	BD41
210	MGTHRXP0_210	BD37
210	MGHTXN0_210	BD42
210	MGTHRXN0_210	BD38
211	MGHTXP3_211	AT41
211	MGTHRXP3_211	AP37
211	MGHTXN3_211	AT42
211	MGTHRXN3_211	AP38
211	MGHTXP2_211	AU43
211	MGTHRXP2_211	AR39
211	MGHTXN2_211	AU44
211	MGTREFCLK0P_211	AR35
211	MGTHRXN2_211	AR40
211	MGTREFCLK0N_211	AR36
211	MGTREFCLK1N_211	AT38

Bank	管脚描述	引出端序号
211	MGTREFCLK1P_211	AT37
211	MGHTXP1_211	AV41
211	MGTHRXP1_211	AU39
211	MGHTXN1_211	AV42
211	MGTHRXN1_211	AU40
211	MGHTXP0_211	AW43
211	MGTHRXP0_211	AV37
211	MGHTXN0_211	AW44
211	MGTHRXN0_211	AV38
212	MGHTXP3_212	AL43
212	MGTHRXP3_212	AL39
212	MGHTXN3_212	AL44
212	MGTHRXN3_212	AL40
212	MGHTXP2_212	AN43
212	MGTHRXP2_212	AM37
212	MGHTXN2_212	AN44
212	MGTREFCLK0P_212	AL35
212	MGTHRXN2_212	AM38
212	MGTREFCLK0N_212	AL36
212	MGTREFCLK1N_212	AN36
212	MGTREFCLK1P_212	AN35
212	MGHTXP1_212	AP41
212	MGTHRXP1_212	AM41
212	MGHTXN1_212	AP42
212	MGTHRXN1_212	AM42
212	MGHTXP0_212	AR43
212	MGTHRXP0_212	AN39
212	MGHTXN0_212	AR44
212	MGTHRXN0_212	AN40
213	MGHTXP3_213	AG43
213	MGTHRXP3_213	AE39
213	MGHTXN3_213	AG44
213	MGTHRXN3_213	AE40
213	MGHTXP2_213	AH41
213	MGTHRXP2_213	AG39
213	MGHTXN2_213	AH42
213	MGTREFCLK0P_213	AF37
213	MGTHRXN2_213	AG40
213	MGTREFCLK0N_213	AF38

Bank	管脚描述	引出端序号
213	MGTREFCLK1N_213	AH38
213	MGTREFCLK1P_213	AH37
213	MGHTXP1_213	AJ43
213	MGTHRX1_213	AJ39
213	MGHTXN1_213	AJ44
213	MGTHRXN1_213	AJ40
213	MGHTXP0_213	AK41
213	MGTHRX0_213	AK37
213	MGHTXN0_213	AK42
213	MGTHRXN0_213	AK38
214	MGHTXP3_214	AC43
214	MGTHRX3_214	Y37
214	MGHTXN3_214	AC44
214	MGTHRXN3_214	Y38
214	MGHTXP2_214	AD41
214	MGTHRX2_214	AA39
214	MGHTXN2_214	AD42
214	MGTREFCLK0P_214	AA35
214	MGTHRXN2_214	AA40
214	MGTREFCLK0N_214	AA36
214	MGTREFCLK1N_214	AB38
214	MGTREFCLK1P_214	AB37
214	MGHTXP1_214	AE43
214	MGTHRX1_214	AC39
214	MGHTXN1_214	AE44
214	MGTHRXN1_214	AC40
214	MGHTXP0_214	AF41
214	MGTHRX0_214	AD37
214	MGHTXN0_214	AF42
214	MGTHRXN0_214	AD38
215	MGHTXP3_215	W43
215	MGTHRX3_215	T37
215	MGHTXN3_215	W44
215	MGTHRXN3_215	T38
215	MGHTXP2_215	Y41
215	MGTHRX2_215	U39
215	MGHTXN2_215	Y42
215	MGTREFCLK0P_215	U35
215	MGTHRXN2_215	U40

Bank	管脚描述	引出端序号
215	MGTAVTTRCAL_215	AC36
215	MGTREFCLK0N_215	U36
215	MGTRREF_215	AC35
215	MGTREFCLK1N_215	W36
215	MGTREFCLK1P_215	W35
215	MGHTXP1_215	AA43
215	MGTHRXP1_215	V37
215	MGHTXN1_215	AA44
215	MGTHRXN1_215	V38
215	MGHTXP0_215	AB41
215	MGTHRXP0_215	W39
215	MGHTXN0_215	AB42
215	MGTHRXN0_215	W40
216	MGHTXP3_216	R43
216	MGTHRXP3_216	M37
216	MGHTXN3_216	R44
216	MGTHRXN3_216	M38
216	MGHTXP2_216	T41
216	MGTHRXP2_216	N39
216	MGHTXN2_216	T42
216	MGTREFCLK0P_216	N35
216	MGTHRXN2_216	N40
216	MGTREFCLK0N_216	N36
216	MGTREFCLK1N_216	R36
216	MGTREFCLK1P_216	R35
216	MGHTXP1_216	U43
216	MGTHRXP1_216	P37
216	MGHTXN1_216	U44
216	MGTHRXN1_216	P38
216	MGHTXP0_216	V41
216	MGTHRXP0_216	R39
216	MGHTXN0_216	V42
216	MGTHRXN0_216	R40
217	MGHTXP3_217	L43
217	MGTHRXP3_217	H37
217	MGHTXN3_217	L44
217	MGTHRXN3_217	H38
217	MGHTXP2_217	M41
217	MGTHRXP2_217	J39

Bank	管脚描述	引出端序号
217	MGHTXN2_217	M42
217	MGTREFCLK0P_217	J35
217	MGTHRXN2_217	J40
217	MGTREFCLK0N_217	J36
217	MGTREFCLK1N_217	L36
217	MGTREFCLK1P_217	L35
217	MGHTXP1_217	N43
217	MGTHRXP1_217	K37
217	MGHTXN1_217	N44
217	MGTHRXN1_217	K38
217	MGHTXP0_217	P41
217	MGTHRXP0_217	L39
217	MGHTXN0_217	P42
217	MGTHRXN0_217	L40
218	MGHTXP3_218	G43
218	MGTHRXP3_218	D37
218	MGHTXN3_218	G44
218	MGTHRXN3_218	D38
218	MGHTXP2_218	H41
218	MGTHRXP2_218	E39
218	MGHTXN2_218	H42
218	MGTREFCLK0P_218	E35
218	MGTHRXN2_218	E40
218	MGTREFCLK0N_218	E36
218	MGTREFCLK1N_218	G36
218	MGTREFCLK1P_218	G35
218	MGHTXP1_218	J43
218	MGTHRXP1_218	F37
218	MGHTXN1_218	J44
218	MGTHRXN1_218	F38
218	MGHTXP0_218	K41
218	MGTHRXP0_218	G39
218	MGHTXN0_218	K42
218	MGTHRXN0_218	G40
219	MGHTXP3_219	B41
219	MGTHRXP3_219	A39
219	MGHTXN3_219	B42
219	MGTHRXN3_219	A40
219	MGHTXP2_219	C43

Bank	管脚描述	引出端序号
219	MGTHRXP2_219	B37
219	MGHTXN2_219	C44
219	MGTREFCLK0P_219	A35
219	MGTHRXN2_219	B38
219	MGTREFCLK0N_219	A36
219	MGTREFCLK1N_219	C36
219	MGTREFCLK1P_219	C35
219	MGHTXP1_219	E43
219	MGTHRXP1_219	C39
219	MGHTXN1_219	E44
219	MGTHRXN1_219	C40
219	MGHTXP0_219	F41
219	MGTHRXP0_219	D41
219	MGHTXN0_219	F42
219	MGTHRXN0_219	D42
NA	MGTAVCC_G10	AA8
NA	MGTAVCC_G10	AC7
NA	MGTAVCC_G10	AE8
NA	MGTAVCC_G10	AG8
NA	MGTAVCC_G10	AJ7
NA	MGTAVCC_G10	R8
NA	MGTAVCC_G10	U8
NA	MGTAVCC_G10	W8
NA	MGTAVCC_G10	Y10
NA	MGTAVCC_G11	B10
NA	MGTAVCC_G11	D10
NA	MGTAVCC_G11	F10
NA	MGTAVCC_G11	H10
NA	MGTAVCC_G11	K10
NA	MGTAVCC_G11	M10
NA	MGTAVCC_G20	Y35
NA	MGTAVCC_G20	AA37
NA	MGTAVCC_G20	AC38
NA	MGTAVCC_G20	AE37
NA	MGTAVCC_G20	AG37
NA	MGTAVCC_G20	AJ38
NA	MGTAVCC_G20	R37
NA	MGTAVCC_G20	U37
NA	MGTAVCC_G20	W37

Bank	管脚描述	引出端序号
NA	MGTAVCC_G21	B35
NA	MGTAVCC_G21	D35
NA	MGTAVCC_G21	F35
NA	MGTAVCC_G21	H35
NA	MGTAVCC_G21	K35
NA	MGTAVCC_G21	M35
NA	MGTAVTT_G10	AB5
NA	MGTAVTT_G10	AC3
NA	MGTAVTT_G10	AD5
NA	MGTAVTT_G10	AF5
NA	MGTAVTT_G10	AG3
NA	MGTAVTT_G10	AH5
NA	MGTAVTT_G10	AJ3
NA	MGTAVTT_G10	R3
NA	MGTAVTT_G10	T5
NA	MGTAVTT_G10	V5
NA	MGTAVTT_G10	W3
NA	MGTAVTT_G10	Y5
NA	MGTAVTT_G11	B5
NA	MGTAVTT_G11	C3
NA	MGTAVTT_G11	D5
NA	MGTAVTT_G11	F5
NA	MGTAVTT_G11	G3
NA	MGTAVTT_G11	H5
NA	MGTAVTT_G11	K5
NA	MGTAVTT_G11	L3
NA	MGTAVTT_G11	M5
NA	MGTAVTT_G11	P5
NA	MGTAVTT_G20	AB40
NA	MGTAVTT_G20	AC42
NA	MGTAVTT_G20	AD40
NA	MGTAVTT_G20	AF40
NA	MGTAVTT_G20	AG42
NA	MGTAVTT_G20	AH40
NA	MGTAVTT_G20	AJ42
NA	MGTAVTT_G20	R42
NA	MGTAVTT_G20	T40
NA	MGTAVTT_G20	V40
NA	MGTAVTT_G20	W42

Bank	管脚描述	引出端序号
NA	MGTAVTT_G20	Y40
NA	MGTAVTT_G21	B40
NA	MGTAVTT_G21	C42
NA	MGTAVTT_G21	D40
NA	MGTAVTT_G21	F40
NA	MGTAVTT_G21	G42
NA	MGTAVTT_G21	H40
NA	MGTAVTT_G21	K40
NA	MGTAVTT_G21	L42
NA	MGTAVTT_G21	M40
NA	MGTAVTT_G21	P40
NA	MGTAVCC_G9	AL8
NA	MGTAVCC_G9	AN8
NA	MGTAVCC_G9	AP10
NA	MGTAVCC_G9	AR8
NA	MGTAVCC_G9	AU8
NA	MGTAVCC_G9	AW8
NA	MGTAVCC_G9	BA8
NA	MGTAVCC_G9	BC8
NA	MGTAVCC_G19	AL37
NA	MGTAVCC_G19	AN37
NA	MGTAVCC_G19	AP35
NA	MGTAVCC_G19	AR37
NA	MGTAVCC_G19	AU37
NA	MGTAVCC_G19	AW37
NA	MGTAVCC_G19	BA37
NA	MGTAVCC_G19	BC37
NA	MGTAVTT_G9	AL3
NA	MGTAVTT_G9	AM5
NA	MGTAVTT_G9	AP5
NA	MGTAVTT_G9	AR3
NA	MGTAVTT_G9	AT5
NA	MGTAVTT_G9	AV5
NA	MGTAVTT_G9	AW3
NA	MGTAVTT_G9	AY5
NA	MGTAVTT_G9	BB5
NA	MGTAVTT_G9	BC3
NA	MGTAVTT_G19	AL42
NA	MGTAVTT_G19	AM40

Bank	管脚描述	引出端序号
NA	MGTAVTT_G19	AP40
NA	MGTAVTT_G19	AR42
NA	MGTAVTT_G19	AT40
NA	MGTAVTT_G19	AV40
NA	MGTAVTT_G19	AW42
NA	MGTAVTT_G19	AY40
NA	MGTAVTT_G19	BB40
NA	MGTAVTT_G19	BC42
NA	MGTVCCAUX_G9	AM10
NA	MGTVCCAUX_G19	AM35
NA	MGTVCCAUX_G10	T10
NA	MGTVCCAUX_G10	V10
NA	MGTVCCAUX_G11	P10
NA	MGTVCCAUX_G20	T35
NA	MGTVCCAUX_G20	V35
NA	MGTVCCAUX_G21	P35
NA	GND	A11
NA	GND	A12
NA	GND	A22
NA	GND	A3
NA	GND	A32
NA	GND	A34
NA	GND	A37
NA	GND	A38
NA	GND	A4
NA	GND	A41
NA	GND	A42
NA	GND	A7
NA	GND	A8
NA	GND	AA11
NA	GND	AA12
NA	GND	AA14
NA	GND	AA16
NA	GND	AA18
NA	GND	AA20
NA	GND	AA22
NA	GND	AA24
NA	GND	AA26
NA	GND	AA28

Bank	管脚描述	引出端序号
NA	GND	AA3
NA	GND	AA30
NA	GND	AA32
NA	GND	AA34
NA	GND	AA38
NA	GND	AA4
NA	GND	AA41
NA	GND	AA42
NA	GND	AA7
NA	GND	AB1
NA	GND	AB10
NA	GND	AB11
NA	GND	AB13
NA	GND	AB15
NA	GND	AB17
NA	GND	AB19
NA	GND	AB2
NA	GND	AB21
NA	GND	AB25
NA	GND	AB27
NA	GND	AB29
NA	GND	AB31
NA	GND	AB33
NA	GND	AB34
NA	GND	AB35
NA	GND	AB36
NA	GND	AB39
NA	GND	AB43
NA	GND	AB44
NA	GND	AB6
NA	GND	AB9
NA	GND	AC11
NA	GND	AC12
NA	GND	AC14
NA	GND	AC16
NA	GND	AC18
NA	GND	AC20
NA	GND	AC24
NA	GND	AC26

Bank	管脚描述	引出端序号
NA	GND	AC28
NA	GND	AC30
NA	GND	AC32
NA	GND	AC34
NA	GND	AC37
NA	GND	AC4
NA	GND	AC41
NA	GND	AC8
NA	GND	AD1
NA	GND	AD10
NA	GND	AD11
NA	GND	AD13
NA	GND	AD15
NA	GND	AD17
NA	GND	AD19
NA	GND	AD2
NA	GND	AD21
NA	GND	AD25
NA	GND	AD27
NA	GND	AD29
NA	GND	AD31
NA	GND	AD33
NA	GND	AD34
NA	GND	AD35
NA	GND	AD36
NA	GND	AD39
NA	GND	AD43
NA	GND	AD44
NA	GND	AD6
NA	GND	AD9
NA	GND	AE14
NA	GND	AE16
NA	GND	AE18
NA	GND	AE20
NA	GND	AE24
NA	GND	AE26
NA	GND	AE28
NA	GND	AE3
NA	GND	AE30

Bank	管脚描述	引出端序号
NA	GND	AE32
NA	GND	AE36
NA	GND	AE38
NA	GND	AE4
NA	GND	AE41
NA	GND	AE42
NA	GND	AE7
NA	GND	AE9
NA	GND	AF1
NA	GND	AF11
NA	GND	AF13
NA	GND	AF15
NA	GND	AF17
NA	GND	AF19
NA	GND	AF2
NA	GND	AF21
NA	GND	AF23
NA	GND	AF25
NA	GND	AF27
NA	GND	AF29
NA	GND	AF31
NA	GND	AF33
NA	GND	AF36
NA	GND	AF39
NA	GND	AF43
NA	GND	AF44
NA	GND	AF6
NA	GND	AF9
NA	GND	AG14
NA	GND	AG16
NA	GND	AG18
NA	GND	AG20
NA	GND	AG22
NA	GND	AG24
NA	GND	AG26
NA	GND	AG28
NA	GND	AG30
NA	GND	AG32
NA	GND	AG36

Bank	管脚描述	引出端序号
NA	GND	AG38
NA	GND	AG4
NA	GND	AG41
NA	GND	AG7
NA	GND	AG9
NA	GND	AH1
NA	GND	AH10
NA	GND	AH11
NA	GND	AH13
NA	GND	AH15
NA	GND	AH17
NA	GND	AH19
NA	GND	AH2
NA	GND	AH21
NA	GND	AH23
NA	GND	AH25
NA	GND	AH27
NA	GND	AH29
NA	GND	AH31
NA	GND	AH33
NA	GND	AH34
NA	GND	AH35
NA	GND	AH36
NA	GND	AH39
NA	GND	AH43
NA	GND	AH44
NA	GND	AH6
NA	GND	AH9
NA	GND	AJ11
NA	GND	AJ12
NA	GND	AJ18
NA	GND	AJ20
NA	GND	AJ24
NA	GND	AJ28
NA	GND	AJ34
NA	GND	AJ37
NA	GND	AJ4
NA	GND	AJ41
NA	GND	AJ8

Bank	管脚描述	引出端序号
NA	GND	AK1
NA	GND	AK10
NA	GND	AK15
NA	GND	AK2
NA	GND	AK25
NA	GND	AK35
NA	GND	AK36
NA	GND	AK39
NA	GND	AK40
NA	GND	AK43
NA	GND	AK44
NA	GND	AK5
NA	GND	AK6
NA	GND	AK9
NA	GND	AL11
NA	GND	AL12
NA	GND	AL22
NA	GND	AL32
NA	GND	AL34
NA	GND	AL38
NA	GND	AL4
NA	GND	AL41
NA	GND	AL7
NA	GND	AM1
NA	GND	AM11
NA	GND	AM19
NA	GND	AM2
NA	GND	AM29
NA	GND	AM34
NA	GND	AM36
NA	GND	AM39
NA	GND	AM43
NA	GND	AM44
NA	GND	AM6
NA	GND	AM9
NA	GND	AN11
NA	GND	AN16
NA	GND	AN26
NA	GND	AN3

Bank	管脚描述	引出端序号
NA	GND	AN34
NA	GND	AN38
NA	GND	AN4
NA	GND	AN41
NA	GND	AN42
NA	GND	AN7
NA	GND	AP1
NA	GND	AP11
NA	GND	AP13
NA	GND	AP2
NA	GND	AP23
NA	GND	AP33
NA	GND	AP34
NA	GND	AP36
NA	GND	AP39
NA	GND	AP43
NA	GND	AP44
NA	GND	AP6
NA	GND	AP9
NA	GND	AR11
NA	GND	AR20
NA	GND	AR30
NA	GND	AR34
NA	GND	AR38
NA	GND	AR4
NA	GND	AR41
NA	GND	AR7
NA	GND	AT1
NA	GND	AT10
NA	GND	AT11
NA	GND	AT17
NA	GND	AT2
NA	GND	AT27
NA	GND	AT34
NA	GND	AT35
NA	GND	AT36
NA	GND	AT39
NA	GND	AT43
NA	GND	AT44

Bank	管脚描述	引出端序号
NA	GND	AT6
NA	GND	AT9
NA	GND	AU14
NA	GND	AU24
NA	GND	AU3
NA	GND	AU34
NA	GND	AU36
NA	GND	AU38
NA	GND	AU4
NA	GND	AU41
NA	GND	AU42
NA	GND	AU7
NA	GND	AU9
NA	GND	AV1
NA	GND	AV11
NA	GND	AV2
NA	GND	AV21
NA	GND	AV31
NA	GND	AV36
NA	GND	AV39
NA	GND	AV43
NA	GND	AV44
NA	GND	AV6
NA	GND	AV9
NA	GND	AW18
NA	GND	AW28
NA	GND	AW36
NA	GND	AW38
NA	GND	AW4
NA	GND	AW41
NA	GND	AW7
NA	GND	AW9
NA	GND	AY1
NA	GND	AY15
NA	GND	AY2
NA	GND	AY25
NA	GND	AY35
NA	GND	AY36
NA	GND	AY39

Bank	管脚描述	引出端序号
NA	GND	AY43
NA	GND	AY44
NA	GND	AY6
NA	GND	AY9
NA	GND	B11
NA	GND	B19
NA	GND	B2
NA	GND	B29
NA	GND	B34
NA	GND	B36
NA	GND	B39
NA	GND	B43
NA	GND	B6
NA	GND	B9
NA	GND	BA12
NA	GND	BA22
NA	GND	BA3
NA	GND	BA32
NA	GND	BA36
NA	GND	BA38
NA	GND	BA4
NA	GND	BA41
NA	GND	BA42
NA	GND	BA7
NA	GND	BA9
NA	GND	BB1
NA	GND	BB19
NA	GND	BB2
NA	GND	BB29
NA	GND	BB36
NA	GND	BB39
NA	GND	BB43
NA	GND	BB44
NA	GND	BB6
NA	GND	BB9
NA	GND	BC16
NA	GND	BC2
NA	GND	BC26
NA	GND	BC36

Bank	管脚描述	引出端序号
NA	GND	BC38
NA	GND	BC4
NA	GND	BC41
NA	GND	BC43
NA	GND	BC7
NA	GND	BC9
NA	GND	BD13
NA	GND	BD23
NA	GND	BD33
NA	GND	BD36
NA	GND	BD39
NA	GND	BD40
NA	GND	BD5
NA	GND	BD6
NA	GND	BD9
NA	GND	C11
NA	GND	C16
NA	GND	C26
NA	GND	C34
NA	GND	C37
NA	GND	C38
NA	GND	C4
NA	GND	C41
NA	GND	C7
NA	GND	C8
NA	GND	D1
NA	GND	D11
NA	GND	D13
NA	GND	D2
NA	GND	D23
NA	GND	D33
NA	GND	D34
NA	GND	D36
NA	GND	D39
NA	GND	D43
NA	GND	D44
NA	GND	D6
NA	GND	D9
NA	GND	E11

Bank	管脚描述	引出端序号
NA	GND	E20
NA	GND	E3
NA	GND	E30
NA	GND	E34
NA	GND	E37
NA	GND	E38
NA	GND	E4
NA	GND	E41
NA	GND	E42
NA	GND	E7
NA	GND	E8
NA	GND	F1
NA	GND	F11
NA	GND	F17
NA	GND	F2
NA	GND	F27
NA	GND	F34
NA	GND	F36
NA	GND	F39
NA	GND	F43
NA	GND	F44
NA	GND	F6
NA	GND	F9
NA	GND	G11
NA	GND	G14
NA	GND	G24
NA	GND	G34
NA	GND	G37
NA	GND	G38
NA	GND	G4
NA	GND	G41
NA	GND	G7
NA	GND	G8
NA	GND	H1
NA	GND	H11
NA	GND	H2
NA	GND	H21
NA	GND	H31
NA	GND	H34

Bank	管脚描述	引出端序号
NA	GND	H36
NA	GND	H39
NA	GND	H43
NA	GND	H44
NA	GND	H6
NA	GND	H9
NA	GND	J11
NA	GND	J18
NA	GND	J28
NA	GND	J3
NA	GND	J34
NA	GND	J37
NA	GND	J38
NA	GND	J4
NA	GND	J41
NA	GND	J42
NA	GND	J7
NA	GND	J8
NA	GND	K1
NA	GND	K11
NA	GND	K15
NA	GND	K2
NA	GND	K25
NA	GND	K34
NA	GND	K36
NA	GND	K39
NA	GND	K43
NA	GND	K44
NA	GND	K6
NA	GND	K9
NA	GND	L11
NA	GND	L12
NA	GND	L22
NA	GND	L32
NA	GND	L34
NA	GND	L37
NA	GND	L38
NA	GND	L4
NA	GND	L41

Bank	管脚描述	引出端序号
NA	GND	L7
NA	GND	L8
NA	GND	M1
NA	GND	M11
NA	GND	M19
NA	GND	M2
NA	GND	M29
NA	GND	M34
NA	GND	M36
NA	GND	M39
NA	GND	M43
NA	GND	M44
NA	GND	M6
NA	GND	M9
NA	GND	N11
NA	GND	N16
NA	GND	N26
NA	GND	N3
NA	GND	N34
NA	GND	N37
NA	GND	N38
NA	GND	N4
NA	GND	N41
NA	GND	N42
NA	GND	N7
NA	GND	N8
NA	GND	P1
NA	GND	P11
NA	GND	P13
NA	GND	P2
NA	GND	P23
NA	GND	P33
NA	GND	P34
NA	GND	P36
NA	GND	P39
NA	GND	P43
NA	GND	P44
NA	GND	P6
NA	GND	P9

Bank	管脚描述	引出端序号
NA	GND	R11
NA	GND	R20
NA	GND	R30
NA	GND	R34
NA	GND	R38
NA	GND	R4
NA	GND	R41
NA	GND	R7
NA	GND	T1
NA	GND	T11
NA	GND	T17
NA	GND	T2
NA	GND	T27
NA	GND	T34
NA	GND	T36
NA	GND	T39
NA	GND	T43
NA	GND	T44
NA	GND	T6
NA	GND	T9
NA	GND	U11
NA	GND	U14
NA	GND	U24
NA	GND	U3
NA	GND	U34
NA	GND	U38
NA	GND	U4
NA	GND	U41
NA	GND	U42
NA	GND	U7
NA	GND	V1
NA	GND	V11
NA	GND	V13
NA	GND	V17
NA	GND	V19
NA	GND	V2
NA	GND	V21
NA	GND	V23
NA	GND	V25

Bank	管脚描述	引出端序号
NA	GND	V27
NA	GND	V29
NA	GND	V31
NA	GND	V33
NA	GND	V34
NA	GND	V36
NA	GND	V39
NA	GND	V43
NA	GND	V44
NA	GND	V6
NA	GND	V9
NA	GND	W11
NA	GND	W12
NA	GND	W14
NA	GND	W16
NA	GND	W18
NA	GND	W20
NA	GND	W22
NA	GND	W24
NA	GND	W26
NA	GND	W28
NA	GND	W30
NA	GND	W32
NA	GND	W34
NA	GND	W38
NA	GND	W4
NA	GND	W41
NA	GND	W7
NA	GND	Y1
NA	GND	Y11
NA	GND	Y13
NA	GND	Y15
NA	GND	Y17
NA	GND	Y19
NA	GND	Y2
NA	GND	Y21
NA	GND	Y23
NA	GND	Y25
NA	GND	Y27

Bank	管脚描述	引出端序号
NA	GND	Y29
NA	GND	Y31
NA	GND	Y33
NA	GND	Y34
NA	GND	Y36
NA	GND	Y39
NA	GND	Y43
NA	GND	Y44
NA	GND	Y6
NA	GND	Y9
NA	VCCINT	AA13
NA	VCCINT	AA15
NA	VCCINT	AA17
NA	VCCINT	AA21
NA	VCCINT	AA23
NA	VCCINT	AA29
NA	VCCINT	AA31
NA	VCCINT	AA33
NA	VCCINT	AB12
NA	VCCINT	AB14
NA	VCCINT	AB16
NA	VCCINT	AB20
NA	VCCINT	AB28
NA	VCCINT	AB30
NA	VCCINT	AB32
NA	VCCINT	AC13
NA	VCCINT	AC15
NA	VCCINT	AC17
NA	VCCINT	AC21
NA	VCCINT	AC29
NA	VCCINT	AC31
NA	VCCINT	AC33
NA	VCCINT	AD12
NA	VCCINT	AD14
NA	VCCINT	AD16
NA	VCCINT	AD20
NA	VCCINT	AD28
NA	VCCINT	AD30
NA	VCCINT	AD32

Bank	管脚描述	引出端序号
NA	VCCINT	AE13
NA	VCCINT	AE15
NA	VCCINT	AE17
NA	VCCINT	AE21
NA	VCCINT	AE29
NA	VCCINT	AE31
NA	VCCINT	AE33
NA	VCCINT	AF12
NA	VCCINT	AF14
NA	VCCINT	AF16
NA	VCCINT	AF20
NA	VCCINT	AF22
NA	VCCINT	AF28
NA	VCCINT	AF30
NA	VCCINT	AF32
NA	VCCINT	AG13
NA	VCCINT	AG15
NA	VCCINT	AG17
NA	VCCINT	AG21
NA	VCCINT	AG23
NA	VCCINT	AG29
NA	VCCINT	AG31
NA	VCCINT	AG33
NA	VCCINT	AH12
NA	VCCINT	AH14
NA	VCCINT	AH16
NA	VCCINT	AH20
NA	VCCINT	AH22
NA	VCCINT	AH28
NA	VCCINT	AH30
NA	VCCINT	AH32
NA	VCCINT	AJ15
NA	VCCINT	AJ17
NA	VCCINT	AJ33
NA	VCCINT	V12
NA	VCCINT	V14
NA	VCCINT	V20
NA	VCCINT	V22
NA	VCCINT	V28

Bank	管脚描述	引出端序号
NA	VCCINT	V30
NA	VCCINT	V32
NA	VCCINT	W13
NA	VCCINT	W15
NA	VCCINT	W17
NA	VCCINT	W21
NA	VCCINT	W23
NA	VCCINT	W29
NA	VCCINT	W31
NA	VCCINT	W33
NA	VCCINT	Y12
NA	VCCINT	Y14
NA	VCCINT	Y16
NA	VCCINT	Y20
NA	VCCINT	Y22
NA	VCCINT	Y28
NA	VCCINT	Y30
NA	VCCINT	Y32
NA	VCCAUX	AA27
NA	VCCAUX	AB18
NA	VCCAUX	AC27
NA	VCCAUX	AD18
NA	VCCAUX	AE27
NA	VCCAUX	AF18
NA	VCCAUX	AG27
NA	VCCAUX	AH18
NA	VCCAUX	AJ27
NA	VCCAUX	V18
NA	VCCAUX	W27
NA	VCCAUX	Y18
NA	VCCAUX_IO_G3	AA19
NA	VCCAUX_IO_G3	AC19
NA	VCCAUX_IO_G3	W19
NA	VCCAUX_IO_G2	AE19
NA	VCCAUX_IO_G2	AG19
NA	VCCAUX_IO_G2	AJ19
NA	VCCAUX_IO_G1	AB26
NA	VCCAUX_IO_G1	V26
NA	VCCAUX_IO_G1	Y26

Bank	管脚描述	引出端序号
NA	VCCAUX_IO_G0	AD26
NA	VCCAUX_IO_G0	AF26
NA	VCCAUX_IO_G0	AH26
14	VCCO_14	AL27
14	VCCO_14	AP28
14	VCCO_14	AU29
14	VCCO_14	AY30
14	VCCO_14	BA27
14	VCCO_14	BD28
15	VCCO_15	AJ23
15	VCCO_15	AM24
15	VCCO_15	AR25
15	VCCO_15	AV26
15	VCCO_15	AW23
15	VCCO_15	BB24
16	VCCO_16	AK30
16	VCCO_16	AN31
16	VCCO_16	AT32
16	VCCO_16	AW33
16	VCCO_16	BB34
16	VCCO_16	BC31
17	VCCO_17	B24
17	VCCO_17	E25
17	VCCO_17	H26
17	VCCO_17	J23
17	VCCO_17	M24
17	VCCO_17	R25
18	VCCO_18	C31
18	VCCO_18	F32
18	VCCO_18	J33
18	VCCO_18	K30
18	VCCO_18	N31
18	VCCO_18	T32
19	VCCO_19	A27
19	VCCO_19	D28
19	VCCO_19	G29
19	VCCO_19	L27
19	VCCO_19	P28
19	VCCO_19	U29

Bank	管脚描述	引出端序号
34	VCCO_34	AL17
34	VCCO_34	AP18
34	VCCO_34	AR15
34	VCCO_34	AV16
34	VCCO_34	BA17
34	VCCO_34	BD18
35	VCCO_35	AK20
35	VCCO_35	AN21
35	VCCO_35	AT22
35	VCCO_35	AU19
35	VCCO_35	AY20
35	VCCO_35	BC21
36	VCCO_36	AJ13
36	VCCO_36	AM14
36	VCCO_36	AT12
36	VCCO_36	AW13
36	VCCO_36	AY10
36	VCCO_36	BB14
36	VCCO_36	BC11
37	VCCO_37	C21
37	VCCO_37	F22
37	VCCO_37	G19
37	VCCO_37	K20
37	VCCO_37	N21
37	VCCO_37	T22
37	VCCO_37	U19
38	VCCO_38	B14
38	VCCO_38	E15
38	VCCO_38	F12
38	VCCO_38	J13
38	VCCO_38	M14
38	VCCO_38	T12
39	VCCO_39	A17
39	VCCO_39	D18
39	VCCO_39	H16
39	VCCO_39	L17
39	VCCO_39	P18
39	VCCO_39	R15
39	VCCO_39	V16

Bank	管脚描述	引出端序号
0	VCCO_0	AE12
0	VCCO_0	AG12
NA	VCCBRAM	AA25
NA	VCCBRAM	AB24
NA	VCCBRAM	AC25
NA	VCCBRAM	AD24
NA	VCCBRAM	AE25
NA	VCCBRAM	AF24
NA	VCCBRAM	AG25
NA	VCCBRAM	AH24
NA	VCCBRAM	V24
NA	VCCBRAM	W25
NA	VCCBRAM	Y24
NA	NC	AJ9
NA	NC	AJ10
NA	NC	AJ35
NA	NC	AJ36

附录A.2

FFG1157 封装器件的引出端及功能说明如表 A.2 所示。

表 A.2 FFG1157 封装器件引出端及功能描述

Bank	管脚描述	引出端序号
0	DXN_0	W16
0	VCCADC_0	T17
0	GNDADC_0	T16
0	DXP_0	W17
0	VREFN_0	V16
0	VREFP_0	V17
0	VP_0	U17
0	VN_0	U16
0	VCCBATT_0	P9
0	CCLK_0	T9
0	TCK_0	M8
0	TMS_0	N9
0	TDO_0	N8
0	TDI_0	L8
0	INIT_B_0	T8
0	PROGRAM_B_0	U8
0	CFGBVS_0	V9
0	DONE_0	V8
0	M2_0	Y8
0	M0_0	AC8
0	M1_0	AB8
14	IO_0_VRN_14	AF25
14	IO_L1P_T0_D00_MOSI_14	AN33
14	IO_L1N_T0_D01_DIN_14	AN34
14	IO_L2P_T0_D02_14	AK34
14	IO_L2N_T0_D03_14	AL34
14	IO_L3P_T0_DQS_PUDC_B_14	AP32
14	IO_L3N_T0_DQS_EMCCLK_14	AP33
14	IO_L4P_T0_D04_14	AK32
14	IO_L4N_T0_D05_14	AK33
14	IO_L5P_T0_D06_14	AM32
14	IO_L5N_T0_D07_14	AN32
14	IO_L6P_T0_FCS_B_14	AL33
14	IO_L6N_T0_D08_VREF_14	AM33
14	IO_L7P_T1_D09_14	AP30
14	IO_L7N_T1_D10_14	AP31
14	IO_L8P_T1_D11_14	AJ30
14	IO_L8N_T1_D12_14	AK31
14	IO_L9P_T1_DQS_14	AM30
14	IO_L9N_T1_DQS_D13_14	AN30

Bank	管脚描述	引出端序号
14	IO L10P T1 D14 14	AJ29
14	IO L10N T1 D15 14	AK29
14	IO L11P T1 SRCC 14	AL31
14	IO L11N T1 SRCC 14	AM31
14	IO L12P T1 MRCC 14	AL29
14	IO L12N T1 MRCC 14	AL30
14	IO L13P T2 MRCC 14	AK28
14	IO L13N T2 MRCC 14	AL28
14	IO L14P T2 SRCC 14	AK26
14	IO L14N T2 SRCC 14	AK27
14	IO L15P T2 DQS RDWR B 14	AJ26
14	IO L15N T2 DQS DOUT CSO B	AJ27
14	IO L16P T2 CSI B 14	AG25
14	IO L16N T2 A15 D31 14	AH25
14	IO L17P T2 A14 D30 14	AH24
14	IO L17N T2 A13 D29 14	AJ25
14	IO L18P T2 A12 D28 14	AL25
14	IO L18N T2 A11 D27 14	AL26
14	IO L19P T3 A10 D26 14	AM26
14	IO L19N T3 A09 D25 VREF 14	AM27
14	IO L20P T3 A08 D24 14	AN29
14	IO L20N T3 A07 D23 14	AP29
14	IO L21P T3 DQS 14	AM25
14	IO L21N T3 DQS A06 D22 14	AN25
14	IO L22P T3 A05 D21 14	AM28
14	IO L22N T3 A04 D20 14	AN28
14	IO L23P T3 A03 D19 14	AP25
14	IO L23N T3 A02 D18 14	AP26
14	IO L24P T3 A01 D17 14	AN27
14	IO L24N T3 A00 D16 14	AP27
14	IO 25 VRP 14	AF24
15	IO 0 VRN 15	AC27
15	IO L1P T0 AD0P 15	AF33
15	IO L1N T0 AD0N 15	AF34
15	IO L2P T0 AD8P 15	AD34
15	IO L2N T0 AD8N 15	AE34
15	IO L3P T0 DQS AD1P 15	AG32
15	IO L3N T0 DQS AD1N 15	AH32
15	IO L4P T0 15	AH34
15	IO L4N T0 15	AJ34
15	IO L5P T0 AD9P 15	AJ31
15	IO L5N T0 AD9N 15	AJ32
15	IO L6P T0 15	AG33
15	IO L6N T0 VREF 15	AH33

Bank	管脚描述	引出端序号
15	IO L7P T1 AD2P 15	AE32
15	IO L7N T1 AD2N 15	AE33
15	IO L8P T1 AD10P 15	AC30
15	IO L8N T1 AD10N 15	AD30
15	IO L9P T1 DQS AD3P 15	AG30
15	IO L9N T1 DQS AD3N 15	AH30
15	IO L10P T1 AD11P 15	AD31
15	IO L10N T1 AD11N 15	AD32
15	IO L11P T1 SRCC 15	AF30
15	IO L11N T1 SRCC 15	AG31
15	IO L12P T1 MRCC 15	AE31
15	IO L12N T1 MRCC 15	AF31
15	IO L13P T2 MRCC 15	AD29
15	IO L13N T2 MRCC 15	AE29
15	IO L14P T2 SRCC 15	AE28
15	IO L14N T2 SRCC 15	AF29
15	IO L15P T2 DQS 15	AC28
15	IO L15N T2 DQS ADV B 15	AC29
15	IO L16P T2 A28 15	AE27
15	IO L16N T2 A27 15	AF28
15	IO L17P T2 A26 15	AG28
15	IO L17N T2 A25 15	AH29
15	IO L18P T2 A24 15	AH27
15	IO L18N T2 A23 15	AH28
15	IO L19P T3 A22 15	AD26
15	IO L19N T3 A21 VREF 15	AD27
15	IO L20P T3 A20 15	AG26
15	IO L20N T3 A19 15	AG27
15	IO L21P T3 DQS 15	AE26
15	IO L21N T3 DQS A18 15	AF26
15	IO L22P T3 A17 15	AE23
15	IO L22N T3 A16 15	AE24
15	IO L23P T3 FOE B 15	AC25
15	IO L23N T3 FWE B 15	AD25
15	IO L24P T3 RS1 15	AC24
15	IO L24N T3 RS0 15	AD24
15	IO 25 VRP 15	AC23
16	IO 0 VRN 16	V23
16	IO L1P T0 16	AA33
16	IO L1N T0 16	AA34
16	IO L2P T0 16	V34
16	IO L2N T0 16	W34
16	IO L3P T0 DQS 16	AB33
16	IO L3N T0 DQS 16	AC34

Bank	管脚描述	引出端序号
16	IO L4P T0 16	Y33
16	IO L4N T0 16	Y34
16	IO L5P T0 16	AC32
16	IO L5N T0 16	AC33
16	IO L6P T0 16	V32
16	IO L6N T0 VREF 16	V33
16	IO L7P T1 16	AB31
16	IO L7N T1 16	AB32
16	IO L8P T1 16	U30
16	IO L8N T1 16	V30
16	IO L9P T1 DQS 16	AA30
16	IO L9N T1 DQS 16	AB30
16	IO L10P T1 16	W32
16	IO L10N T1 16	Y32
16	IO L11P T1 SRCC 16	Y31
16	IO L11N T1 SRCC 16	AA31
16	IO L12P T1 MRCC 16	W30
16	IO L12N T1 MRCC 16	W31
16	IO L13P T2 MRCC 16	AA28
16	IO L13N T2 MRCC 16	AA29
16	IO L14P T2 SRCC 16	Y28
16	IO L14N T2 SRCC 16	Y29
16	IO L15P T2 DQS 16	V27
16	IO L15N T2 DQS 16	V28
16	IO L16P T2 16	V29
16	IO L16N T2 16	W29
16	IO L17P T2 16	W26
16	IO L17N T2 16	W27
16	IO L18P T2 16	AB27
16	IO L18N T2 16	AB28
16	IO L19P T3 16	Y26
16	IO L19N T3 VREF 16	Y27
16	IO L20P T3 16	V24
16	IO L20N T3 16	V25
16	IO L21P T3 DQS 16	AA26
16	IO L21N T3 DQS 16	AB26
16	IO L22P T3 16	W24
16	IO L22N T3 16	W25
16	IO L23P T3 16	Y24
16	IO L23N T3 16	AA25
16	IO L24P T3 16	AA23
16	IO L24N T3 16	AA24
16	IO 25 VRP 16	AB25
17	IO 0 VRN 17	N23

Bank	管脚描述	引出端序号
17	IO L1P T0 17	N24
17	IO L1N T0 17	N25
17	IO L2P T0 17	N27
17	IO L2N T0 17	N28
17	IO L3P T0 DQS 17	R23
17	IO L3N T0 DQS 17	R24
17	IO L4P T0 17	P24
17	IO L4N T0 17	P25
17	IO L5P T0 17	T24
17	IO L5N T0 17	T25
17	IO L6P T0 17	P26
17	IO L6N T0 VREF 17	P27
17	IO L7P T1 17	N29
17	IO L7N T1 17	N30
17	IO L8P T1 17	M30
17	IO L8N T1 17	M31
17	IO L9P T1 DQS 17	T31
17	IO L9N T1 DQS 17	R32
17	IO L10P T1 17	U31
17	IO L10N T1 17	U32
17	IO L11P T1 SRCC 17	R31
17	IO L11N T1 SRCC 17	P31
17	IO L12P T1 MRCC 17	P29
17	IO L12N T1 MRCC 17	P30
17	IO L13P T2 MRCC 17	R28
17	IO L13N T2 MRCC 17	R29
17	IO L14P T2 SRCC 17	T29
17	IO L14N T2 SRCC 17	T30
17	IO L15P T2 DQS 17	R26
17	IO L15N T2 DQS 17	R27
17	IO L16P T2 17	U28
17	IO L16N T2 17	T28
17	IO L17P T2 17	U26
17	IO L17N T2 17	U27
17	IO L18P T2 17	U25
17	IO L18N T2 17	T26
17	IO L19P T3 17	P32
17	IO L19N T3 VREF 17	N32
17	IO L20P T3 17	M32
17	IO L20N T3 17	M33
17	IO L21P T3 DQS 17	T33
17	IO L21N T3 DQS 17	R34
17	IO L22P T3 17	N33
17	IO L22N T3 17	N34

Bank	管脚描述	引出端序号
17	IO L23P T3 17	U33
17	IO L23N T3 17	T34
17	IO L24P T3 17	R33
17	IO L24N T3 17	P34
17	IO 25 VRP 17	U23
18	IO 0 VRN 18	H27
18	IO L1P T0 18	L23
18	IO L1N T0 18	K23
18	IO L2P T0 18	M27
18	IO L2N T0 18	L28
18	IO L3P T0 DQS 18	L24
18	IO L3N T0 DQS 18	K24
18	IO L4P T0 18	M26
18	IO L4N T0 18	L26
18	IO L5P T0 18	K26
18	IO L5N T0 18	K27
18	IO L6P T0 18	M25
18	IO L6N T0 VREF 18	L25
18	IO L7P T1 18	G33
18	IO L7N T1 18	F34
18	IO L8P T1 18	E32
18	IO L8N T1 18	E33
18	IO L9P T1 DQS 18	F30
18	IO L9N T1 DQS 18	F31
18	IO L10P T1 18	F33
18	IO L10N T1 18	E34
18	IO L11P T1 SRCC 18	H32
18	IO L11N T1 SRCC 18	G32
18	IO L12P T1 MRCC 18	G30
18	IO L12N T1 MRCC 18	G31
18	IO L13P T2 MRCC 18	H29
18	IO L13N T2 MRCC 18	H30
18	IO L14P T2 SRCC 18	J30
18	IO L14N T2 SRCC 18	J31
18	IO L15P T2 DQS 18	J27
18	IO L15N T2 DQS 18	H28
18	IO L16P T2 18	K28
18	IO L16N T2 18	J29
18	IO L17P T2 18	G28
18	IO L17N T2 18	F29
18	IO L18P T2 18	L29
18	IO L18N T2 18	K29
18	IO L19P T3 18	K31
18	IO L19N T3 VREF 18	J32

Bank	管脚描述	引出端序号
18	IO_L20P_T3_18	K32
18	IO_L20N_T3_18	K33
18	IO_L21P_T3_DQS_18	H33
18	IO_L21N_T3_DQS_18	H34
18	IO_L22P_T3_18	L33
18	IO_L22N_T3_18	L34
18	IO_L23P_T3_18	K34
18	IO_L23N_T3_18	J34
18	IO_L24P_T3_18	L30
18	IO_L24N_T3_18	L31
18	IO_25_VRP_18	M28
19	IO_0_VRN_19	F24
19	IO_L1P_T0_19	B31
19	IO_L1N_T0_19	B32
19	IO_L2P_T0_19	D34
19	IO_L2N_T0_19	C34
19	IO_L3P_T0_DQS_19	B33
19	IO_L3N_T0_DQS_19	A33
19	IO_L4P_T0_19	C33
19	IO_L4N_T0_19	B34
19	IO_L5P_T0_19	E31
19	IO_L5N_T0_19	D31
19	IO_L6P_T0_19	D32
19	IO_L6N_T0_VREF_19	C32
19	IO_L7P_T1_19	C25
19	IO_L7N_T1_19	B25
19	IO_L8P_T1_19	A25
19	IO_L8N_T1_19	A26
19	IO_L9P_T1_DQS_19	E26
19	IO_L9N_T1_DQS_19	D26
19	IO_L10P_T1_19	B26
19	IO_L10N_T1_19	B27
19	IO_L11P_T1_SRCC_19	E27
19	IO_L11N_T1_SRCC_19	D27
19	IO_L12P_T1_MRCC_19	C27
19	IO_L12N_T1_MRCC_19	B28
19	IO_L13P_T2_MRCC_19	C30
19	IO_L13N_T2_MRCC_19	B30
19	IO_L14P_T2_SRCC_19	C28
19	IO_L14N_T2_SRCC_19	C29
19	IO_L15P_T2_DQS_19	A28
19	IO_L15N_T2_DQS_19	A29
19	IO_L16P_T2_19	D29
19	IO_L16N_T2_19	D30

Bank	管脚描述	引出端序号
19	IO L17P T2 19	A30
19	IO L17N T2 19	A31
19	IO L18P T2 19	E28
19	IO L18N T2 19	E29
19	IO L19P T3 19	J24
19	IO L19N T3 VREF 19	H24
19	IO L20P T3 19	J25
19	IO L20N T3 19	H25
19	IO L21P T3 DQS 19	G25
19	IO L21N T3 DQS 19	F25
19	IO L22P T3 19	G26
19	IO L22N T3 19	F26
19	IO L23P T3 19	E24
19	IO L23N T3 19	D25
19	IO L24P T3 19	G27
19	IO L24N T3 19	F28
19	IO 25 VRP 19	J26
34	IO 0 VRN 34	AC12
34	IO L1P T0 34	AE9
34	IO L1N T0 34	AE8
34	IO L2P T0 34	AC10
34	IO L2N T0 34	AC9
34	IO L3P T0 DQS 34	AE12
34	IO L3N T0 DQS 34	AE11
34	IO L4P T0 34	AD10
34	IO L4N T0 34	AD9
34	IO L5P T0 34	AF9
34	IO L5N T0 34	AF8
34	IO L6P T0 34	AD12
34	IO L6N T0 VREF 34	AD11
34	IO L7P T1 34	AF11
34	IO L7N T1 34	AG11
34	IO L8P T1 34	AG8
34	IO L8N T1 34	AH8
34	IO L9P T1 DQS 34	AG12
34	IO L9N T1 DQS 34	AH12
34	IO L10P T1 34	AF10
34	IO L10N T1 34	AG10
34	IO L11P T1 SRCC 34	AH10
34	IO L11N T1 SRCC 34	AJ10
34	IO L12P T1 MRCC 34	AH9
34	IO L12N T1 MRCC 34	AJ9
34	IO L13P T2 MRCC 34	AJ11
34	IO L13N T2 MRCC 34	AK11

Bank	管脚描述	引出端序号
34	IO L14P T2 SRCC 34	AJ12
34	IO L14N T2 SRCC 34	AK12
34	IO L15P T2 DQS 34	AK8
34	IO L15N T2 DQS 34	AL8
34	IO L16P T2 34	AL10
34	IO L16N T2 34	AM10
34	IO L17P T2 34	AK9
34	IO L17N T2 34	AL9
34	IO L18P T2 34	AL11
34	IO L18N T2 34	AM11
34	IO L19P T3 34	AM12
34	IO L19N T3 VREF 34	AN12
34	IO L20P T3 34	AN9
34	IO L20N T3 34	AP9
34	IO L21P T3 DQS 34	AN10
34	IO L21N T3 DQS 34	AP10
34	IO L22P T3 34	AP12
34	IO L22N T3 34	AP11
34	IO L23P T3 34	AM13
34	IO L23N T3 34	AN13
34	IO L24P T3 34	AK13
34	IO L24N T3 34	AL13
34	IO 25 VRP 34	AH13
35	IO 0 VRN 35	AE18
35	IO L1P T0 AD4P 35	AN15
35	IO L1N T0 AD4N 35	AP15
35	IO L2P T0 AD12P 35	AM18
35	IO L2N T0 AD12N 35	AN18
35	IO L3P T0 DQS AD5P 35	AL16
35	IO L3N T0 DQS AD5N 35	AM16
35	IO L4P T0 35	AP17
35	IO L4N T0 35	AP16
35	IO L5P T0 AD13P 35	AN14
35	IO L5N T0 AD13N 35	AP14
35	IO L6P T0 35	AM17
35	IO L6N T0 VREF 35	AN17
35	IO L7P T1 AD6P 35	AL15
35	IO L7N T1 AD6N 35	AM15
35	IO L8P T1 AD14P 35	AK18
35	IO L8N T1 AD14N 35	AL18
35	IO L9P T1 DQS AD7P 35	AK14
35	IO L9N T1 DQS AD7N 35	AL14
35	IO L10P T1 AD15P 35	AJ17
35	IO L10N T1 AD15N 35	AK17

Bank	管脚描述	引出端序号
35	IO L11P T1 SRCC 35	AJ16
35	IO L11N T1 SRCC 35	AK16
35	IO L12P T1 MRCC 35	AH15
35	IO L12N T1 MRCC 35	AJ15
35	IO L13P T2 MRCC 35	AG17
35	IO L13N T2 MRCC 35	AH17
35	IO L14P T2 SRCC 35	AF16
35	IO L14N T2 SRCC 35	AG16
35	IO L15P T2 DQS 35	AF18
35	IO L15N T2 DQS 35	AG18
35	IO L16P T2 35	AF15
35	IO L16N T2 35	AG15
35	IO L17P T2 35	AH19
35	IO L17N T2 35	AH18
35	IO L18P T2 35	AH14
35	IO L18N T2 35	AJ14
35	IO L19P T3 35	AF13
35	IO L19N T3 VREF 35	AG13
35	IO L20P T3 35	AE17
35	IO L20N T3 35	AE16
35	IO L21P T3 DQS 35	AE14
35	IO L21N T3 DQS 35	AF14
35	IO L22P T3 35	AC17
35	IO L22N T3 35	AD17
35	IO L23P T3 35	AD14
35	IO L23N T3 35	AE13
35	IO L24P T3 35	AD16
35	IO L24N T3 35	AD15
35	IO 25 VRP 35	AC15
36	IO 0 VRN 36	AC22
36	IO L1P T0 36	AN24
36	IO L1N T0 36	AP24
36	IO L2P T0 36	AN20
36	IO L2N T0 36	AP20
36	IO L3P T0 DQS 36	AM22
36	IO L3N T0 DQS 36	AN22
36	IO L4P T0 36	AN19
36	IO L4N T0 36	AP19
36	IO L5P T0 36	AP21
36	IO L5N T0 36	AP22
36	IO L6P T0 36	AM23
36	IO L6N T0 VREF 36	AN23
36	IO L7P T1 36	AM20
36	IO L7N T1 36	AM21

Bank	管脚描述	引出端序号
36	IO L8P T1 36	AK24
36	IO L8N T1 36	AL24
36	IO L9P T1 DQS 36	AK19
36	IO L9N T1 DQS 36	AL19
36	IO L10P T1 36	AK23
36	IO L10N T1 36	AL23
36	IO L11P T1 SRCC 36	AL20
36	IO L11N T1 SRCC 36	AL21
36	IO L12P T1 MRCC 36	AJ22
36	IO L12N T1 MRCC 36	AK22
36	IO L13P T2 MRCC 36	AG22
36	IO L13N T2 MRCC 36	AH22
36	IO L14P T2 SRCC 36	AJ21
36	IO L14N T2 SRCC 36	AK21
36	IO L15P T2 DQS 36	AF23
36	IO L15N T2 DQS 36	AG23
36	IO L16P T2 36	AJ19
36	IO L16N T2 36	AJ20
36	IO L17P T2 36	AH23
36	IO L17N T2 36	AJ24
36	IO L18P T2 36	AG20
36	IO L18N T2 36	AH20
36	IO L19P T3 36	AC19
36	IO L19N T3 VREF 36	AD20
36	IO L20P T3 36	AD22
36	IO L20N T3 36	AE22
36	IO L21P T3 DQS 36	AF19
36	IO L21N T3 DQS 36	AF20
36	IO L22P T3 36	AD21
36	IO L22N T3 36	AE21
36	IO L23P T3 36	AD19
36	IO L23N T3 36	AE19
36	IO L24P T3 36	AF21
36	IO L24N T3 36	AG21
36	IO 25 VRP 36	AC18
37	IO 0 VRN 37	H18
37	IO L1P T0 37	L19
37	IO L1N T0 37	K19
37	IO L2P T0 37	M18
37	IO L2N T0 37	L18
37	IO L3P T0 DQS 37	J20
37	IO L3N T0 DQS 37	H20
37	IO L4P T0 37	K18
37	IO L4N T0 37	J19

Bank	管脚描述	引出端序号
37	IO L5P T0 37	M20
37	IO L5N T0 37	L20
37	IO L6P T0 37	H19
37	IO L6N T0 VREF 37	G20
37	IO L7P T1 37	A19
37	IO L7N T1 37	A20
37	IO L8P T1 37	E19
37	IO L8N T1 37	D19
37	IO L9P T1 DQS 37	B21
37	IO L9N T1 DQS 37	A21
37	IO L10P T1 37	C19
37	IO L10N T1 37	B20
37	IO L11P T1 SRCC 37	D20
37	IO L11N T1 SRCC 37	C20
37	IO L12P T1 MRCC 37	E21
37	IO L12N T1 MRCC 37	D21
37	IO L13P T2 MRCC 37	G21
37	IO L13N T2 MRCC 37	F21
37	IO L14P T2 SRCC 37	H22
37	IO L14N T2 SRCC 37	G22
37	IO L15P T2 DQS 37	F19
37	IO L15N T2 DQS 37	F20
37	IO L16P T2 37	H23
37	IO L16N T2 37	G23
37	IO L17P T2 37	K21
37	IO L17N T2 37	J21
37	IO L18P T2 37	K22
37	IO L18N T2 37	J22
37	IO L19P T3 37	E22
37	IO L19N T3 VREF 37	D22
37	IO L20P T3 37	A23
37	IO L20N T3 37	A24
37	IO L21P T3 DQS 37	C22
37	IO L21N T3 DQS 37	B22
37	IO L22P T3 37	C23
37	IO L22N T3 37	B23
37	IO L23P T3 37	F23
37	IO L23N T3 37	E23
37	IO L24P T3 37	D24
37	IO L24N T3 37	C24
37	IO 25 VRP 37	L21
38	IO 0 VRN 38	L16
38	IO L1P T0 38	J15
38	IO L1N T0 38	H15

Bank	管脚描述	引出端序号
38	IO L2P T0 38	M15
38	IO L2N T0 38	L15
38	IO L3P T0 DQS 38	M17
38	IO L3N T0 DQS 38	M16
38	IO L4P T0 38	L14
38	IO L4N T0 38	K14
38	IO L5P T0 38	K17
38	IO L5N T0 38	J17
38	IO L6P T0 38	K16
38	IO L6N T0 VREF 38	J16
38	IO L7P T1 38	F14
38	IO L7N T1 38	E13
38	IO L8P T1 38	J14
38	IO L8N T1 38	H14
38	IO L9P T1 DQS 38	H17
38	IO L9N T1 DQS 38	G17
38	IO L10P T1 38	G13
38	IO L10N T1 38	F13
38	IO L11P T1 SRCC 38	G16
38	IO L11N T1 SRCC 38	F16
38	IO L12P T1 MRCC 38	G15
38	IO L12N T1 MRCC 38	F15
38	IO L13P T2 MRCC 38	E16
38	IO L13N T2 MRCC 38	D16
38	IO L14P T2 SRCC 38	E17
38	IO L14N T2 SRCC 38	D17
38	IO L15P T2 DQS 38	E14
38	IO L15N T2 DQS 38	D14
38	IO L16P T2 38	F18
38	IO L16N T2 38	E18
38	IO L17P T2 38	D15
38	IO L17N T2 38	C14
38	IO L18P T2 38	C18
38	IO L18N T2 38	C17
38	IO L19P T3 38	C13
38	IO L19N T3 VREF 38	B13
38	IO L20P T3 38	B16
38	IO L20N T3 38	A15
38	IO L21P T3 DQS 38	A14
38	IO L21N T3 DQS 38	A13
38	IO L22P T3 38	B17
38	IO L22N T3 38	A16
38	IO L23P T3 38	C15
38	IO L23N T3 38	B15

Bank	管脚描述	引出端序号
38	IO L24P T3 38	B18
38	IO L24N T3 38	A18
38	IO 25 VRP 38	G18
39	IO 0 VRN 39	H13
39	IO L1P T0 39	A9
39	IO L1N T0 39	A8
39	IO L2P T0 39	A11
39	IO L2N T0 39	A10
39	IO L3P T0 DQS 39	C9
39	IO L3N T0 DQS 39	B8
39	IO L4P T0 39	B11
39	IO L4N T0 39	B10
39	IO L5P T0 39	D9
39	IO L5N T0 39	C8
39	IO L6P T0 39	C12
39	IO L6N T0 VREF 39	B12
39	IO L7P T1 39	E9
39	IO L7N T1 39	E8
39	IO L8P T1 39	E12
39	IO L8N T1 39	D12
39	IO L9P T1 DQS 39	F9
39	IO L9N T1 DQS 39	F8
39	IO L10P T1 39	D10
39	IO L10N T1 39	C10
39	IO L11P T1 SRCC 39	E11
39	IO L11N T1 SRCC 39	D11
39	IO L12P T1 MRCC 39	F11
39	IO L12N T1 MRCC 39	F10
39	IO L13P T2 MRCC 39	G11
39	IO L13N T2 MRCC 39	G10
39	IO L14P T2 SRCC 39	H10
39	IO L14N T2 SRCC 39	H9
39	IO L15P T2 DQS 39	J10
39	IO L15N T2 DQS 39	J9
39	IO L16P T2 39	H12
39	IO L16N T2 39	G12
39	IO L17P T2 39	K11
39	IO L17N T2 39	J11
39	IO L18P T2 39	H8
39	IO L18N T2 39	G8
39	IO L19P T3 39	K12
39	IO L19N T3 VREF 39	J12
39	IO L20P T3 39	L9
39	IO L20N T3 39	K9

Bank	管脚描述	引出端序号
39	IO L21P T3 DQS 39	L13
39	IO L21N T3 DQS 39	K13
39	IO L22P T3 39	M10
39	IO L22N T3 39	L10
39	IO L23P T3 39	M13
39	IO L23N T3 39	M12
39	IO L24P T3 39	M11
39	IO L24N T3 39	L11
39	IO 25 VRP 39	K8
114	MGHTXP3 114	AK2
114	MGTHRXP3 114	AJ4
114	MGHTXN3 114	AK1
114	MGTHRXN3 114	AJ3
114	MGHTXP2 114	AM2
114	MGTHRXP2 114	AL4
114	MGHTXN2 114	AM1
114	MGTREFCLK0P 114	AH6
114	MGTHRXN2 114	AL3
114	MGTREFCLK0N 114	AH5
114	MGTREFCLK1N 114	AK5
114	MGTREFCLK1P 114	AK6
114	MGHTXP1 114	AN4
114	MGTHRXP1 114	AM6
114	MGHTXN1 114	AN3
114	MGTHRXN1 114	AM5
114	MGHTXP0 114	AP2
114	MGTHRXP0 114	AP6
114	MGHTXN0 114	AP1
114	MGTHRXN0 114	AP5
115	MGHTXP3 115	AB2
115	MGTHRXP3 115	AC4
115	MGHTXN3 115	AB1
115	MGTHRXN3 115	AC3
115	MGHTXP2 115	AD2
115	MGTHRXP2 115	AE4
115	MGHTXN2 115	AD1
115	MGTREFCLK0P 115	AB6
115	MGTHRXN2 115	AE3
115	MGTAVTTRCAL 115	AP7
115	MGTREFCLK0N 115	AB5
115	MGTREF 115	AN7
115	MGTREFCLK1N 115	AD5
115	MGTREFCLK1P 115	AD6
115	MGHTXP1 115	AF2

Bank	管脚描述	引出端序号
115	MGTHRXP1_115	AF6
115	MGHTXN1_115	AF1
115	MGTHRXN1_115	AF5
115	MGHTXP0_115	AH2
115	MGTHRXP0_115	AG4
115	MGHTXN0_115	AH1
115	MGTHRXN0_115	AG3
116	MGHTXP3_116	P2
116	MGTHRXP3_116	R4
116	MGHTXN3_116	P1
116	MGTHRXN3_116	R3
116	MGHTXP2_116	T2
116	MGTHRXP2_116	U4
116	MGHTXN2_116	T1
116	MGTREFCLK0P_116	T6
116	MGTHRXN2_116	U3
116	MGTREFCLK0N_116	T5
116	MGTREFCLK1N_116	V5
116	MGTREFCLK1P_116	V6
116	MGHTXP1_116	V2
116	MGTHRXP1_116	W4
116	MGHTXN1_116	V1
116	MGTHRXN1_116	W3
116	MGHTXP0_116	Y2
116	MGTHRXP0_116	AA4
116	MGHTXN0_116	Y1
116	MGTHRXN0_116	AA3
117	MGHTXP3_117	F2
117	MGTHRXP3_117	J4
117	MGHTXN3_117	F1
117	MGTHRXN3_117	J3
117	MGHTXP2_117	H2
117	MGTHRXP2_117	K6
117	MGHTXN2_117	H1
117	MGTREFCLK0P_117	M6
117	MGTHRXN2_117	K5
117	MGTREFCLK0N_117	M5
117	MGTREFCLK1N_117	P5
117	MGTREFCLK1P_117	P6
117	MGHTXP1_117	K2
117	MGTHRXP1_117	L4
117	MGHTXN1_117	K1
117	MGTHRXN1_117	L3
117	MGHTXP0_117	M2

Bank	管脚描述	引出端序号
117	MGTHRXP0_117	N4
117	MGHTXN0_117	M1
117	MGTHRXN0_117	N3
118	MGHTXP3_118	A4
118	MGTHRXP3_118	B6
118	MGHTXN3_118	A3
118	MGTHRXN3_118	B5
118	MGHTXP2_118	B2
118	MGTHRXP2_118	D6
118	MGHTXN2_118	B1
118	MGTREFCLK0P_118	F6
118	MGTHRXN2_118	D5
118	MGTREFCLK0N_118	F5
118	MGTREFCLK1N_118	H5
118	MGTREFCLK1P_118	H6
118	MGHTXP1_118	C4
118	MGTHRXP1_118	E4
118	MGHTXN1_118	C3
118	MGTHRXN1_118	E3
118	MGHTXP0_118	D2
118	MGTHRXP0_118	G4
118	MGHTXN0_118	D1
118	MGTHRXN0_118	G3
NA	VCCBRAM	AA18
NA	VCCBRAM	AB17
NA	VCCBRAM	N18
NA	VCCBRAM	R18
NA	VCCBRAM	U18
NA	VCCBRAM	W18
NA	MGTAVCC_G11	C6
NA	MGTAVCC_G11	E6
NA	MGTAVCC_G11	G6
NA	MGTAVCC_G11	J6
NA	MGTAVCC_G11	L6
NA	MGTAVCC_G10	AA6
NA	MGTAVCC_G10	AC6
NA	MGTAVCC_G10	AE6
NA	MGTAVCC_G10	AG6
NA	MGTAVCC_G10	AJ6
NA	MGTAVCC_G10	AL6
NA	MGTAVCC_G10	AN6
NA	MGTAVCC_G10	U6
NA	MGTAVCC_G10	W6
NA	MGTAVTT_G11	C2

Bank	管脚描述	引出端序号
NA	MGTAVTT_G11	D3
NA	MGTAVTT_G11	G2
NA	MGTAVTT_G11	H3
NA	MGTAVTT_G11	L2
NA	MGTAVTT_G11	M3
NA	MGTAVTT_G10	AC2
NA	MGTAVTT_G10	AD3
NA	MGTAVTT_G10	AG2
NA	MGTAVTT_G10	AH3
NA	MGTAVTT_G10	AL2
NA	MGTAVTT_G10	AM3
NA	MGTAVTT_G10	R2
NA	MGTAVTT_G10	T3
NA	MGTAVTT_G10	W2
NA	MGTAVTT_G10	Y3
NA	MGTVCCAUX_G11	N6
NA	MGTVCCAUX_G10	R6
NA	GND	A1
NA	GND	A2
NA	GND	A5
NA	GND	A6
NA	GND	A7
NA	GND	A17
NA	GND	A27
NA	GND	A34
NA	GND	AA1
NA	GND	AA2
NA	GND	AA5
NA	GND	AA7
NA	GND	AA8
NA	GND	AA9
NA	GND	AA11
NA	GND	AA13
NA	GND	AA15
NA	GND	AA17
NA	GND	AA19
NA	GND	AA21
NA	GND	AA27
NA	GND	AB3
NA	GND	AB4
NA	GND	AB7
NA	GND	AB10
NA	GND	AB12
NA	GND	AB14

Bank	管脚描述	引出端序号
NA	GND	AB16
NA	GND	AB18
NA	GND	AB20
NA	GND	AB22
NA	GND	AB24
NA	GND	AB34
NA	GND	AC1
NA	GND	AC5
NA	GND	AC7
NA	GND	AC11
NA	GND	AC13
NA	GND	AC21
NA	GND	AC31
NA	GND	AD4
NA	GND	AD7
NA	GND	AD8
NA	GND	AD18
NA	GND	AD28
NA	GND	AE1
NA	GND	AE2
NA	GND	AE5
NA	GND	AE7
NA	GND	AE15
NA	GND	AE25
NA	GND	AF3
NA	GND	AF4
NA	GND	AF7
NA	GND	AF12
NA	GND	AF22
NA	GND	AF32
NA	GND	AG1
NA	GND	AG5
NA	GND	AG7
NA	GND	AG9
NA	GND	AG19
NA	GND	AG29
NA	GND	AH4
NA	GND	AH7
NA	GND	AH16
NA	GND	AH26
NA	GND	AJ1
NA	GND	AJ2
NA	GND	AJ5
NA	GND	AJ7

Bank	管脚描述	引出端序号
NA	GND	AJ13
NA	GND	AJ23
NA	GND	AJ33
NA	GND	AK3
NA	GND	AK4
NA	GND	AK7
NA	GND	AK10
NA	GND	AK20
NA	GND	AK30
NA	GND	AL1
NA	GND	AL5
NA	GND	AL7
NA	GND	AL17
NA	GND	AL27
NA	GND	AM4
NA	GND	AM7
NA	GND	AM8
NA	GND	AM14
NA	GND	AM24
NA	GND	AM34
NA	GND	AN1
NA	GND	AN2
NA	GND	AN5
NA	GND	AN8
NA	GND	AN11
NA	GND	AN21
NA	GND	AN31
NA	GND	AP3
NA	GND	AP4
NA	GND	AP8
NA	GND	AP18
NA	GND	AP28
NA	GND	B3
NA	GND	B4
NA	GND	B7
NA	GND	B14
NA	GND	B24
NA	GND	C1
NA	GND	C5
NA	GND	C7
NA	GND	C11
NA	GND	C21
NA	GND	C31
NA	GND	D4

Bank	管脚描述	引出端序号
NA	GND	D7
NA	GND	D8
NA	GND	D18
NA	GND	D28
NA	GND	E1
NA	GND	E2
NA	GND	E5
NA	GND	E7
NA	GND	E15
NA	GND	E25
NA	GND	F3
NA	GND	F4
NA	GND	F7
NA	GND	F12
NA	GND	F22
NA	GND	F32
NA	GND	G1
NA	GND	G5
NA	GND	G7
NA	GND	G9
NA	GND	G19
NA	GND	G29
NA	GND	H4
NA	GND	H7
NA	GND	H16
NA	GND	H26
NA	GND	J1
NA	GND	J2
NA	GND	J5
NA	GND	J7
NA	GND	J13
NA	GND	J23
NA	GND	J33
NA	GND	K3
NA	GND	K4
NA	GND	K7
NA	GND	K10
NA	GND	K20
NA	GND	K30
NA	GND	L1
NA	GND	L5
NA	GND	L7
NA	GND	L17
NA	GND	L27

Bank	管脚描述	引出端序号
NA	GND	M4
NA	GND	M7
NA	GND	M14
NA	GND	M22
NA	GND	M24
NA	GND	M34
NA	GND	N1
NA	GND	N2
NA	GND	N5
NA	GND	N7
NA	GND	N11
NA	GND	N13
NA	GND	N15
NA	GND	N17
NA	GND	N19
NA	GND	N21
NA	GND	N31
NA	GND	P3
NA	GND	P4
NA	GND	P7
NA	GND	P8
NA	GND	P10
NA	GND	P12
NA	GND	P14
NA	GND	P16
NA	GND	P18
NA	GND	P20
NA	GND	P22
NA	GND	P28
NA	GND	R1
NA	GND	R5
NA	GND	R9
NA	GND	R11
NA	GND	R13
NA	GND	R15
NA	GND	R17
NA	GND	R19
NA	GND	R21
NA	GND	R25
NA	GND	T4
NA	GND	T7
NA	GND	T10
NA	GND	T12
NA	GND	T14

Bank	管脚描述	引出端序号
NA	GND	T18
NA	GND	T20
NA	GND	T22
NA	GND	T32
NA	GND	U1
NA	GND	U2
NA	GND	U5
NA	GND	U7
NA	GND	U9
NA	GND	U11
NA	GND	U13
NA	GND	U15
NA	GND	U19
NA	GND	U21
NA	GND	U29
NA	GND	V3
NA	GND	V4
NA	GND	V7
NA	GND	V10
NA	GND	V12
NA	GND	V14
NA	GND	V18
NA	GND	V20
NA	GND	V22
NA	GND	V26
NA	GND	W1
NA	GND	W5
NA	GND	W7
NA	GND	W9
NA	GND	W11
NA	GND	W13
NA	GND	W15
NA	GND	W19
NA	GND	W21
NA	GND	W23
NA	GND	W33
NA	GND	Y4
NA	GND	Y5
NA	GND	Y6
NA	GND	Y7
NA	GND	Y10
NA	GND	Y12
NA	GND	Y14
NA	GND	Y16

Bank	管脚描述	引出端序号
NA	GND	Y18
NA	GND	Y20
NA	GND	Y22
NA	GND	Y30
NA	VCCINT	AA10
NA	VCCINT	AA12
NA	VCCINT	AA16
NA	VCCINT	AA22
NA	VCCINT	AB11
NA	VCCINT	AB15
NA	VCCINT	AB19
NA	VCCINT	AB23
NA	VCCINT	M21
NA	VCCINT	M23
NA	VCCINT	N10
NA	VCCINT	N12
NA	VCCINT	N16
NA	VCCINT	N22
NA	VCCINT	P11
NA	VCCINT	P13
NA	VCCINT	P15
NA	VCCINT	P17
NA	VCCINT	P19
NA	VCCINT	P21
NA	VCCINT	R10
NA	VCCINT	R12
NA	VCCINT	R16
NA	VCCINT	R22
NA	VCCINT	T11
NA	VCCINT	T15
NA	VCCINT	T19
NA	VCCINT	T23
NA	VCCINT	U10
NA	VCCINT	U12
NA	VCCINT	U22
NA	VCCINT	V11
NA	VCCINT	V15
NA	VCCINT	V19
NA	VCCINT	W10
NA	VCCINT	W12
NA	VCCINT	W22
NA	VCCINT	Y9
NA	VCCINT	Y11
NA	VCCINT	Y15

Bank	管脚描述	引出端序号
NA	VCCINT	Y17
NA	VCCINT	Y19
NA	VCCINT	Y23
NA	VCCAUX	AB13
NA	VCCAUX	AB21
NA	VCCAUX	T13
NA	VCCAUX	T21
NA	VCCAUX	V13
NA	VCCAUX	V21
NA	VCCAUX	Y13
NA	VCCAUX	Y21
NA	VCCAUX_IO_G0	AC20
NA	VCCAUX_IO_G0	AA20
NA	VCCAUX_IO_G0	W20
NA	VCCAUX_IO_G1	U20
NA	VCCAUX_IO_G1	R20
NA	VCCAUX_IO_G1	N20
NA	VCCAUX_IO_G2	AC14
NA	VCCAUX_IO_G2	AA14
NA	VCCAUX_IO_G2	W14
NA	VCCAUX_IO_G3	U14
NA	VCCAUX_IO_G3	R14
NA	VCCAUX_IO_G3	N14
0	VCCO_0	AB9
0	VCCO_0	W8
14	VCCO_14	AG24
14	VCCO_14	AJ28
14	VCCO_14	AL32
14	VCCO_14	AM29
14	VCCO_14	AN26
14	VCCO_14	AP34
15	VCCO_15	AC26
15	VCCO_15	AD23
15	VCCO_15	AD33
15	VCCO_15	AE30
15	VCCO_15	AF27
15	VCCO_15	AG34
15	VCCO_15	AH31
16	VCCO_16	AA32
16	VCCO_16	AB29
16	VCCO_16	U24
16	VCCO_16	V31
16	VCCO_16	W28
16	VCCO_16	Y25

Bank	管脚描述	引出端序号
17	VCCO_17	N26
17	VCCO_17	P23
17	VCCO_17	P33
17	VCCO_17	R30
17	VCCO_17	T27
17	VCCO_17	U34
18	VCCO_18	G34
18	VCCO_18	H31
18	VCCO_18	J28
18	VCCO_18	K25
18	VCCO_18	L22
18	VCCO_18	L32
18	VCCO_18	M29
19	VCCO_19	A32
19	VCCO_19	B29
19	VCCO_19	C26
19	VCCO_19	D33
19	VCCO_19	E30
19	VCCO_19	F27
19	VCCO_19	G24
34	VCCO_34	AD13
34	VCCO_34	AE10
34	VCCO_34	AH11
34	VCCO_34	AJ8
34	VCCO_34	AL12
34	VCCO_34	AM9
34	VCCO_34	AP13
35	VCCO_35	AC16
35	VCCO_35	AF17
35	VCCO_35	AG14
35	VCCO_35	AJ18
35	VCCO_35	AK15
35	VCCO_35	AN16
36	VCCO_36	AE20
36	VCCO_36	AH21
36	VCCO_36	AK25
36	VCCO_36	AL22
36	VCCO_36	AM19
36	VCCO_36	AP23
37	VCCO_37	A22
37	VCCO_37	B19
37	VCCO_37	D23
37	VCCO_37	E20
37	VCCO_37	H21

Bank	管脚描述	引出端序号
37	VCCO_37	J18
37	VCCO_37	M19
38	VCCO_38	A12
38	VCCO_38	C16
38	VCCO_38	D13
38	VCCO_38	F17
38	VCCO_38	G14
38	VCCO_38	K15
39	VCCO_39	B9
39	VCCO_39	E10
39	VCCO_39	H11
39	VCCO_39	J8
39	VCCO_39	L12
39	VCCO_39	M9
NA	NC	R7
NA	NC	R8

附录A.3

FFG1761 封装器件的引出端及功能说明如表 A.3 所示。

表 A.3 FFG1761 封装器件引出端及功能描述

Bank	管脚描述	引出端序号
0	DXN_0	AC20
0	VCCADC_0	Y21
0	GNDADC_0	Y20
0	DXP_0	AC21
0	VREFN_0	AA20
0	VREFP_0	AB21
0	VP_0	AA21
0	VN_0	AB20
0	VCCBATT_0	N11
0	CCLK_0	N10
0	TCK_0	P10
0	TMS_0	P11
0	TDO_0	R10
0	TDI_0	T10
0	INIT_B_0	AG11
0	PROGRAM_B_0	AJ11
0	CFGBVS_0	AH10
0	DONE_0	AL11
0	M2_0	AJ10
0	M0_0	AL10
0	M1_0	AK10
12	IO_0_VRN_12	AN29
12	IO_L1P_T0_12	AY27
12	IO_L1N_T0_12	AY28
12	IO_L2P_T0_12	AU29
12	IO_L2N_T0_12	AV29
12	IO_L3P_T0_DQS_12	BA26
12	IO_L3N_T0_DQS_12	BA27
12	IO_L4P_T0_12	BB28
12	IO_L4N_T0_12	BB29
12	IO_L5P_T0_12	BB26
12	IO_L5N_T0_12	BB27
12	IO_L6P_T0_12	AY29
12	IO_L6N_T0_VREF_12	BA29
12	IO_L7P_T1_12	AW25
12	IO_L7N_T1_12	AW26
12	IO_L8P_T1_12	AR29
12	IO_L8N_T1_12	AT29
12	IO_L9P_T1_DQS_12	AV25
12	IO_L9N_T1_DQS_12	AV26

Bank	管脚描述	引出端序号
12	IO L10P T1 12	AW27
12	IO L10N T1 12	AW28
12	IO L11P T1 SRCC 12	AU28
12	IO L11N T1 SRCC 12	AV28
12	IO L12P T1 MRCC 12	AU26
12	IO L12N T1 MRCC 12	AU27
12	IO L13P T2 MRCC 12	AR27
12	IO L13N T2 MRCC 12	AT27
12	IO L14P T2 SRCC 12	AP27
12	IO L14N T2 SRCC 12	AR28
12	IO L15P T2 DQS 12	AN28
12	IO L15N T2 DQS 12	AP28
12	IO L16P T2 12	AT25
12	IO L16N T2 12	AT26
12	IO L17P T2 12	AP25
12	IO L17N T2 12	AR25
12	IO L18P T2 12	AN25
12	IO L18N T2 12	AN26
12	IO L19P T3 12	AM28
12	IO L19N T3 VREF 12	AM29
12	IO L20P T3 12	AK27
12	IO L20N T3 12	AL27
12	IO L21P T3 DQS 12	AM26
12	IO L21N T3 DQS 12	AM27
12	IO L22P T3 12	AK24
12	IO L22N T3 12	AK25
12	IO L23P T3 12	AL25
12	IO L23N T3 12	AL26
12	IO L24P T3 12	AJ25
12	IO L24N T3 12	AJ26
12	IO 25 VRP 12	AP26
13	IO 0 VRN 13	AR35
13	IO L1P T0 13	AY34
13	IO L1N T0 13	BA35
13	IO L2P T0 13	AV36
13	IO L2N T0 13	AW36
13	IO L3P T0 DQS 13	BA34
13	IO L3N T0 DQS 13	BB34
13	IO L4P T0 13	BA36
13	IO L4N T0 13	BB36
13	IO L5P T0 13	BB32
13	IO L5N T0 13	BB33
13	IO L6P T0 13	AW35
13	IO L6N T0 VREF 13	AY35

Bank	管脚描述	引出端序号
13	IO L7P T1 13	AT34
13	IO L7N T1 13	AU34
13	IO L8P T1 13	AT36
13	IO L8N T1 13	AU36
13	IO L9P T1 DQS 13	AT32
13	IO L9N T1 DQS 13	AU33
13	IO L10P T1 13	AR34
13	IO L10N T1 13	AT35
13	IO L11P T1 SRCC 13	AU32
13	IO L11N T1 SRCC 13	AV33
13	IO L12P T1 MRCC 13	AW32
13	IO L12N T1 MRCC 13	AW33
13	IO L13P T2 MRCC 13	AV34
13	IO L13N T2 MRCC 13	AV35
13	IO L14P T2 SRCC 13	AY32
13	IO L14N T2 SRCC 13	AY33
13	IO L15P T2 DQS 13	BA31
13	IO L15N T2 DQS 13	BA32
13	IO L16P T2 13	AW30
13	IO L16N T2 13	AY30
13	IO L17P T2 13	BA30
13	IO L17N T2 13	BB31
13	IO L18P T2 13	AV30
13	IO L18N T2 13	AW31
13	IO L19P T3 13	AR30
13	IO L19N T3 VREF 13	AT30
13	IO L20P T3 13	AU31
13	IO L20N T3 13	AV31
13	IO L21P T3 DQS 13	AN30
13	IO L21N T3 DQS 13	AP30
13	IO L22P T3 13	AP32
13	IO L22N T3 13	AR32
13	IO L23P T3 13	AN31
13	IO L23N T3 13	AP31
13	IO L24P T3 13	AP33
13	IO L24N T3 13	AR33
13	IO 25 VRP 13	AT31
14	IO 0 VRN 14	AH35
14	IO L1P T0 D00 MOSI 14	AM36
14	IO L1N T0 D01 DIN 14	AN36
14	IO L2P T0 D02 14	AJ36
14	IO L2N T0 D03 14	AJ37
14	IO L3P T0 DQS PUDC B 14	AP36
14	IO L3N T0 DQS EMCCLK 14	AP37

Bank	管脚描述	引出端序号
14	IO L4P T0 D04 14	AK37
14	IO L4N T0 D05 14	AL37
14	IO L5P T0 D06 14	AN35
14	IO L5N T0 D07 14	AP35
14	IO L6P T0 FCS B 14	AL36
14	IO L6N T0 D08 VREF 14	AM37
14	IO L7P T1 D09 14	AG33
14	IO L7N T1 D10 14	AH33
14	IO L8P T1 D11 14	AK35
14	IO L8N T1 D12 14	AL35
14	IO L9P T1 DQS 14	AH31
14	IO L9N T1 DQS D13 14	AJ31
14	IO L10P T1 D14 14	AH34
14	IO L10N T1 D15 14	AJ35
14	IO L11P T1 SRCC 14	AJ33
14	IO L11N T1 SRCC 14	AK33
14	IO L12P T1 MRCC 14	AK34
14	IO L12N T1 MRCC 14	AL34
14	IO L13P T2 MRCC 14	AJ32
14	IO L13N T2 MRCC 14	AK32
14	IO L14P T2 SRCC 14	AL31
14	IO L14N T2 SRCC 14	AL32
14	IO L15P T2 DQS RDWR B 14	AM34
14	IO L15N T2 DQS DOUT CSO B 1	AN34
14	IO L16P T2 CSI B 14	AM31
14	IO L16N T2 A15 D31 14	AM32
14	IO L17P T2 A14 D30 14	AM33
14	IO L17N T2 A13 D29 14	AN33
14	IO L18P T2 A12 D28 14	AL29
14	IO L18N T2 A11 D27 14	AL30
14	IO L19P T3 A10 D26 14	AH29
14	IO L19N T3 A09 D25 VREF 14	AH30
14	IO L20P T3 A08 D24 14	AJ30
14	IO L20N T3 A07 D23 14	AK30
14	IO L21P T3 DQS 14	AF29
14	IO L21N T3 DQS A06 D22 14	AG29
14	IO L22P T3 A05 D21 14	AK28
14	IO L22N T3 A04 D20 14	AK29
14	IO L23P T3 A03 D19 14	AF30
14	IO L23N T3 A02 D18 14	AG31
14	IO L24P T3 A01 D17 14	AH28
14	IO L24N T3 A00 D16 14	AJ28
14	IO 25 VRP 14	AG32
15	IO 0 VRN 15	AM38

Bank	管脚描述	引出端序号
15	IO L1P T0 AD0P 15	AN38
15	IO L1N T0 AD0N 15	AP38
15	IO L2P T0 AD8P 15	AM41
15	IO L2N T0 AD8N 15	AM42
15	IO L3P T0 DQS AD1P 15	AR38
15	IO L3N T0 DQS AD1N 15	AR39
15	IO L4P T0 15	AN40
15	IO L4N T0 15	AN41
15	IO L5P T0 AD9P 15	AR37
15	IO L5N T0 AD9N 15	AT37
15	IO L6P T0 15	AM39
15	IO L6N T0 VREF 15	AN39
15	IO L7P T1 AD2P 15	AP40
15	IO L7N T1 AD2N 15	AR40
15	IO L8P T1 AD10P 15	AP41
15	IO L8N T1 AD10N 15	AP42
15	IO L9P T1 DQS AD3P 15	AT39
15	IO L9N T1 DQS AD3N 15	AT40
15	IO L10P T1 AD11P 15	AR42
15	IO L10N T1 AD11N 15	AT42
15	IO L11P T1 SRCC 15	AU39
15	IO L11N T1 SRCC 15	AV39
15	IO L12P T1 MRCC 15	AU38
15	IO L12N T1 MRCC 15	AV38
15	IO L13P T2 MRCC 15	AV40
15	IO L13N T2 MRCC 15	AW40
15	IO L14P T2 SRCC 15	AY39
15	IO L14N T2 SRCC 15	AY40
15	IO L15P T2 DQS 15	AW37
15	IO L15N T2 DQS ADV B 15	AY37
15	IO L16P T2 A28 15	BA37
15	IO L16N T2 A27 15	BB37
15	IO L17P T2 A26 15	AW38
15	IO L17N T2 A25 15	AY38
15	IO L18P T2 A24 15	BB38
15	IO L18N T2 A23 15	BB39
15	IO L19P T3 A22 15	BA39
15	IO L19N T3 A21 VREF 15	BA40
15	IO L20P T3 A20 15	AT41
15	IO L20N T3 A19 15	AU42
15	IO L21P T3 DQS 15	AY42
15	IO L21N T3 DQS A18 15	BA42
15	IO L22P T3 A17 15	AU41
15	IO L22N T3 A16 15	AV41

Bank	管脚描述	引出端序号
15	IO L23P T3 FOE B 15	BA41
15	IO L23N T3 FWE B 15	BB41
15	IO L24P T3 RS1 15	AW41
15	IO L24N T3 RS0 15	AW42
15	IO 25 VRP 15	AU37
16	IO 0 VRN 16	Y34
16	IO L1P T0 16	AF35
16	IO L1N T0 16	AF36
16	IO L2P T0 16	AE37
16	IO L2N T0 16	AF37
16	IO L3P T0 DQS 16	AF34
16	IO L3N T0 DQS 16	AG34
16	IO L4P T0 16	AD36
16	IO L4N T0 16	AD37
16	IO L5P T0 16	AC35
16	IO L5N T0 16	AC36
16	IO L6P T0 16	AG36
16	IO L6N T0 VREF 16	AH36
16	IO L7P T1 16	Y37
16	IO L7N T1 16	AA37
16	IO L8P T1 16	Y35
16	IO L8N T1 16	AA36
16	IO L9P T1 DQS 16	AB36
16	IO L9N T1 DQS 16	AB37
16	IO L10P T1 16	AA34
16	IO L10N T1 16	AA35
16	IO L11P T1 SRCC 16	AB31
16	IO L11N T1 SRCC 16	AB32
16	IO L12P T1 MRCC 16	AB33
16	IO L12N T1 MRCC 16	AC33
16	IO L13P T2 MRCC 16	AD32
16	IO L13N T2 MRCC 16	AD33
16	IO L14P T2 SRCC 16	AC34
16	IO L14N T2 SRCC 16	AD35
16	IO L15P T2 DQS 16	AE32
16	IO L15N T2 DQS 16	AE33
16	IO L16P T2 16	AF31
16	IO L16N T2 16	AF32
16	IO L17P T2 16	AE34
16	IO L17N T2 16	AE35
16	IO L18P T2 16	AE29
16	IO L18N T2 16	AE30
16	IO L19P T3 16	Y32
16	IO L19N T3 VREF 16	Y33

Bank	管脚描述	引出端序号
16	IO_L20P_T3_16	AC31
16	IO_L20N_T3_16	AD31
16	IO_L21P_T3_DQS_16	AA31
16	IO_L21N_T3_DQS_16	AA32
16	IO_L22P_T3_16	AC30
16	IO_L22N_T3_16	AD30
16	IO_L23P_T3_16	AA29
16	IO_L23N_T3_16	AA30
16	IO_L24P_T3_16	AB29
16	IO_L24N_T3_16	AC29
16	IO_25_VRP_16	AB34
17	IO_0_VRN_17	Y38
17	IO_L1P_T0_17	AB41
17	IO_L1N_T0_17	AB42
17	IO_L2P_T0_17	W40
17	IO_L2N_T0_17	Y40
17	IO_L3P_T0_DQS_17	Y39
17	IO_L3N_T0_DQS_17	AA39
17	IO_L4P_T0_17	Y42
17	IO_L4N_T0_17	AA42
17	IO_L5P_T0_17	AB38
17	IO_L5N_T0_17	AB39
17	IO_L6P_T0_17	AA40
17	IO_L6N_T0_VREF_17	AA41
17	IO_L7P_T1_17	AC38
17	IO_L7N_T1_17	AC39
17	IO_L8P_T1_17	AD42
17	IO_L8N_T1_17	AE42
17	IO_L9P_T1_DQS_17	AD38
17	IO_L9N_T1_DQS_17	AE38
17	IO_L10P_T1_17	AC40
17	IO_L10N_T1_17	AC41
17	IO_L11P_T1_SRCC_17	AE39
17	IO_L11N_T1_SRCC_17	AE40
17	IO_L12P_T1_MRCC_17	AD40
17	IO_L12N_T1_MRCC_17	AD41
17	IO_L13P_T2_MRCC_17	AF39
17	IO_L13N_T2_MRCC_17	AF40
17	IO_L14P_T2_SRCC_17	AF41
17	IO_L14N_T2_SRCC_17	AG41
17	IO_L15P_T2_DQS_17	AG39
17	IO_L15N_T2_DQS_17	AH39
17	IO_L16P_T2_17	AF42
17	IO_L16N_T2_17	AG42

Bank	管脚描述	引出端序号
17	IO L17P T2 17	AG38
17	IO L17N T2 17	AH38
17	IO L18P T2 17	AJ38
17	IO L18N T2 17	AK38
17	IO L19P T3 17	AK40
17	IO L19N T3 VREF 17	AL40
17	IO L20P T3 17	AH40
17	IO L20N T3 17	AH41
17	IO L21P T3 DQS 17	AL41
17	IO L21N T3 DQS 17	AL42
17	IO L22P T3 17	AJ40
17	IO L22N T3 17	AJ41
17	IO L23P T3 17	AK39
17	IO L23N T3 17	AL39
17	IO L24P T3 17	AJ42
17	IO L24N T3 17	AK42
17	IO 25 VRP 17	AG37
18	IO 0 VRN 18	N35
18	IO L1P T0 18	T34
18	IO L1N T0 18	R35
18	IO L2P T0 18	N33
18	IO L2N T0 18	N34
18	IO L3P T0 DQS 18	R33
18	IO L3N T0 DQS 18	R34
18	IO L4P T0 18	P35
18	IO L4N T0 18	P36
18	IO L5P T0 18	T32
18	IO L5N T0 18	R32
18	IO L6P T0 18	P32
18	IO L6N T0 VREF 18	P33
18	IO L7P T1 18	T36
18	IO L7N T1 18	R37
18	IO L8P T1 18	P37
18	IO L8N T1 18	P38
18	IO L9P T1 DQS 18	U34
18	IO L9N T1 DQS 18	T35
18	IO L10P T1 18	R38
18	IO L10N T1 18	R39
18	IO L11P T1 SRCC 18	U37
18	IO L11N T1 SRCC 18	U38
18	IO L12P T1 MRCC 18	U39
18	IO L12N T1 MRCC 18	T39
18	IO L13P T2 MRCC 18	U36
18	IO L13N T2 MRCC 18	T37

Bank	管脚描述	引出端序号
18	IO L14P T2 SRCC 18	V35
18	IO L14N T2 SRCC 18	V36
18	IO L15P T2 DQS 18	V33
18	IO L15N T2 DQS 18	V34
18	IO L16P T2 18	W36
18	IO L16N T2 18	W37
18	IO L17P T2 18	U32
18	IO L17N T2 18	U33
18	IO L18P T2 18	W32
18	IO L18N T2 18	W33
18	IO L19P T3 18	V39
18	IO L19N T3 VREF 18	V40
18	IO L20P T3 18	T40
18	IO L20N T3 18	T41
18	IO L21P T3 DQS 18	W41
18	IO L21N T3 DQS 18	W42
18	IO L22P T3 18	U41
18	IO L22N T3 18	T42
18	IO L23P T3 18	W38
18	IO L23N T3 18	V38
18	IO L24P T3 18	V41
18	IO L24N T3 18	U42
18	IO 25 VRP 18	W35
19	IO 0 VRN 19	L36
19	IO L1P T0 19	E40
19	IO L1N T0 19	D40
19	IO L2P T0 19	A40
19	IO L2N T0 19	A41
19	IO L3P T0 DQS 19	D41
19	IO L3N T0 DQS 19	D42
19	IO L4P T0 19	B41
19	IO L4N T0 19	B42
19	IO L5P T0 19	F42
19	IO L5N T0 19	E42
19	IO L6P T0 19	C40
19	IO L6N T0 VREF 19	C41
19	IO L7P T1 19	H40
19	IO L7N T1 19	H41
19	IO L8P T1 19	H39
19	IO L8N T1 19	G39
19	IO L9P T1 DQS 19	G41
19	IO L9N T1 DQS 19	G42
19	IO L10P T1 19	F40
19	IO L10N T1 19	F41

Bank	管脚描述	引出端序号
19	IO L11P T1 SRCC 19	J40
19	IO L11N T1 SRCC 19	J41
19	IO L12P T1 MRCC 19	K39
19	IO L12N T1 MRCC 19	K40
19	IO L13P T2 MRCC 19	L39
19	IO L13N T2 MRCC 19	L40
19	IO L14P T2 SRCC 19	M41
19	IO L14N T2 SRCC 19	L41
19	IO L15P T2 DQS 19	K42
19	IO L15N T2 DQS 19	J42
19	IO L16P T2 19	M42
19	IO L16N T2 19	L42
19	IO L17P T2 19	K37
19	IO L17N T2 19	K38
19	IO L18P T2 19	M36
19	IO L18N T2 19	L37
19	IO L19P T3 19	P41
19	IO L19N T3 VREF 19	N41
19	IO L20P T3 19	M37
19	IO L20N T3 19	M38
19	IO L21P T3 DQS 19	R42
19	IO L21N T3 DQS 19	P42
19	IO L22P T3 19	N38
19	IO L22N T3 19	M39
19	IO L23P T3 19	R40
19	IO L23N T3 19	P40
19	IO L24P T3 19	N39
19	IO L24N T3 19	N40
19	IO 25 VRP 19	N36
31	IO 0 VRN 31	AM14
31	IO L1P T0 31	AJ16
31	IO L1N T0 31	AJ15
31	IO L2P T0 31	AK14
31	IO L2N T0 31	AK13
31	IO L3P T0 DQS 31	AK15
31	IO L3N T0 DQS 31	AL14
31	IO L4P T0 31	AJ13
31	IO L4N T0 31	AJ12
31	IO L5P T0 31	AL16
31	IO L5N T0 31	AL15
31	IO L6P T0 31	AK12
31	IO L6N T0 VREF 31	AL12
31	IO L7P T1 31	AM13
31	IO L7N T1 31	AN13

Bank	管脚描述	引出端序号
31	IO L8P T1 31	AM12
31	IO L8N T1 31	AM11
31	IO L9P T1 DQS 31	AN15
31	IO L9N T1 DQS 31	AN14
31	IO L10P T1 31	AN11
31	IO L10N T1 31	AP11
31	IO L11P T1 SRCC 31	AR14
31	IO L11N T1 SRCC 31	AT14
31	IO L12P T1 MRCC 31	AP13
31	IO L12N T1 MRCC 31	AR13
31	IO L13P T2 MRCC 31	AU14
31	IO L13N T2 MRCC 31	AU13
31	IO L14P T2 SRCC 31	AV13
31	IO L14N T2 SRCC 31	AW13
31	IO L15P T2 DQS 31	AP12
31	IO L15N T2 DQS 31	AR12
31	IO L16P T2 31	AR15
31	IO L16N T2 31	AT15
31	IO L17P T2 31	AT12
31	IO L17N T2 31	AU12
31	IO L18P T2 31	AV15
31	IO L18N T2 31	AV14
31	IO L19P T3 31	AW15
31	IO L19N T3 VREF 31	AY15
31	IO L20P T3 31	AW12
31	IO L20N T3 31	AY12
31	IO L21P T3 DQS 31	BA15
31	IO L21N T3 DQS 31	BA14
31	IO L22P T3 31	AY14
31	IO L22N T3 31	AY13
31	IO L23P T3 31	BB14
31	IO L23N T3 31	BB13
31	IO L24P T3 31	BA12
31	IO L24N T3 31	BB12
31	IO 25 VRP 31	AP15
32	IO 0 VRN 32	AR20
32	IO L1P T0 32	AL19
32	IO L1N T0 32	AM19
32	IO L2P T0 32	AK17
32	IO L2N T0 32	AL17
32	IO L3P T0 DQS 32	AM18
32	IO L3N T0 DQS 32	AM17
32	IO L4P T0 32	AK19
32	IO L4N T0 32	AK18

Bank	管脚描述	引出端序号
32	IO L5P T0 32	AM16
32	IO L5N T0 32	AN16
32	IO L6P T0 32	AJ18
32	IO L6N T0 VREF 32	AJ17
32	IO L7P T1 32	AP18
32	IO L7N T1 32	AP17
32	IO L8P T1 32	AP20
32	IO L8N T1 32	AR19
32	IO L9P T1 DQS 32	AN19
32	IO L9N T1 DQS 32	AN18
32	IO L10P T1 32	AR18
32	IO L10N T1 32	AR17
32	IO L11P T1 SRCC 32	AU18
32	IO L11N T1 SRCC 32	AV18
32	IO L12P T1 MRCC 32	AT17
32	IO L12N T1 MRCC 32	AU17
32	IO L13P T2 MRCC 32	AY18
32	IO L13N T2 MRCC 32	AY17
32	IO L14P T2 SRCC 32	AW18
32	IO L14N T2 SRCC 32	AW17
32	IO L15P T2 DQS 32	AU19
32	IO L15N T2 DQS 32	AV19
32	IO L16P T2 32	AT20
32	IO L16N T2 32	AT19
32	IO L17P T2 32	AV16
32	IO L17N T2 32	AW16
32	IO L18P T2 32	AT16
32	IO L18N T2 32	AU16
32	IO L19P T3 32	BB19
32	IO L19N T3 VREF 32	BB18
32	IO L20P T3 32	AV20
32	IO L20N T3 32	AW20
32	IO L21P T3 DQS 32	BA17
32	IO L21N T3 DQS 32	BB17
32	IO L22P T3 32	AY20
32	IO L22N T3 32	BA20
32	IO L23P T3 32	BA16
32	IO L23N T3 32	BB16
32	IO L24P T3 32	AY19
32	IO L24N T3 32	BA19
32	IO 25 VRP 32	AP16
33	IO 0 VRN 33	AL24
33	IO L1P T0 33	AJ23
33	IO L1N T0 33	AK23

Bank	管脚描述	引出端序号
33	IO L2P T0 33	AK20
33	IO L2N T0 33	AL20
33	IO L3P T0 DQS 33	AJ22
33	IO L3N T0 DQS 33	AK22
33	IO L4P T0 33	AL21
33	IO L4N T0 33	AM21
33	IO L5P T0 33	AJ21
33	IO L5N T0 33	AJ20
33	IO L6P T0 33	AL22
33	IO L6N T0 VREF 33	AM22
33	IO L7P T1 33	AM24
33	IO L7N T1 33	AN24
33	IO L8P T1 33	AM23
33	IO L8N T1 33	AN23
33	IO L9P T1 DQS 33	AP23
33	IO L9N T1 DQS 33	AP22
33	IO L10P T1 33	AN21
33	IO L10N T1 33	AP21
33	IO L11P T1 SRCC 33	AR23
33	IO L11N T1 SRCC 33	AR22
33	IO L12P T1 MRCC 33	AT22
33	IO L12N T1 MRCC 33	AU22
33	IO L13P T2 MRCC 33	AU23
33	IO L13N T2 MRCC 33	AV23
33	IO L14P T2 SRCC 33	AW23
33	IO L14N T2 SRCC 33	AW22
33	IO L15P T2 DQS 33	AT21
33	IO L15N T2 DQS 33	AU21
33	IO L16P T2 33	AR24
33	IO L16N T2 33	AT24
33	IO L17P T2 33	AV21
33	IO L17N T2 33	AW21
33	IO L18P T2 33	AU24
33	IO L18N T2 33	AV24
33	IO L19P T3 33	AY23
33	IO L19N T3 VREF 33	AY22
33	IO L20P T3 33	AY25
33	IO L20N T3 33	BA25
33	IO L21P T3 DQS 33	BA22
33	IO L21N T3 DQS 33	BB22
33	IO L22P T3 33	AY24
33	IO L22N T3 33	BA24
33	IO L23P T3 33	BA21
33	IO L23N T3 33	BB21

Bank	管脚描述	引出端序号
33	IO L24P T3 33	BB24
33	IO L24N T3 33	BB23
33	IO 25 VRP 33	AN20
34	IO 0 VRN 34	R29
34	IO L1P T0 34	K35
34	IO L1N T0 34	J35
34	IO L2P T0 34	J32
34	IO L2N T0 34	J33
34	IO L3P T0 DQS 34	K33
34	IO L3N T0 DQS 34	K34
34	IO L4P T0 34	L34
34	IO L4N T0 34	L35
34	IO L5P T0 34	M33
34	IO L5N T0 34	M34
34	IO L6P T0 34	H34
34	IO L6N T0 VREF 34	H35
34	IO L7P T1 34	K29
34	IO L7N T1 34	K30
34	IO L8P T1 34	J30
34	IO L8N T1 34	H30
34	IO L9P T1 DQS 34	L29
34	IO L9N T1 DQS 34	L30
34	IO L10P T1 34	J31
34	IO L10N T1 34	H31
34	IO L11P T1 SRCC 34	M32
34	IO L11N T1 SRCC 34	L32
34	IO L12P T1 MRCC 34	L31
34	IO L12N T1 MRCC 34	K32
34	IO L13P T2 MRCC 34	N30
34	IO L13N T2 MRCC 34	M31
34	IO L14P T2 SRCC 34	P30
34	IO L14N T2 SRCC 34	N31
34	IO L15P T2 DQS 34	M28
34	IO L15N T2 DQS 34	M29
34	IO L16P T2 34	R28
34	IO L16N T2 34	P28
34	IO L17P T2 34	N28
34	IO L17N T2 34	N29
34	IO L18P T2 34	R30
34	IO L18N T2 34	P31
34	IO L19P T3 34	U31
34	IO L19N T3 VREF 34	T31
34	IO L20P T3 34	V30
34	IO L20N T3 34	V31

Bank	管脚描述	引出端序号
34	IO L21P T3 DQS 34	T29
34	IO L21N T3 DQS 34	T30
34	IO L22P T3 34	W30
34	IO L22N T3 34	W31
34	IO L23P T3 34	V29
34	IO L23N T3 34	U29
34	IO L24P T3 34	Y29
34	IO L24N T3 34	Y30
34	IO 25 VRP 34	U28
35	IO 0 VRN 35	G31
35	IO L1P T0 AD4P 35	B36
35	IO L1N T0 AD4N 35	A37
35	IO L2P T0 AD12P 35	B34
35	IO L2N T0 AD12N 35	A34
35	IO L3P T0 DQS AD5P 35	B39
35	IO L3N T0 DQS AD5N 35	A39
35	IO L4P T0 35	A35
35	IO L4N T0 35	A36
35	IO L5P T0 AD13P 35	C38
35	IO L5N T0 AD13N 35	C39
35	IO L6P T0 35	B37
35	IO L6N T0 VREF 35	B38
35	IO L7P T1 AD6P 35	E32
35	IO L7N T1 AD6N 35	D32
35	IO L8P T1 AD14P 35	B32
35	IO L8N T1 AD14N 35	B33
35	IO L9P T1 DQS AD7P 35	E33
35	IO L9N T1 DQS AD7N 35	D33
35	IO L10P T1 AD15P 35	C33
35	IO L10N T1 AD15N 35	C34
35	IO L11P T1 SRCC 35	D35
35	IO L11N T1 SRCC 35	D36
35	IO L12P T1 MRCC 35	C35
35	IO L12N T1 MRCC 35	C36
35	IO L13P T2 MRCC 35	E34
35	IO L13N T2 MRCC 35	E35
35	IO L14P T2 SRCC 35	D37
35	IO L14N T2 SRCC 35	D38
35	IO L15P T2 DQS 35	G32
35	IO L15N T2 DQS 35	F32
35	IO L16P T2 35	F36
35	IO L16N T2 35	F37
35	IO L17P T2 35	F34
35	IO L17N T2 35	F35

Bank	管脚描述	引出端序号
35	IO L18P T2 35	H33
35	IO L18N T2 35	G33
35	IO L19P T3 35	E37
35	IO L19N T3 VREF 35	E38
35	IO L20P T3 35	G36
35	IO L20N T3 35	G37
35	IO L21P T3 DQS 35	F39
35	IO L21N T3 DQS 35	E39
35	IO L22P T3 35	J37
35	IO L22N T3 35	J38
35	IO L23P T3 35	H38
35	IO L23N T3 35	G38
35	IO L24P T3 35	J36
35	IO L24N T3 35	H36
35	IO 25 VRP 35	G34
36	IO 0 VRN 36	M23
36	IO L1P T0 36	H24
36	IO L1N T0 36	G24
36	IO L2P T0 36	J21
36	IO L2N T0 36	H21
36	IO L3P T0 DQS 36	H25
36	IO L3N T0 DQS 36	H26
36	IO L4P T0 36	G21
36	IO L4N T0 36	G22
36	IO L5P T0 36	G26
36	IO L5N T0 36	G27
36	IO L6P T0 36	H23
36	IO L6N T0 VREF 36	G23
36	IO L7P T1 36	G28
36	IO L7N T1 36	G29
36	IO L8P T1 36	K28
36	IO L8N T1 36	J28
36	IO L9P T1 DQS 36	H28
36	IO L9N T1 DQS 36	H29
36	IO L10P T1 36	K27
36	IO L10N T1 36	J27
36	IO L11P T1 SRCC 36	K24
36	IO L11N T1 SRCC 36	K25
36	IO L12P T1 MRCC 36	J25
36	IO L12N T1 MRCC 36	J26
36	IO L13P T2 MRCC 36	M24
36	IO L13N T2 MRCC 36	L24
36	IO L14P T2 SRCC 36	K23
36	IO L14N T2 SRCC 36	J23

Bank	管脚描述	引出端序号
36	IO L15P T2 DQS 36	M22
36	IO L15N T2 DQS 36	L22
36	IO L16P T2 36	L25
36	IO L16N T2 36	L26
36	IO L17P T2 36	K22
36	IO L17N T2 36	J22
36	IO L18P T2 36	M21
36	IO L18N T2 36	L21
36	IO L19P T3 36	P21
36	IO L19N T3 VREF 36	N21
36	IO L20P T3 36	P25
36	IO L20N T3 36	P26
36	IO L21P T3 DQS 36	P22
36	IO L21N T3 DQS 36	P23
36	IO L22P T3 36	N25
36	IO L22N T3 36	N26
36	IO L23P T3 36	N23
36	IO L23N T3 36	N24
36	IO L24P T3 36	M27
36	IO L24N T3 36	L27
36	IO 25 VRP 36	M26
37	IO 0 VRN 37	F21
37	IO L1P T0 37	A24
37	IO L1N T0 37	A25
37	IO L2P T0 37	B22
37	IO L2N T0 37	A22
37	IO L3P T0 DQS 37	A26
37	IO L3N T0 DQS 37	A27
37	IO L4P T0 37	C23
37	IO L4N T0 37	B23
37	IO L5P T0 37	B26
37	IO L5N T0 37	B27
37	IO L6P T0 37	C24
37	IO L6N T0 VREF 37	B24
37	IO L7P T1 37	E23
37	IO L7N T1 37	E24
37	IO L8P T1 37	F22
37	IO L8N T1 37	E22
37	IO L9P T1 DQS 37	F25
37	IO L9N T1 DQS 37	E25
37	IO L10P T1 37	D22
37	IO L10N T1 37	D23
37	IO L11P T1 SRCC 37	D25
37	IO L11N T1 SRCC 37	D26

Bank	管脚描述	引出端序号
37	IO L12P T1 MRCC 37	C25
37	IO L12N T1 MRCC 37	C26
37	IO L13P T2 MRCC 37	D27
37	IO L13N T2 MRCC 37	D28
37	IO L14P T2 SRCC 37	C28
37	IO L14N T2 SRCC 37	C29
37	IO L15P T2 DQS 37	B28
37	IO L15N T2 DQS 37	B29
37	IO L16P T2 37	A31
37	IO L16N T2 37	A32
37	IO L17P T2 37	A29
37	IO L17N T2 37	A30
37	IO L18P T2 37	C31
37	IO L18N T2 37	B31
37	IO L19P T3 37	E30
37	IO L19N T3 VREF 37	D31
37	IO L20P T3 37	D30
37	IO L20N T3 37	C30
37	IO L21P T3 DQS 37	E27
37	IO L21N T3 DQS 37	E28
37	IO L22P T3 37	F29
37	IO L22N T3 37	E29
37	IO L23P T3 37	F26
37	IO L23N T3 37	F27
37	IO L24P T3 37	F30
37	IO L24N T3 37	F31
37	IO 25 VRP 37	F24
38	IO 0 VRN 38	K18
38	IO L1P T0 38	C19
38	IO L1N T0 38	B19
38	IO L2P T0 38	A16
38	IO L2N T0 38	A15
38	IO L3P T0 DQS 38	A20
38	IO L3N T0 DQS 38	A19
38	IO L4P T0 38	B17
38	IO L4N T0 38	A17
38	IO L5P T0 38	B21
38	IO L5N T0 38	A21
38	IO L6P T0 38	C18
38	IO L6N T0 VREF 38	B18
38	IO L7P T1 38	D20
38	IO L7N T1 38	C20
38	IO L8P T1 38	F17
38	IO L8N T1 38	E17

Bank	管脚描述	引出端序号
38	IO L9P T1 DQS 38	D21
38	IO L9N T1 DQS 38	C21
38	IO L10P T1 38	D18
38	IO L10N T1 38	D17
38	IO L11P T1 SRCC 38	G19
38	IO L11N T1 SRCC 38	F19
38	IO L12P T1 MRCC 38	E19
38	IO L12N T1 MRCC 38	E18
38	IO L13P T2 MRCC 38	H19
38	IO L13N T2 MRCC 38	G18
38	IO L14P T2 SRCC 38	K19
38	IO L14N T2 SRCC 38	J18
38	IO L15P T2 DQS 38	F20
38	IO L15N T2 DQS 38	E20
38	IO L16P T2 38	K17
38	IO L16N T2 38	J17
38	IO L17P T2 38	J20
38	IO L17N T2 38	H20
38	IO L18P T2 38	H18
38	IO L18N T2 38	G17
38	IO L19P T3 38	P18
38	IO L19N T3 VREF 38	P17
38	IO L20P T3 38	M17
38	IO L20N T3 38	L17
38	IO L21P T3 DQS 38	N19
38	IO L21N T3 DQS 38	N18
38	IO L22P T3 38	M19
38	IO L22N T3 38	M18
38	IO L23P T3 38	P20
38	IO L23N T3 38	N20
38	IO L24P T3 38	L20
38	IO L24N T3 38	L19
38	IO 25 VRP 38	K20
39	IO 0 VRN 39	J16
39	IO L1P T0 39	C16
39	IO L1N T0 39	B16
39	IO L2P T0 39	B14
39	IO L2N T0 39	A14
39	IO L3P T0 DQS 39	C15
39	IO L3N T0 DQS 39	C14
39	IO L4P T0 39	D13
39	IO L4N T0 39	C13
39	IO L5P T0 39	D16
39	IO L5N T0 39	D15

Bank	管脚描述	引出端序号
39	IO L6P T0 39	E12
39	IO L6N T0 VREF 39	D12
39	IO L7P T1 39	F16
39	IO L7N T1 39	E15
39	IO L8P T1 39	E14
39	IO L8N T1 39	E13
39	IO L9P T1 DQS 39	H16
39	IO L9N T1 DQS 39	G16
39	IO L10P T1 39	G12
39	IO L10N T1 39	F12
39	IO L11P T1 SRCC 39	F15
39	IO L11N T1 SRCC 39	F14
39	IO L12P T1 MRCC 39	G14
39	IO L12N T1 MRCC 39	G13
39	IO L13P T2 MRCC 39	H15
39	IO L13N T2 MRCC 39	H14
39	IO L14P T2 SRCC 39	J13
39	IO L14N T2 SRCC 39	H13
39	IO L15P T2 DQS 39	K12
39	IO L15N T2 DQS 39	J12
39	IO L16P T2 39	K15
39	IO L16N T2 39	J15
39	IO L17P T2 39	K14
39	IO L17N T2 39	K13
39	IO L18P T2 39	L16
39	IO L18N T2 39	L15
39	IO L19P T3 39	L12
39	IO L19N T3 VREF 39	L11
39	IO L20P T3 39	M14
39	IO L20N T3 39	L14
39	IO L21P T3 DQS 39	N16
39	IO L21N T3 DQS 39	M16
39	IO L22P T3 39	N13
39	IO L22N T3 39	M13
39	IO L23P T3 39	N15
39	IO L23N T3 39	N14
39	IO L24P T3 39	M12
39	IO L24N T3 39	M11
39	IO 25 VRP 39	J11
111	MGHTXP3 111	AW2
111	MGTHRXP3 111	AW6
111	MGHTXN3 111	AW1
111	MGTHRXN3 111	AW5
111	MGHTXP2 111	AY4

Bank	管脚描述	引出端序号
111	MGTHRXP2_111	AY8
111	MGHTXN2_111	AY3
111	MGTREFCLK0P_111	AW10
111	MGTHRXN2_111	AY7
111	MGTREFCLK0N_111	AW9
111	MGTREFCLK1N_111	BA9
111	MGTREFCLK1P_111	BA10
111	MGHTXP1_111	BA2
111	MGTHRXP1_111	BA6
111	MGHTXN1_111	BA1
111	MGTHRXN1_111	BA5
111	MGHTXP0_111	BB4
111	MGTHRXP0_111	BB8
111	MGHTXN0_111	BB3
111	MGTHRXN0_111	BB7
112	MGHTXP3_112	AR2
112	MGTHRXP3_112	AP8
112	MGHTXN3_112	AR1
112	MGTHRXN3_112	AP7
112	MGHTXP2_112	AT4
112	MGTHRXP2_112	AR6
112	MGHTXN2_112	AT3
112	MGTREFCLK0P_112	AT8
112	MGTHRXN2_112	AR5
112	MGTREFCLK0N_112	AT7
112	MGTREFCLK1N_112	AU9
112	MGTREFCLK1P_112	AU10
112	MGHTXP1_112	AU2
112	MGTHRXP1_112	AU6
112	MGHTXN1_112	AU1
112	MGTHRXN1_112	AU5
112	MGHTXP0_112	AV4
112	MGTHRXP0_112	AV8
112	MGHTXN0_112	AV3
112	MGTHRXN0_112	AV7
113	MGHTXP3_113	AL2
113	MGTHRXP3_113	AJ6
113	MGHTXN3_113	AL1
113	MGTHRXN3_113	AJ5
113	MGHTXP2_113	AM4
113	MGTHRXP2_113	AL6
113	MGHTXN2_113	AM3
113	MGTREFCLK0P_113	AH8
113	MGTHRXN2_113	AL5

Bank	管脚描述	引出端序号
113	MGTREFCLK0N_113	AH7
113	MGTREFCLK1N_113	AK7
113	MGTREFCLK1P_113	AK8
113	MGHTTXP1_113	AN2
113	MGTHRXP1_113	AM8
113	MGHTTXN1_113	AN1
113	MGTHRXN1_113	AM7
113	MGHTTXP0_113	AP4
113	MGTHRXP0_113	AN6
113	MGHTTXN0_113	AP3
113	MGTHRXN0_113	AN5
114	MGHTTXP3_114	AG2
114	MGTHRXP3_114	AD4
114	MGHTTXN3_114	AG1
114	MGTHRXN3_114	AD3
114	MGHTTXP2_114	AH4
114	MGTHRXP2_114	AE6
114	MGHTTXN2_114	AH3
114	MGTREFCLK0P_114	AD8
114	MGTHRXN2_114	AE5
114	MGTREFCLK0N_114	AD7
114	MGTREFCLK1N_114	AF7
114	MGTREFCLK1P_114	AF8
114	MGHTTXP1_114	AJ2
114	MGTHRXP1_114	AF4
114	MGHTTXN1_114	AJ1
114	MGTHRXN1_114	AF3
114	MGHTTXP0_114	AK4
114	MGTHRXP0_114	AG6
114	MGHTTXN0_114	AK3
114	MGTHRXN0_114	AG5
115	MGHTTXP3_115	W2
115	MGTHRXP3_115	Y4
115	MGHTTXN3_115	W1
115	MGTHRXN3_115	Y3
115	MGHTTXP2_115	AA2
115	MGTHRXP2_115	AA6
115	MGHTTXN2_115	AA1
115	MGTREFCLK0P_115	Y8
115	MGTHRXN2_115	AA5
115	MGTAVTTRCAL_115	A12
115	MGTREFCLK0N_115	Y7
115	MGTREFCLK1N_115	B11
115	MGTREFCLK1P_115	AB7

Bank	管脚描述	引出端序号
115	MGTREFCLK1P_115	AB8
115	MGHTXP1_115	AC2
115	MGTHRXP1_115	AB4
115	MGHTTXN1_115	AC1
115	MGTHRXN1_115	AB3
115	MGHTXP0_115	AE2
115	MGTHRXP0_115	AC6
115	MGHTTXN0_115	AE1
115	MGTHRXN0_115	AC5
116	MGHTXP3_116	P4
116	MGTHRXP3_116	R6
116	MGHTTXN3_116	P3
116	MGTHRXN3_116	R5
116	MGHTXP2_116	R2
116	MGTHRXP2_116	U6
116	MGHTTXN2_116	R1
116	MGTREFCLK0P_116	T8
116	MGTHRXN2_116	U5
116	MGTREFCLK0N_116	T7
116	MGTREFCLK1N_116	V7
116	MGTREFCLK1P_116	V8
116	MGHTXP1_116	T4
116	MGTHRXP1_116	V4
116	MGHTTXN1_116	T3
116	MGTHRXN1_116	V3
116	MGHTXP0_116	U2
116	MGTHRXP0_116	W6
116	MGHTTXN0_116	U1
116	MGTHRXN0_116	W5
117	MGHTXP3_117	K4
117	MGTHRXP3_117	J6
117	MGHTTXN3_117	K3
117	MGTHRXN3_117	J5
117	MGHTXP2_117	L2
117	MGTHRXP2_117	L6
117	MGHTTXN2_117	L1
117	MGTREFCLK0P_117	K8
117	MGTHRXN2_117	L5
117	MGTREFCLK0N_117	K7
117	MGTREFCLK1N_117	M7
117	MGTREFCLK1P_117	M8
117	MGHTXP1_117	M4
117	MGTHRXP1_117	N6
117	MGHTTXN1_117	M3

Bank	管脚描述	引出端序号
117	MGTHRXN1_117	N5
117	MGHTXP0_117	N2
117	MGTHRXP0_117	P8
117	MGHTTXN0_117	N1
117	MGTHRXN0_117	P7
118	MGHTXP3_118	F4
118	MGTHRXP3_118	E6
118	MGHTTXN3_118	F3
118	MGTHRXN3_118	E5
118	MGHTXP2_118	G2
118	MGTHRXP2_118	F8
118	MGHTTXN2_118	G1
118	MGTREFCLK0P_118	E10
118	MGTHRXN2_118	F7
118	MGTREFCLK0N_118	E9
118	MGTREFCLK1N_118	G9
118	MGTREFCLK1P_118	G10
118	MGHTXP1_118	H4
118	MGTHRXP1_118	G6
118	MGHTTXN1_118	H3
118	MGTHRXN1_118	G5
118	MGHTXP0_118	J2
118	MGTHRXP0_118	H8
118	MGHTTXN0_118	J1
118	MGTHRXN0_118	H7
119	MGHTXP3_119	B4
119	MGTHRXP3_119	A6
119	MGHTTXN3_119	B3
119	MGTHRXN3_119	A5
119	MGHTXP2_119	C2
119	MGTHRXP2_119	B8
119	MGHTTXN2_119	C1
119	MGTREFCLK0P_119	A10
119	MGTHRXN2_119	B7
119	MGTREFCLK0N_119	A9
119	MGTREFCLK1N_119	C9
119	MGTREFCLK1P_119	C10
119	MGHTXP1_119	D4
119	MGTHRXP1_119	C6
119	MGHTTXN1_119	D3
119	MGTHRXN1_119	C5
119	MGHTXP0_119	E2
119	MGTHRXP0_119	D8
119	MGHTTXN0_119	E1

Bank	管脚描述	引出端序号
119	MGTHRXN0_119	D7
NA	MGTAVCC_G11	C8
NA	MGTAVCC_G11	E8
NA	MGTAVCC_G11	G8
NA	MGTAVCC_G11	J8
NA	MGTAVCC_G11	L8
NA	MGTAVCC_G10	AA8
NA	MGTAVCC_G10	AC8
NA	MGTAVCC_G10	AE8
NA	MGTAVCC_G10	AJ8
NA	MGTAVCC_G10	AL8
NA	MGTAVCC_G10	AN8
NA	MGTAVCC_G10	AR8
NA	MGTAVCC_G10	AU8
NA	MGTAVCC_G10	AW8
NA	MGTAVCC_G10	BA8
NA	MGTAVCC_G10	W8
NA	MGTAVTT_G11	B6
NA	MGTAVTT_G11	C4
NA	MGTAVTT_G11	D6
NA	MGTAVTT_G11	E4
NA	MGTAVTT_G11	F6
NA	MGTAVTT_G11	G4
NA	MGTAVTT_G11	H6
NA	MGTAVTT_G11	J4
NA	MGTAVTT_G11	L4
NA	MGTAVTT_G11	N4
NA	MGTAVTT_G11	P6
NA	MGTAVTT_G10	R4
NA	MGTAVTT_G10	W4
NA	MGTAVTT_G10	AA4
NA	MGTAVTT_G10	AC4
NA	MGTAVTT_G10	AE4
NA	MGTAVTT_G10	AJ4
NA	MGTAVTT_G10	AL4
NA	MGTAVTT_G10	AM6
NA	MGTAVTT_G10	AN4
NA	MGTAVTT_G10	AP6
NA	MGTAVTT_G10	AR4
NA	MGTAVTT_G10	AU4
NA	MGTAVTT_G10	AV6
NA	MGTAVTT_G10	AW4
NA	MGTAVTT_G10	AY6
NA	MGTAVTT_G10	BA4

Bank	管脚描述	引出端序号
NA	MGTVCCAUX_G11	N8
NA	MGTVCCAUX_G10	R8
NA	MGTVCCAUX_G10	U8
NA	GND	A2
NA	GND	A3
NA	GND	A4
NA	GND	A7
NA	GND	A8
NA	GND	A11
NA	GND	A13
NA	GND	A18
NA	GND	A28
NA	GND	A38
NA	GND	AA3
NA	GND	AA7
NA	GND	AA9
NA	GND	AA11
NA	GND	AA13
NA	GND	AA15
NA	GND	AA17
NA	GND	AA19
NA	GND	AA23
NA	GND	AA25
NA	GND	AA27
NA	GND	AA38
NA	GND	AB1
NA	GND	AB2
NA	GND	AB5
NA	GND	AB6
NA	GND	AB9
NA	GND	AB10
NA	GND	AB12
NA	GND	AB14
NA	GND	AB16
NA	GND	AB18
NA	GND	AB22
NA	GND	AB24
NA	GND	AB26
NA	GND	AB28
NA	GND	AB35
NA	GND	AC3
NA	GND	AC7
NA	GND	AC11
NA	GND	AC13

Bank	管脚描述	引出端序号
NA	GND	AC15
NA	GND	AC17
NA	GND	AC19
NA	GND	AC23
NA	GND	AC25
NA	GND	AC27
NA	GND	AC32
NA	GND	AC42
NA	GND	AD1
NA	GND	AD2
NA	GND	AD5
NA	GND	AD6
NA	GND	AD9
NA	GND	AD10
NA	GND	AD12
NA	GND	AD14
NA	GND	AD16
NA	GND	AD18
NA	GND	AD20
NA	GND	AD22
NA	GND	AD24
NA	GND	AD26
NA	GND	AD28
NA	GND	AD29
NA	GND	AD39
NA	GND	AE3
NA	GND	AE7
NA	GND	AE9
NA	GND	AE11
NA	GND	AE13
NA	GND	AE15
NA	GND	AE17
NA	GND	AE19
NA	GND	AE21
NA	GND	AE23
NA	GND	AE25
NA	GND	AE27
NA	GND	AE36
NA	GND	AF1
NA	GND	AF2
NA	GND	AF5
NA	GND	AF6
NA	GND	AF9
NA	GND	AF10

Bank	管脚描述	引出端序号
NA	GND	AF12
NA	GND	AF14
NA	GND	AF16
NA	GND	AF18
NA	GND	AF20
NA	GND	AF22
NA	GND	AF24
NA	GND	AF26
NA	GND	AF33
NA	GND	AG3
NA	GND	AG4
NA	GND	AG7
NA	GND	AG8
NA	GND	AG9
NA	GND	AG10
NA	GND	AG13
NA	GND	AG15
NA	GND	AG17
NA	GND	AG19
NA	GND	AG21
NA	GND	AG23
NA	GND	AG25
NA	GND	AG27
NA	GND	AG30
NA	GND	AG40
NA	GND	AH1
NA	GND	AH2
NA	GND	AH5
NA	GND	AH6
NA	GND	AH9
NA	GND	AH12
NA	GND	AH14
NA	GND	AH16
NA	GND	AH17
NA	GND	AH18
NA	GND	AH20
NA	GND	AH22
NA	GND	AH24
NA	GND	AH26
NA	GND	AH37
NA	GND	AJ3
NA	GND	AJ7
NA	GND	AJ9
NA	GND	AJ14

Bank	管脚描述	引出端序号
NA	GND	AJ24
NA	GND	AJ27
NA	GND	AJ34
NA	GND	AK1
NA	GND	AK2
NA	GND	AK5
NA	GND	AK6
NA	GND	AK9
NA	GND	AK11
NA	GND	AK21
NA	GND	AK31
NA	GND	AK41
NA	GND	AL3
NA	GND	AL7
NA	GND	AL9
NA	GND	AL18
NA	GND	AL28
NA	GND	AL38
NA	GND	AM1
NA	GND	AM2
NA	GND	AM5
NA	GND	AM9
NA	GND	AM10
NA	GND	AM15
NA	GND	AM25
NA	GND	AM35
NA	GND	AN3
NA	GND	AN7
NA	GND	AN9
NA	GND	AN10
NA	GND	AN12
NA	GND	AN22
NA	GND	AN32
NA	GND	AN42
NA	GND	AP1
NA	GND	AP2
NA	GND	AP5
NA	GND	AP9
NA	GND	AP10
NA	GND	AP19
NA	GND	AP29
NA	GND	AP39
NA	GND	AR3
NA	GND	AR7

Bank	管脚描述	引出端序号
NA	GND	AR9
NA	GND	AR10
NA	GND	AR16
NA	GND	AR26
NA	GND	AR36
NA	GND	AT1
NA	GND	AT2
NA	GND	AT5
NA	GND	AT6
NA	GND	AT9
NA	GND	AT10
NA	GND	AT11
NA	GND	AT13
NA	GND	AT23
NA	GND	AT33
NA	GND	AU3
NA	GND	AU7
NA	GND	AU11
NA	GND	AU20
NA	GND	AU30
NA	GND	AU40
NA	GND	AV1
NA	GND	AV2
NA	GND	AV5
NA	GND	AV9
NA	GND	AV10
NA	GND	AV11
NA	GND	AV17
NA	GND	AV27
NA	GND	AV37
NA	GND	AW3
NA	GND	AW7
NA	GND	AW11
NA	GND	AW14
NA	GND	AW24
NA	GND	AW34
NA	GND	AY1
NA	GND	AY2
NA	GND	AY5
NA	GND	AY9
NA	GND	AY10
NA	GND	AY11
NA	GND	AY21
NA	GND	AY31

Bank	管脚描述	引出端序号
NA	GND	AY41
NA	GND	B1
NA	GND	B2
NA	GND	B5
NA	GND	B9
NA	GND	B10
NA	GND	B12
NA	GND	B13
NA	GND	B15
NA	GND	B25
NA	GND	B35
NA	GND	BA3
NA	GND	BA7
NA	GND	BA11
NA	GND	BA18
NA	GND	BA28
NA	GND	BA38
NA	GND	BB2
NA	GND	BB5
NA	GND	BB6
NA	GND	BB9
NA	GND	BB10
NA	GND	BB11
NA	GND	BB15
NA	GND	BB25
NA	GND	BB35
NA	GND	C3
NA	GND	C7
NA	GND	C11
NA	GND	C12
NA	GND	C22
NA	GND	C32
NA	GND	C42
NA	GND	D1
NA	GND	D2
NA	GND	D5
NA	GND	D9
NA	GND	D10
NA	GND	D11
NA	GND	D19
NA	GND	D29
NA	GND	D39
NA	GND	E3
NA	GND	E7

Bank	管脚描述	引出端序号
NA	GND	E11
NA	GND	E16
NA	GND	E26
NA	GND	E36
NA	GND	F1
NA	GND	F2
NA	GND	F5
NA	GND	F9
NA	GND	F10
NA	GND	F11
NA	GND	F13
NA	GND	F23
NA	GND	F33
NA	GND	G3
NA	GND	G7
NA	GND	G11
NA	GND	G20
NA	GND	G30
NA	GND	G40
NA	GND	H1
NA	GND	H2
NA	GND	H5
NA	GND	H9
NA	GND	H10
NA	GND	H11
NA	GND	H17
NA	GND	H27
NA	GND	H37
NA	GND	J3
NA	GND	J7
NA	GND	J9
NA	GND	J10
NA	GND	J14
NA	GND	J24
NA	GND	J34
NA	GND	K1
NA	GND	K2
NA	GND	K5
NA	GND	K6
NA	GND	K9
NA	GND	K10
NA	GND	K11
NA	GND	K21
NA	GND	K31

Bank	管脚描述	引出端序号
NA	GND	K41
NA	GND	L3
NA	GND	L7
NA	GND	L9
NA	GND	L10
NA	GND	L18
NA	GND	L28
NA	GND	L38
NA	GND	M1
NA	GND	M2
NA	GND	M5
NA	GND	M6
NA	GND	M9
NA	GND	M15
NA	GND	M25
NA	GND	M35
NA	GND	N3
NA	GND	N7
NA	GND	N9
NA	GND	N12
NA	GND	N22
NA	GND	N32
NA	GND	N42
NA	GND	P1
NA	GND	P2
NA	GND	P5
NA	GND	P9
NA	GND	P12
NA	GND	P16
NA	GND	P19
NA	GND	P29
NA	GND	P39
NA	GND	R3
NA	GND	R7
NA	GND	R9
NA	GND	R11
NA	GND	R13
NA	GND	R15
NA	GND	R17
NA	GND	R19
NA	GND	R21
NA	GND	R23
NA	GND	R25
NA	GND	R27

Bank	管脚描述	引出端序号
NA	GND	R36
NA	GND	T1
NA	GND	T2
NA	GND	T5
NA	GND	T6
NA	GND	T9
NA	GND	T12
NA	GND	T14
NA	GND	T16
NA	GND	T18
NA	GND	T20
NA	GND	T22
NA	GND	T24
NA	GND	T26
NA	GND	T33
NA	GND	U3
NA	GND	U4
NA	GND	U7
NA	GND	U9
NA	GND	U10
NA	GND	U11
NA	GND	U13
NA	GND	U15
NA	GND	U17
NA	GND	U19
NA	GND	U21
NA	GND	U23
NA	GND	U25
NA	GND	U27
NA	GND	U30
NA	GND	U40
NA	GND	V1
NA	GND	V2
NA	GND	V5
NA	GND	V6
NA	GND	V9
NA	GND	V10
NA	GND	V12
NA	GND	V14
NA	GND	V16
NA	GND	V18
NA	GND	V20
NA	GND	V22
NA	GND	V24

Bank	管脚描述	引出端序号
NA	GND	V26
NA	GND	V28
NA	GND	V37
NA	GND	W3
NA	GND	W7
NA	GND	W11
NA	GND	W13
NA	GND	W15
NA	GND	W17
NA	GND	W19
NA	GND	W21
NA	GND	W23
NA	GND	W25
NA	GND	W27
NA	GND	W34
NA	GND	Y1
NA	GND	Y2
NA	GND	Y5
NA	GND	Y6
NA	GND	Y9
NA	GND	Y10
NA	GND	Y12
NA	GND	Y14
NA	GND	Y16
NA	GND	Y18
NA	GND	Y22
NA	GND	Y24
NA	GND	Y26
NA	GND	Y28
NA	GND	Y31
NA	GND	Y41
NA	VCCINT	AA10
NA	VCCINT	AA12
NA	VCCINT	AA14
NA	VCCINT	AA16
NA	VCCINT	AA24
NA	VCCINT	AA28
NA	VCCINT	AB11
NA	VCCINT	AB13
NA	VCCINT	AB15
NA	VCCINT	AB19
NA	VCCINT	AB23
NA	VCCINT	AB27
NA	VCCINT	AC12

Bank	管脚描述	引出端序号
NA	VCCINT	AC14
NA	VCCINT	AC16
NA	VCCINT	AC24
NA	VCCINT	AC28
NA	VCCINT	AD11
NA	VCCINT	AD13
NA	VCCINT	AD15
NA	VCCINT	AD19
NA	VCCINT	AD21
NA	VCCINT	AD23
NA	VCCINT	AD27
NA	VCCINT	AE10
NA	VCCINT	AE12
NA	VCCINT	AE14
NA	VCCINT	AE16
NA	VCCINT	AE20
NA	VCCINT	AE24
NA	VCCINT	AE28
NA	VCCINT	AF11
NA	VCCINT	AF13
NA	VCCINT	AF15
NA	VCCINT	AF21
NA	VCCINT	AF23
NA	VCCINT	AF27
NA	VCCINT	AG12
NA	VCCINT	AG14
NA	VCCINT	AG16
NA	VCCINT	AG20
NA	VCCINT	AG24
NA	VCCINT	AG28
NA	VCCINT	AH11
NA	VCCINT	AH13
NA	VCCINT	AH15
NA	VCCINT	AH19
NA	VCCINT	AH23
NA	VCCINT	AH27
NA	VCCINT	P13
NA	VCCINT	P15
NA	VCCINT	P27
NA	VCCINT	R12
NA	VCCINT	R14
NA	VCCINT	R16
NA	VCCINT	R20
NA	VCCINT	R24

Bank	管脚描述	引出端序号
NA	VCCINT	T13
NA	VCCINT	T15
NA	VCCINT	T21
NA	VCCINT	T23
NA	VCCINT	T27
NA	VCCINT	U12
NA	VCCINT	U14
NA	VCCINT	U16
NA	VCCINT	U20
NA	VCCINT	U24
NA	VCCINT	V11
NA	VCCINT	V13
NA	VCCINT	V15
NA	VCCINT	V19
NA	VCCINT	V21
NA	VCCINT	V23
NA	VCCINT	V27
NA	VCCINT	W12
NA	VCCINT	W14
NA	VCCINT	W16
NA	VCCINT	W20
NA	VCCINT	W24
NA	VCCINT	W28
NA	VCCINT	Y11
NA	VCCINT	Y13
NA	VCCINT	Y15
NA	VCCINT	Y19
NA	VCCINT	Y23
NA	VCCINT	Y27
NA	VCCAUX	AA26
NA	VCCAUX	AB17
NA	VCCAUX	AC26
NA	VCCAUX	AD17
NA	VCCAUX	AE26
NA	VCCAUX	AF17
NA	VCCAUX	AG26
NA	VCCAUX	T17
NA	VCCAUX	U26
NA	VCCAUX	V17
NA	VCCAUX	W26
NA	VCCAUX	Y17
NA	VCCAUX_IO_G0	AH25
NA	VCCAUX_IO_G0	AF25
NA	VCCAUX_IO_G1	AD25

Bank	管脚描述	引出端序号
NA	VCCAUX_IO_G1	AB25
NA	VCCAUX_IO_G1	Y25
NA	VCCAUX_IO_G2	V25
NA	VCCAUX_IO_G2	T25
NA	VCCAUX_IO_G2	R26
NA	VCCAUX_IO_G3	AG18
NA	VCCAUX_IO_G3	AF19
NA	VCCAUX_IO_G3	AE18
NA	VCCAUX_IO_G4	AC18
NA	VCCAUX_IO_G4	AA18
NA	VCCAUX_IO_G4	W18
NA	VCCAUX_IO_G5	U18
NA	VCCAUX_IO_G5	T19
NA	VCCAUX_IO_G5	R18
14	VCCO_14	AF28
14	VCCO_14	AH32
14	VCCO_14	AJ29
14	VCCO_14	AK36
14	VCCO_14	AL33
14	VCCO_14	AM30
14	VCCO_14	AN37
15	VCCO_15	AM40
15	VCCO_15	AR41
15	VCCO_15	AT38
15	VCCO_15	AV42
15	VCCO_15	AW39
15	VCCO_15	BB40
16	VCCO_16	AA33
16	VCCO_16	AB30
16	VCCO_16	AD34
16	VCCO_16	AE31
16	VCCO_16	AG35
16	VCCO_16	Y36
17	VCCO_17	AB40
17	VCCO_17	AC37
17	VCCO_17	AE41
17	VCCO_17	AF38
17	VCCO_17	AH42
17	VCCO_17	AJ39
18	VCCO_18	P34
18	VCCO_18	T38
18	VCCO_18	U35
18	VCCO_18	V32
18	VCCO_18	V42

Bank	管脚描述	引出端序号
18	VCCO_18	W39
19	VCCO_19	B40
19	VCCO_19	E41
19	VCCO_19	H42
19	VCCO_19	J39
19	VCCO_19	M40
19	VCCO_19	N37
19	VCCO_19	R41
31	VCCO_31	AK16
31	VCCO_31	AL13
31	VCCO_31	AP14
31	VCCO_31	AR11
31	VCCO_31	AU15
31	VCCO_31	AV12
31	VCCO_31	BA13
32	VCCO_32	AJ19
32	VCCO_32	AN17
32	VCCO_32	AT18
32	VCCO_32	AW19
32	VCCO_32	AY16
32	VCCO_32	BB20
33	VCCO_33	AL23
33	VCCO_33	AM20
33	VCCO_33	AP24
33	VCCO_33	AR21
33	VCCO_33	AV22
33	VCCO_33	BA23
34	VCCO_34	H32
34	VCCO_34	L33
34	VCCO_34	M30
34	VCCO_34	R31
34	VCCO_34	T28
34	VCCO_34	W29
35	VCCO_35	A33
35	VCCO_35	C37
35	VCCO_35	D34
35	VCCO_35	E31
35	VCCO_35	F38
35	VCCO_35	G35
35	VCCO_35	K36
36	VCCO_36	G25
36	VCCO_36	H22
36	VCCO_36	J29
36	VCCO_36	K26

Bank	管脚描述	引出端序号
36	VCCO_36	L23
36	VCCO_36	N27
36	VCCO_36	P24
37	VCCO_37	A23
37	VCCO_37	B30
37	VCCO_37	C27
37	VCCO_37	D24
37	VCCO_37	E21
37	VCCO_37	F28
38	VCCO_38	B20
38	VCCO_38	C17
38	VCCO_38	F18
38	VCCO_38	J19
38	VCCO_38	M20
38	VCCO_38	N17
39	VCCO_39	D14
39	VCCO_39	G15
39	VCCO_39	H12
39	VCCO_39	K16
39	VCCO_39	L13
39	VCCO_39	P14
0	VCCO_0	M10
0	VCCO_0	T11
12	VCCO_12	AK26
12	VCCO_12	AN27
12	VCCO_12	AT28
12	VCCO_12	AU25
12	VCCO_12	AW29
12	VCCO_12	AY26
13	VCCO_13	AP34
13	VCCO_13	AR31
13	VCCO_13	AU35
13	VCCO_13	AV32
13	VCCO_13	AY36
13	VCCO_13	BA33
13	VCCO_13	BB30
NA	VCCBRAM	AA22
NA	VCCBRAM	AC22
NA	VCCBRAM	AE22
NA	VCCBRAM	AG22
NA	VCCBRAM	AH21
NA	VCCBRAM	R22
NA	VCCBRAM	U22
NA	VCCBRAM	W22

Bank	管脚描述	引出端序号
NA	NC	W9
NA	NC	W10
NA	NC	AC9
NA	NC	AC10

订购信息

物料编号	温度范围(Tc)	等级类型	封装
CYF7VX690T-FFG1927I	-40℃ - 100℃	工业级	FFG1927
CYF7VX690T-FFG1927J	-55℃ - 125℃	军温工业级	FFG1927
CYF7VX690T-FFG1157I	-40℃ - 100℃	工业级	FFG1157
CYF7VX690T-FFG1157J	-55℃ - 125℃	军温工业级	FFG1157
CYF7VX690T-FFG1761I	-40℃ - 100℃	工业级	FFG1761
CYF7VX690T-FFG1761J	-55℃ - 125℃	军温工业级	FFG1761

说明

如欲了解更多的产品及公司信息，请联系公司办公室人员或登录公司网站；

联系电话：021-33885531；

网址：<https://mall.ichelps.com/>

本文档中的信息如有变更，恕不另行通知



请使用微信扫码进入
芯片助手ICHELPS小程序

查资料 查替代 查库存 查价格

招募中国区各省代理，联系电话：021-33885531