

文档版本	修订日期	内容描述
1.0	2026-3-10	初版
1.1	2026-6-1	新增了安全等级选择

CYPL74401

具有可编程软启动功能的 3A Ultra-LDO

1. 功能特点

- 输入电压范围：
 - 无偏置：1.4V 至 7.5V
 - 带偏置：1.1V 至 7.5V
- 软启动（SS）引脚可借助由外部电容器设置的斜坡时间实现线性启动
- 线路、负载精度为 1%
- 超低压降：3A 时为 150mV（典型值）
- 出色的瞬态响应
- 漏极开路电源正常输出

2. 应用

- FPGA 应用
- DSP 内核以及 I/O 电压
- 后置稳压应用
- 具有特殊的启动时间或排序要求的应用
- 浪涌控制

3. 芯片概述

CYPL74401 低压降(LDO)线性稳压器提供了一套面向多种应用的易用稳健型电源管理解决方案。用户可编程的软启动功能可降低器件启动时的电容浪涌电流，从而以最大限度减小输入电源的应力。软启动具有单调性，非常适合为各类处理器和专用集成电路(ASIC)供电。借助使能输入和电源正常输出，可通过外部稳压器轻松实现上电排序。凭借全方位的灵活性，用户可为现场可编程门阵列(FPGA)、数字信号处理器(DSP)等具有特殊启动要求的应用配置出一套可满足其排序要求的解决方案。该器件还具有高精度的参考电压电路和误差放大器，可在整个负载、线路和过程范围内提供 1%精度。CYPL74401 采用 20 引脚小型 QFN 封装，因此总体解决方案尺寸高度紧凑。

4. 订购信息

物料编号	温度范围	等级类型	封装
CYPL74401Q20I	-40°C - 85°C	工业级	QFN20L
CYPL74401Q20J	-55°C - 125°C	军温工业级	QFN20L

5. 典型应用框图

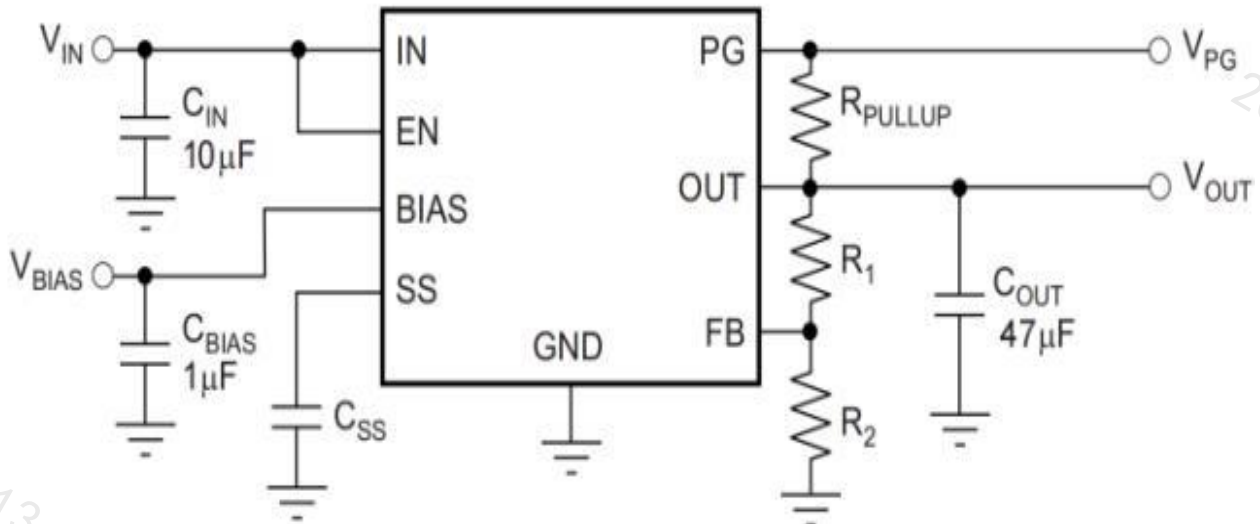


图 1. 典型应用框图

6. 功能框图

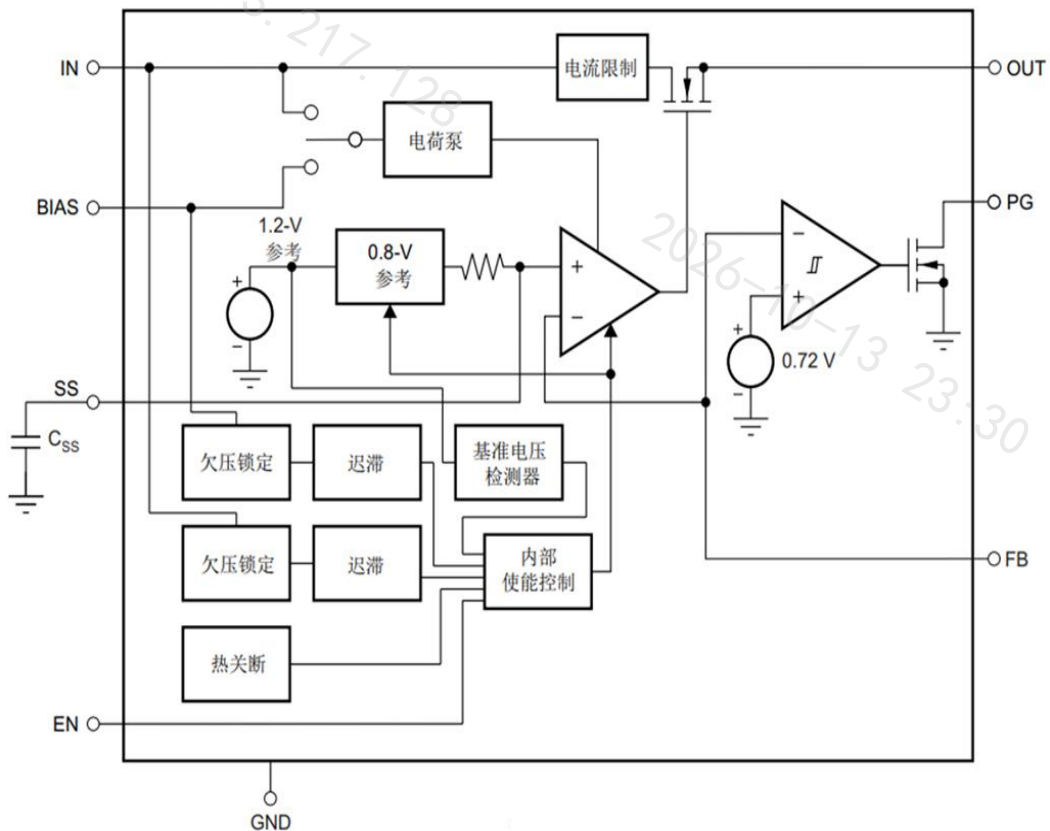


图 2. 功能框图

7. 引脚和功能描述

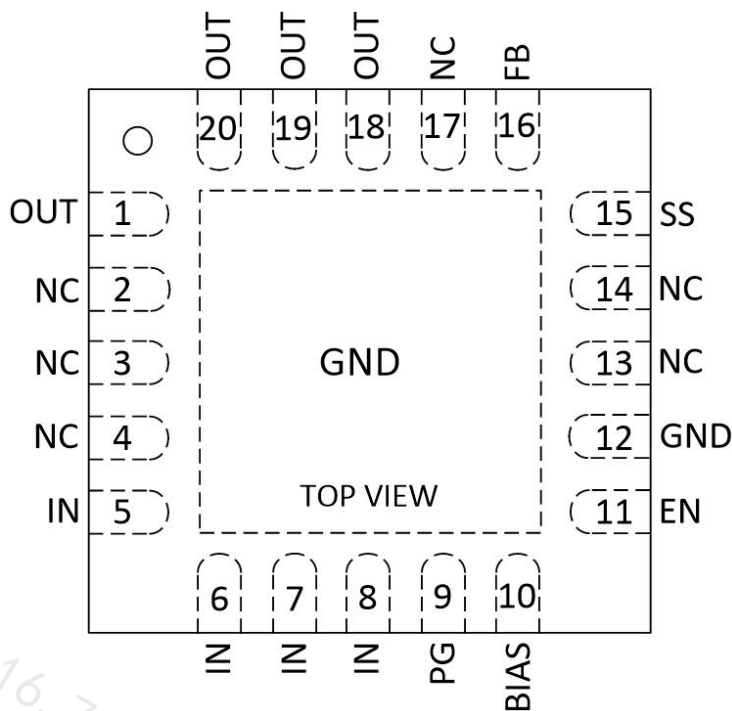


图 3. 封装脚位图

7.1、引脚定义

表 1

引脚编号	引脚名称	描述
10	BIAS	误差放大器、基准和内部控制电路的偏置输入电压。建议使用 $1\mu\text{F}$ 或更大的偏置电容器以获得最佳性能。如果 IN 连接到 BIAS, 请使用 $4.7\mu\text{F}$ 或更大的电容器。
11	EN	使能引脚。驱动此引脚为高电平可启用调节器。驱动此引脚为低电平可使调节器进入关断模式。此引脚不得悬空。
16	FB	此引脚用于反馈连接外部电阻分压器网络的中心抽头, 该网络用于设置输出电压。此引脚不得悬空。
12	GND	接地
5-8	IN	输入电源电压引脚。为获得最佳性能, 建议使用 $10\mu\text{F}$ 或更大的输入电容。
2-4, 13, 14, 17	NC	无连接。此引脚可以悬空或连接至 GND, 以便与顶层平面实现更好的热接触。
1, 18-20	OUT	稳压输出电压管脚。为了获得最佳性能, 建议 OUT 到地 (尽可能靠近 OUT 管脚) 加 $47\mu\text{F}$ 及以上电容。
9	PG	电源良好 (PG) 是一个开漏、高电平有效的输出, 用于指示 VOUT 的状态。当 VOUT 超过 PG 触发阈值时, PG 引脚进入高阻态。当 VOUT 低于此阈值时, 该引脚被驱动至低阻态。在此引脚之间连接一个 $10\text{k}\Omega$ 至 $1\text{M}\Omega$ 的上拉电阻, 可连接到高达 5.5V 的电源。电源电压可以高于输入电压。或者, 如果不需要输出监测, PG 引脚可以保持悬空。
15	SS	软起动控制配置引脚, 和低噪声配置引脚, 低噪声输出时候 SS 电容不低于 100nF 。SS 电容为 10nF 时上升沿 1.2ms 。
-	thermal PAD	必须焊接至接地层以提高散热性能。须连接外部 GND。

8. 绝对最大额定值

覆盖全温范围 (除非特别描述)

表 2

电气参数	最小值	最大值	单位
IN, BIAS, PG, EN	-0.3	8	V
PG 灌电流	0	5	mA
SS, FB	-0.3	3.6	V
OUT	-0.3	$V_{\text{IN}}+0.3$	V

环境参数	最小值	最大值	单位
最高结温	-	+150	° C
引脚温度(焊接, 10 秒)	-	+260	° C
存储温度范围(环境温度)	-65	+150	° C

注：超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最大值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

8.1、推荐工作条件

覆盖全温范围（除非特别描述）

表 3

电气参数	最小值	最大值	单位
IN	1.1	7.5	V
EN	0	7.5	V
BIAS 电源电压范围	3	7.5	V
输出电流	0	3	A
推荐环境参数	最小值	最大值	单位
工作温度范围	-40	+85	° C

8.2、ESD 等级

表 4

		值	单位
V (ESD)	人体学模型 (HBM), ANSI/ESDA/JEDEC JS-001	±2000	V
	电荷器件模型 (CDM), JEDEC specification JESD22-C101	±500	

9. 基本电学参数

除非另有说明, $V_{IN} = V_{OUT} + 0.3V$ or $1.4V$, $V_{BIAS} = 5.0V$, $V_{EN} = 2V_i$, $T_J = 25^\circ C$, $C_{BIAS} = 1\mu F$, $C_{IN} = 10\mu F$, $C_{OUT} = 47\mu F$, $V_{OUT} = 0.8V$, $C_{SS} = 100nF$.

表 5

参数	测试条件	测量	限值			单位
			最小值	典型值	最大值	
输入电源电压范围	BIAS=5.0V	V_{IN}	1.1		7.5	V
	BIAS=NC		1.4		7.5	
偏置引脚电压范围		V_{BIAS}	3		7.5	V
I_{CC}	EN=2V	I_{VIN}		4.5		mA
关断电源电流	$V_{IN} = 6.5V$, $V_{EN} \leq 0.4V$, PG=open	I_{SHDN}		10		μA
BIAS 引脚电流	$V_{IN} = 1.1V$, $V_{BIAS} = 6.5V$, $V_{OUT} = 0.8V$, $I_{OUT} = 10mA$	I_{BIAS}		3.5		mA
输出电压精度	BIAS=3.3V, $T_J = 25^\circ C$	V_{FB}	0.792	0.8	0.808	V
	BIAS=3.3V, $T_J = -55^\circ C$ to $125^\circ C$		0.787		0.813	
带 BIAS 的输入电源 UVLO	V_{IN} 增加	$V_{UVLO1 (IN)}$		0.8		V
$V_{UVLO1 (IN)}$ 迟滞		$V_{HYS1 (IN)}$		70		mV
无 BIAS 的输入电源 UVLO	V_{IN} 增加	$V_{UVLO2 (IN)}$		1.4		V
$V_{UVLO2 (IN)}$ 迟滞		$V_{HYS2 (IN)}$		253		mV
偏置电源 UVLO	V_{BIAS} 增加	$V_{UVLO (BIAS)}$		2.7		V
$V_{UVLO (BIAS)}$ 迟滞		$V_{HYS (BIAS)}$		290		mV
输出电压范围		V_{OUT}	V_{FB}		6.0	V
线路调节	$I_{OUT} = 5mA$, $1.4V \leq V_{IN} \leq 6.5V$, $V_{BIAS} = NC$	$\Delta V_{OUT (AVIN)}$		0.05		mV/V
	$I_{OUT} = 5mA$, $1.4V \leq V_{IN} \leq 6.5V$, $V_{BIAS} = 5V$			0.05		
负载调整率	$5mA \leq I_{OUT} \leq 3.0A$	$\Delta V_{OUT (A IOUT)}$		7		mV/A
压差电压	$V_{IN} \geq 1.4V$, V_{BIAS} 打开, $0.8V \leq V_{OUT} \leq 5.0V$, $I_{OUT} = 3A$, $V_{FB} = 0.8V - 3\%$	$V_{(DO)}$		150		mV
	$V_{IN} = 1.1V$, $V_{BIAS} = 5.0V$, $V_{OUT (TARGET)} = 0.8V$, $I_{OUT} = 3A$, $V_{FB} = 0.8V - 3\%$			150		
输出电流限制	$V_{IN} = V_{OUT (nom)} + 300mV$, $V_{OUT} = 80\% \times V_{OUT (nom)}$	I_{CL}		5		A

EN 引脚电流	$V_{IN}=6.5V$, 无 VBIAS 电源, $V_{(EN)}=0V$	$I_{(EN)}$	-0.1		0.1	μA
	$V_{IN}=6.5V$, 无 VBIAS 电源, $V_{(EN)}=1.1V$			8.6		μA
EN 使能输入高电平		EN	1.1	-	-	V
EN 使能输入低电平		EN	-	-	0.4	V
EN 使能迟滞		$V_{EN(hys)}$		220		mV
PG 引脚阈值	$V_{OUTdecreasing}$	V_{IT}	87	90	93	$\%V_{OUT}$
PG 引脚迟滞		V_{HYS}		2		$\%V_{OUT}$
PG 引脚输出低电平	$I_{PG}=1mA$ (sinking), $V_{OUT}<V_{IT}$	$V_{PG(Low)}$			0.4	V
PG 引脚漏电流	$V_{PG}=6.5V$, $V_{OUT}>V_{IT}$	$I_{PG(Lkg)}$			1	μA
软启动充电电流	$V_{SS}=0V$	I_{SS}		7.2		μA
反馈引脚电流	$V_{IN}=6.5V$	I_{FB}	-100		100	nA
电源纹波抑制比	$f=1MHz$, $V_{IN}=3.8V$, $V_{OUT}=3.3V$, $I_{OUT}=2A$, $C_{SS}=100nF$, $C_{PF}=10nF$	PSRR		40		dB
	$V_{IN}-V_{OUT}=0.7V$ (avg), $V_{RIPPLE}=0.5VP-P$, $f_{RIPPLE}=1KHz$, $I_{LOAD}=3A$			70		
输出噪声电压	$BW=10Hz$ 至 $100kHz$, $V_{IN}=1.4V$, $V_{OUT}=0.8V$, $I_{OUT}=1.5A$, $C_{SS}=100nF$, $C_{PF}=10nF$	V_n		8		μV_{RMS}
热关断温度	关机, 温度升高	T_{SD}		160		$^{\circ}C$
	复位, 温度降低			140		$^{\circ}C$

10. 典型工作特性曲线

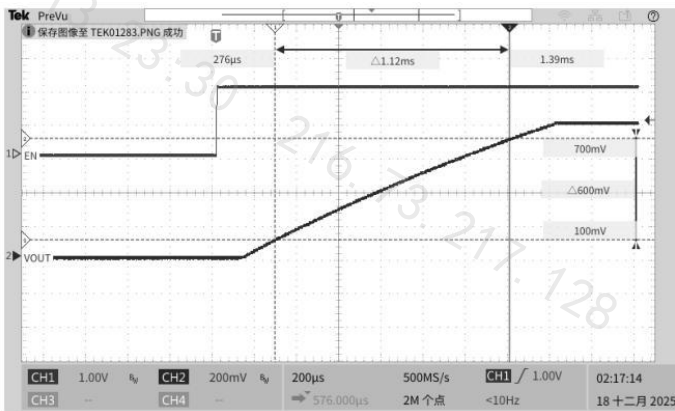


图 4. EN 启动: $C_{SS}=10nF$, $V_{IN}=3V$, $EN=2V$, $V_{OUT}=0.8V$

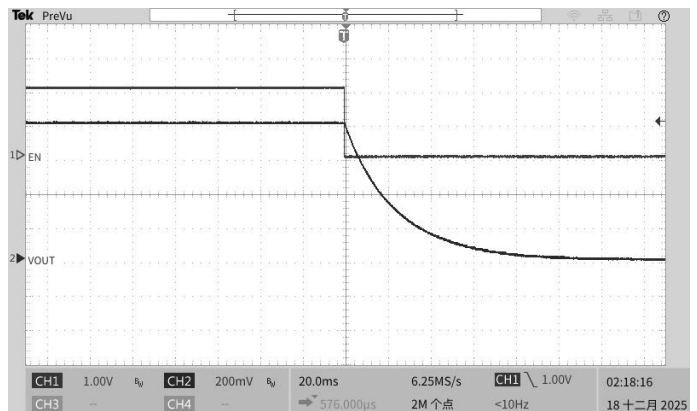


图 5. EN 关断: $C_{SS}=10nF$, $V_{IN}=3V$, $EN=2V$, $V_{OUT}=0.8V$

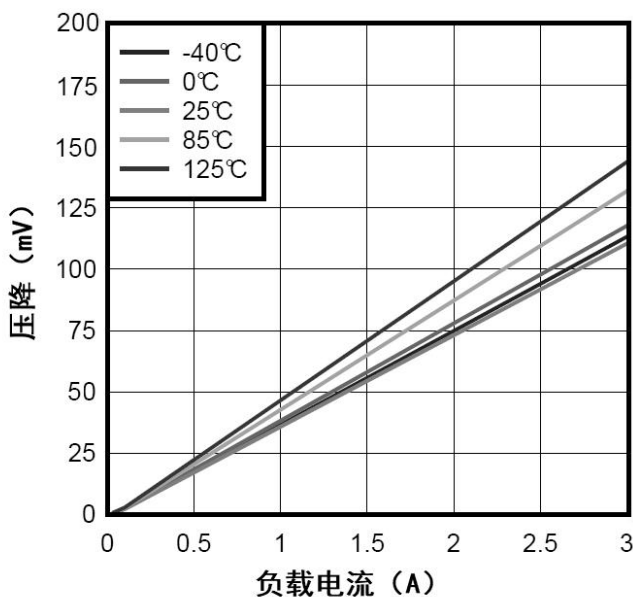


图 6. $V_{IN}=3.3V$ 压降 VS 输出负载电流曲线

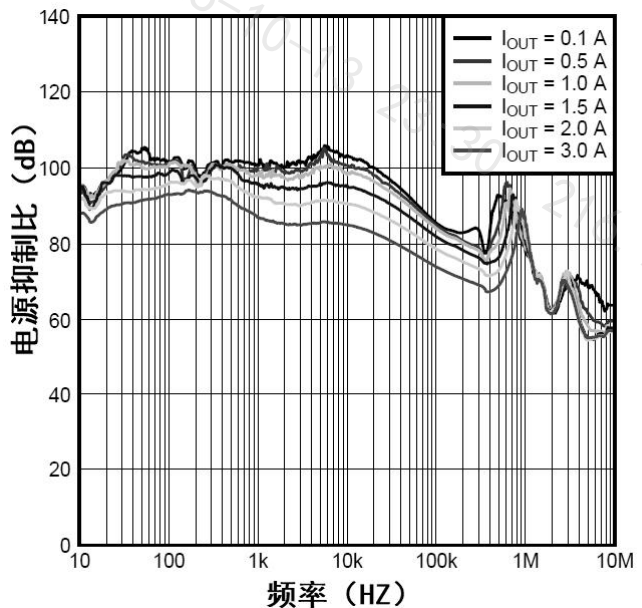


图 7. PSRR VS 频率

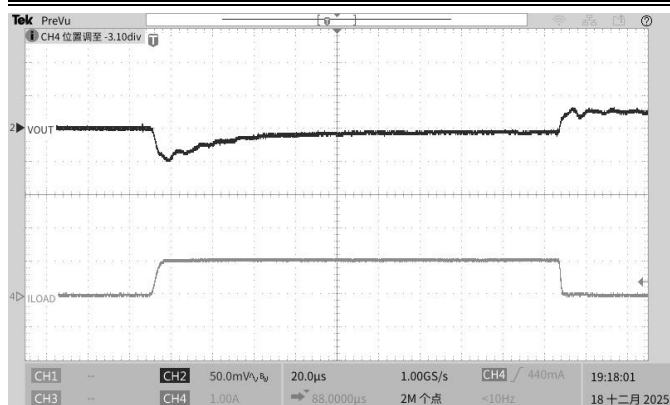

 图 8. $V_{OUT} = 5V$, $I_{load} = 0mA-1A$ 输出瞬态 AC 响应

 图 9. $V_{OUT} = 5V$, $I_{load} = 100mA-2A$ 输出瞬态 AC 响应

11. 功能描述

CYPL74401 低压差稳压器 (LDO) 集成众多功能, 确保应用范围广泛。EN 输入端的迟滞和去毛刺功能可提高对多个器件进行排序的能力, 而无需担心误启动。软启动完全可编程, 允许用户控制 LDO 输出的启动时间。PG 比较器也提供迟滞功能, 以确保无误的 PG 信号。CYPL74401 非常适合 FPGA、DSP 以及任何其他需要线性供电和测序的设备。

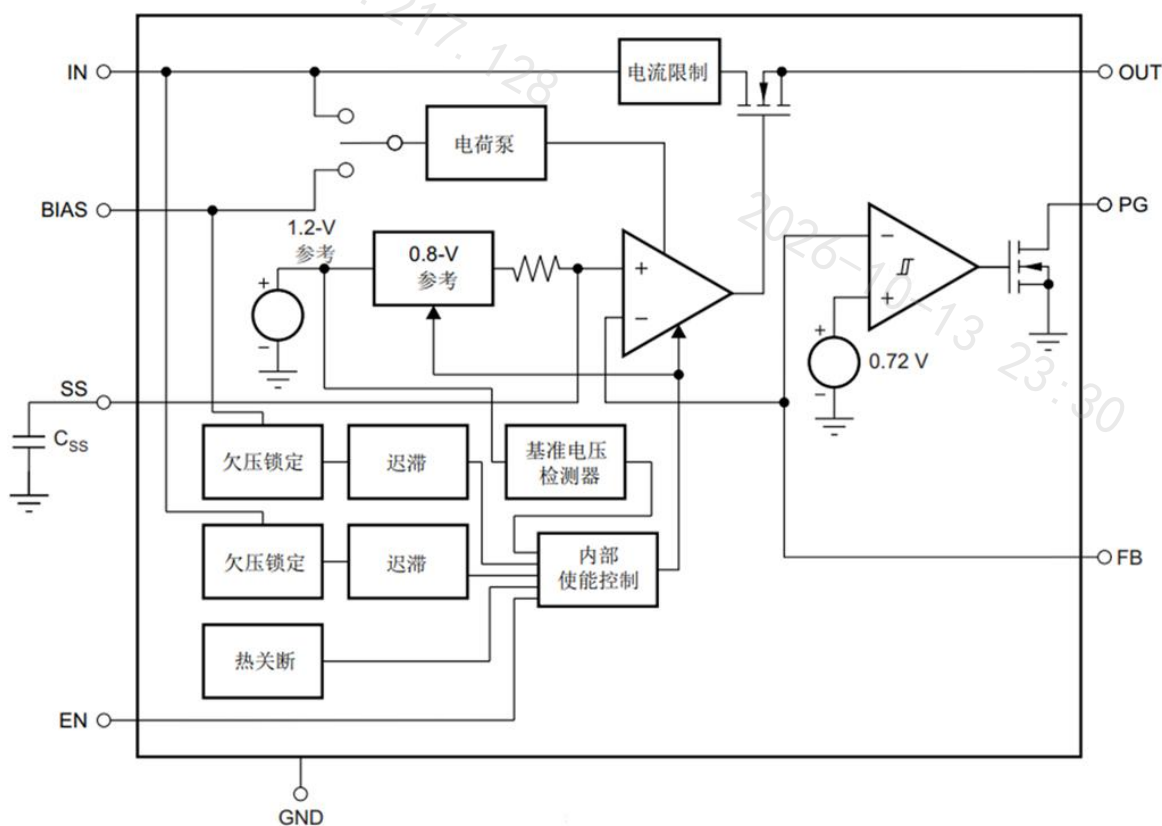


图 10. 功能框图

11.1、启用、关闭

使能 (EN) 引脚为高电平有效, 兼容标准数字信号电平。 V_{EN} 低于 0.4 V 时, 稳压器关闭; V_{EN} 高于 1.1 V 时, 稳压器开启。与许多稳压器不同, 该使能电路具有迟滞和去毛刺功能, 适用于相对较慢的斜坡模拟信号。此配置允许通过将另一个电源的输出连接到 EN 引脚来启用 CYPL74401。该使能电路通常具有 220 mV 的迟滞和去毛刺电路, 有助于避免因 V_{EN} 信号中的小毛刺而导致的开关循环。

使能阈值通常为 0.8V, 并随温度和工艺变化而变化。温度变化约为 $-1 \text{ mV}/^{\circ}\text{C}$; 因此, 工艺变化是使能阈值变化的主要因素。如果需要精确的开启时序, 请使用快速上升时间信号来启用 CYPL74401。

如果不使用, EN 可以连接到 IN 或 BIAS。如果 EN 连接到 IN, 则应尽可能靠近输入端的最大电容, 以防止该线路上的电压降触发使能电路。

11.2、电源良好指示

电源良好指示引脚 (PG) 为开漏输出, 可通过外部上拉电阻连接到任何 5.5V 或更低的供电轨。当 V_{OUT} 大于 $(V_{IT} + V_{HYS})$ 时, PG 输出为高阻态。如果 V_{OUT} 降至 V_{IT} 以下, 则开漏输出将开启并将 PG 输出拉低。当器件禁用时, PG 引脚也会置位。PG 引脚灌电流的建议工作条件高达 1mA, 因此 PG 的上拉电阻必须在 10K Ω 至 1 M Ω 范围内。

11.3、内部电流限制

CYPL74401 具有工厂调校的精确电流限制, 该限制在整个温度和电源电压范围内保持平稳。该电流限制允许器件输出高达 3.5A 的浪涌电流并保持稳定。发生短路故障时, 电流限制可在约 10 μs 内响应以降低电流。短路恢复控制良好, 移除负载后输出过冲极小。

CYPL74401 的内部电流限制保护电路旨在防止过载情况。该电路不允许器件在超过额定电流的条件下运行。CYPL74401 持续在超过额定电流的条件下运行会降低器件的可靠性。

11.4、热保护

当结温升至约 155 $^{\circ}\text{C}$ 时, 热保护功能会禁用输出, 使器件冷却。当结温冷却至约 140 $^{\circ}\text{C}$ 时, 输出电路启用。根据功耗、热阻和环境温度, 热保护电路可以循环开启和关闭。这种循环限制了稳压器的功耗, 防止其因过热而损坏。

热保护电路触发, 通常表明芯片存在功耗过大或散热方案不足的情况。为确保芯片长期可靠工作, 其结温 (T) 最高需限制在 125 $^{\circ}\text{C}$ 以内。如需估算包含散热器在内的完整系统热安全裕度, 可在最坏情况的负载与信号条件下, 逐步升高环境温度直至热保护触发, 以此获取极限工况下的热特性数据。

为保证系统具备优异的可靠性冗余, 热保护触发温度需比应用场景中的最高预期环境温度 ($T_{A(\text{max})}$) 至少高出 30 $^{\circ}\text{C}$ 。该设计要求可确保: 在最高预期环境温度与最坏情况负载的叠加工况下, 芯片最坏结温恰好控制在 125 $^{\circ}\text{C}$ 的安全阈值内, 有效规避高温导致的性能衰减或寿命缩短风险。

CYPL74401 的内部保护电路旨在防止过载情况。该电路不能替代适当的散热措施。持续运行 CYPL74401 并使其进入热关断状态会降低器件的可靠性。

11.5、可编程软启动

CYPL74401 具有可编程、单调、电压控制的软启动功能，可通过外部电容器（ C_{SS} ）设置。此功能对于许多应用至关重要，可消除 FPGA₅、DSP₅ 或其他处理器供电时的上电初始化问题。输出的受控电压斜坡还可以降低启动期间的峰值浪涌电流，从而最大限度地减少输入电源总线的启动瞬变。为了实现线性且单调的软启动，CYPL74401 误差放大器会跟踪外部软启动电容的电压斜坡，直到该电压超过内部基准电压。软启动斜坡时间取决于软启动充电电流（ I ）、软启动电容（ C_{SS} ）和内部基准电压（ V_{FB} ），可通过以下公式计算：

$$t_{SS} = \frac{(V_{FB} \times C_{SS})}{I_{SS}} \quad (1)$$

对于低噪声应用，降噪电容器（连接到 LDO 的 SS 引脚）形成一个 RC 滤波器，用于滤除通常由控制环路放大并出现在输出电压上的噪声。对于低噪声应用，建议使用 10nF 至 1μF。 C_{SS} 必须为低漏电容。

$$t_{SS}(S) = \frac{V_{FB} \times C_{SS}}{I_{SS}} = \frac{0.8V \times C_{SS}(F)}{7.2\mu A} \quad (2)$$

其中， $t_{SS}(S)$ =软启动时间（以秒为单位）。

11.6、测序要求

该器件可以按任意顺序设置 V_{IN} 、 V_{BIAS} 和 V_{EN} ，而不会损坏器件。但是，为了使软启动功能按预期工作，必须遵循某些排序规则。最好在 V_{IN} 和 V_{BIAS} 到位后启用器件，这可以通过处理器或电源监控器的数字输出来实现。如图 11 所示，也可以使用来自外部 RC 电路的模拟信号，只要延迟时间足够长， V_{IN} 和 V_{BIAS} 就可以存在。

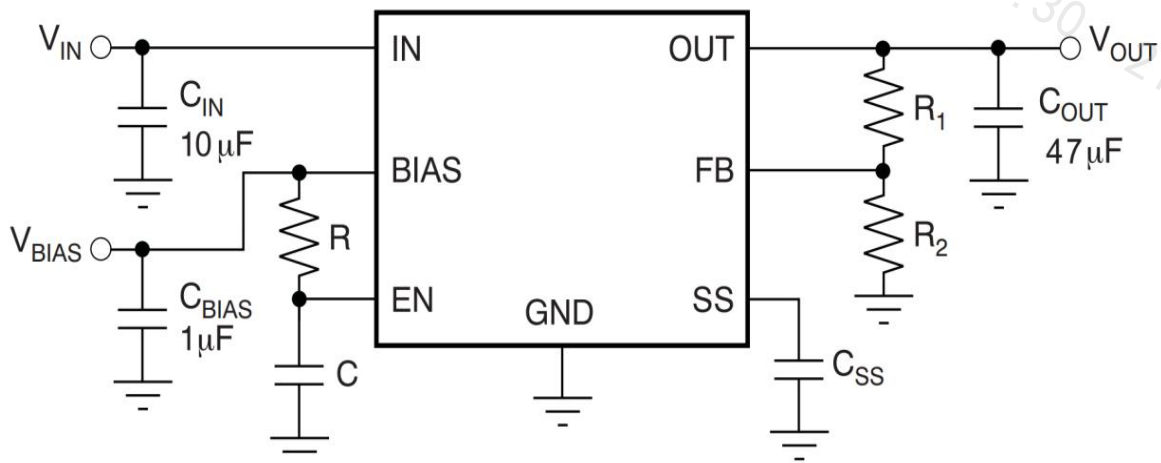


图 11. 使用 RC 电路实现软启动延迟

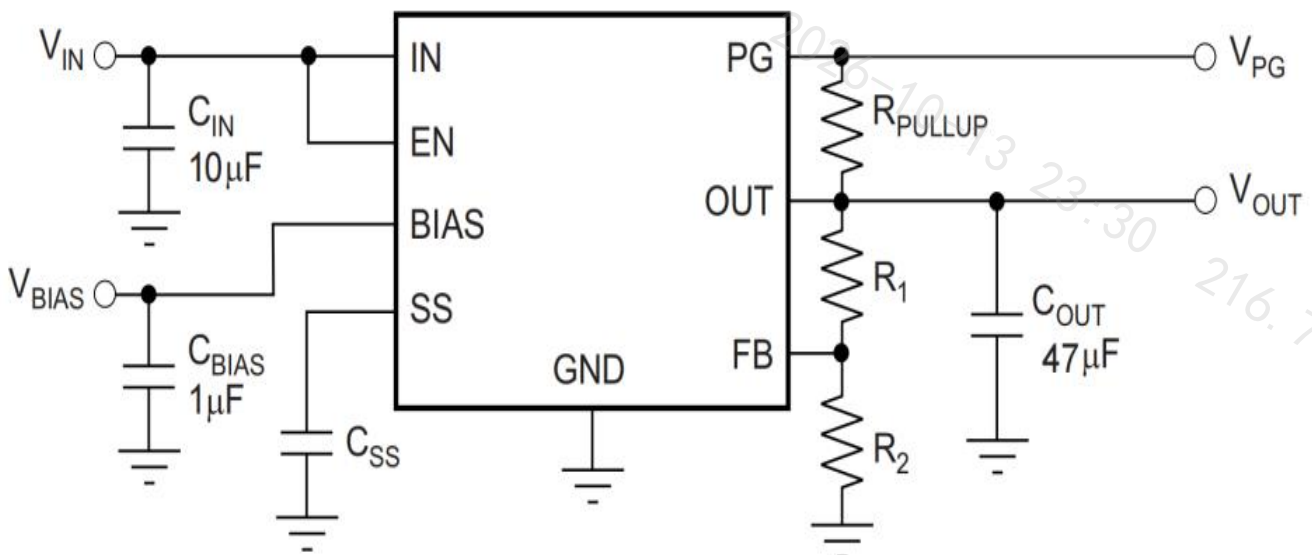
如果在 IN 和 BIAS 之后没有信号来启用设备，则只需将 EN 连接到 IN，对于大多数应用来说，只要 V_{IN} 大于 1.1 V，且 V_{IN} 和 V_{BIAS} 的斜坡速率快于设定的软启动斜坡率即可。如果输入源的斜坡速率慢于设定的软启动时间，则输出将跟踪较慢的电源电压减去压差，直到达到设定的输出电压。如果 EN 连接到 BIAS，则器件将按照编程进行软启动。如果在应用 V_{IN} 之前存在 V_{BIAS} 和 V_{EN} ，并且设定的软启动时间已到，则 V_{OUT} 将跟踪 V_{IN} 。

12. 应用

CYPL74401 属于具有软启动功能的超低压差稳压器。该稳压器采用低电流偏置输入为所有内部控制电路供电，从而使 NMOS 场效应晶体管能够调节极低的输出电压，并具有较高的 V_{IN} 到 V_{OUT} 裕量。使用 NMOS 场效应晶体管为许多应用提供了多项关键优势。与 PMOS 拓扑器件不同，输出电容对环路稳定性的影响很小。瞬态响应也优于 PMOS 拓扑，尤其适用于低 V_{IN} 应用。

CYPL74401 具有可编程的压控软启动电路，可提供平稳、单调的启动，并限制可能由大电容负载引起的启动浪涌电流。它提供电源良好（PG）输出，可用于监控电源并控制其他电源的时序。具有迟滞和去毛刺功能的使能（EN）引脚允许使用慢速斜坡信号对器件进行时序控制。低 V_{IN} 和 V_{OUT} 功能可在处理器密集型系统中常见的多个电源电压之间实现经济、易于设计且高效的线性调节。

可以使用所示公式计算任意输出电压的 R_1 和 R_2 ，表 7 列出了常见输出电压的示例电阻值，为了达到最高精度规格，必须使 $R_2 \leq 4.99K\Omega$



$$R_1 = \left(\frac{V_{OUT}}{V_{REF}} - 1 \right) \times R_2$$

图 12. 典型应用电路

表 6. 用于编程输出电压的标准 1%电阻值

R_1 (k Ω)	R_2 (k Ω)	V_{OUT} (V)
Short	Open	0.8
0.619	4.99	0.9
1.13	4.53	1.0
1.37	4.42	1.05
1.87	4.99	1.1
2.49	4.99	1.2
4.12	4.75	1.5
3.57	2.87	1.8
3.57	1.69	2.5
3.57	1.15	3.3

 注: $V_{OUT} = 0.8 \times (1 + R_1/R_2)$

12.1、输入、输出和偏置电容要求

V_{IN} 和 B_{IAS} 引脚所需的电容很大程度上取决于输入电源的阻抗。为了抵消输入端的任何电感, 建议 V_{IN} 的最小电容为 10 μ F, V_{BIAS} 的最小电容为 1 μ F。如果 V_{IN} 和 V_{BIAS} 连接到同一电源, 则建议 V_{BIAS} 的最小电容为 4.7 μ F。另外推荐增加一颗 100nF 陶瓷电容靠近 V_{IN} 放置增加高频去耦。输入端应使用优质、低 ESR 的电容; 优选陶瓷 X5R 和 X7R 电容。为了获得最佳性能并确保稳定性, 请将这些电容尽可能靠近引脚放置。

12.2、瞬态响应

CYPL74401 的设计瞬态响应精度在 5% 以内。在某些情况下, 瞬态响应可能会受到输入电源瞬态响应的限制。这种限制在输入和输出之间的差值小于 300 mV 的应用中尤其明显。在这种情况下, 增加额外的输入电容比仅仅增加额外的输出电容更能改善瞬态响应。在稳定的输入电源下, 增加额外的输出电容可以降低瞬态期间的下冲和过冲, 但代价是 V_{OUT} 恢复时间会略微延长。

12.3、压差电压

CYPL74401 提供业界领先的压差性能, 非常适合大电流、低 V_{IN} 和低 V_{OUT} 应用。CYPL74401 的极低压差特性使其能够替代 DC/DC 转换器, 并实现卓越的效率。公式 3 提供对效率的快速评估。

$$\text{Efficiency} \approx \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times (I_{IN} + I_Q)} \approx \frac{V_{OUT}}{V_{IN}} \quad I_{OUT} \gg I_Q \quad (3)$$

这种效率允许用户重新设计其应用的电源架构, 以实现最小、最简单和成本最低的解决方案。

CYPL74401 的压差有两种不同的规格。第一种规格 (见图 13) 称为 V_{IN} 压差, 适用于希望施加外部偏置电压以实现低压差的用户。该规格假设 V_{BIAS} 至少比 V_{OUT} 高 1.62V 且在 V_{BIAS} 偏置电源电压范围内; 例如, 当 V_{BIAS} 由具有 5% 容差和 $V_{OUT} = 1.5V$ 的 3.3V 轨道供电时。如果 V_{BIAS} 高于 $(3.3V \times 0.95)$ 或 V_{OUT} 小于 1.5V, 则 V_{IN} 压差低于规定值。

第二种规格 (见图 14) 称为 V_{BIAS} 压差, 适用于希望 $V_{BIAS} < V_{IN} + 1.62V$ 的用户。此选项允许器件用于没有辅助偏置电压或不需要低压差的应用。在这些应用中, 压差受 B_{IAS} 限制, 因为 V_{BIAS} 为导通 NMOS 场效应

晶体管提供栅极驱动，因此必须大于 $V_{OUT} + V_{DO}$ (V_{BIAS})。由于这种用法，IN 和 BIAS 连接在一起很容易消耗过多的功率。注意不要超过 IC 封装的额定功率。

12.4、输出噪声

使用软启动电容时，CYPL74401 可提供低输出噪声。当器件到达软启动周期结束时，软启动电容将用作内部基准电压源的滤波器。使用 10nF 软启动电容，对于 0.8V 输出（100Hz 至 100kHz）通常为 $8\mu V_{RMS}$ 。噪声与设定的输出电压有关，因为大部分输出噪声是由内部基准电压源产生的。

CYPL74401 的低输出噪声使该器件成为为收发器、PLL 或其他噪声敏感电路供电的理想选择。

12.5、使用辅助偏置

图 14 显示了使用辅助偏置的 CYPL74401 典型应用。辅助偏置设计可使系统获得更低的 dropout 电压 (V_{DO})。其核心作用是为误差放大器提供更高的供电电压，进而提升施加于 NMOS 场效应晶体管栅极的驱动电压幅度，从而提高了可施加到 NMOS 场效应晶体管栅极的电压。

V_{BIAS} 必须至少为 $V_{OUT} + 1.62V$ 且在 V_{BIAS} 偏置电源电压范围内。

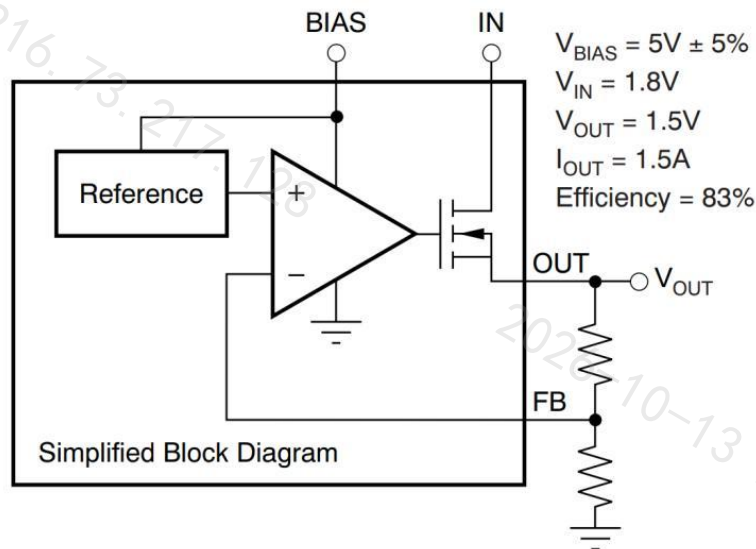


图 13. 使用辅助偏置的典型应用

12.6、无辅助偏置

如果 $V_{IN} \geq V_{OUT} + V_{DO}$ (V_{BIAS})，CYPL74401 无需偏置轨即可工作。这种情况下建议在 BIAS 引脚附近放置至少 $4.7\mu F$ 的电容。图 14 显示了不带辅助偏置的 CYPL74401 典型应用。

如果在这种情况下以及高负载条件下使用 CYPL74401，请确保印刷电路板 (PCB) 具有足够的热处理能力，以使器件保持在推荐的工作范围内。

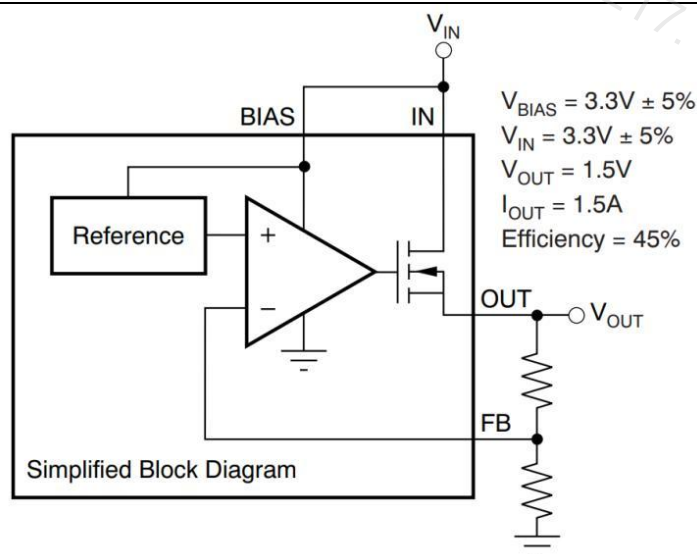


图 14. 无辅助偏置的典型应用

13. 电源建议

CYPL74401 设计工作输入电压范围为 1.1V 至 7.5V，前提是偏置电压至少比输入电源电压高 1.62V 且在 V_{BIAS} 偏置电源电压范围内。偏置电源和输入电源均须提供足够的裕量和电流，以确保器件正常工作。

将低输出阻抗电源直接连接到 CYPL74401 的 IN 引脚。为了保证稳定性，该电源在 IN 引脚附近必须至少有 10 μ F 的电容。具有类似要求的电源也必须使用单独的 1 μ F 或更大的电容直接连接到偏置电源。如果 IN 引脚连接至与偏置引脚，则偏置引脚至少需要 4.7 μ F 的电容才能保持稳定性。

为了在较高频率下提高解决方案的整体 PSRR，请在输入电容器之前使用 Pi 滤波器或铁氧体磁珠。

14. 布局指南

优化布局可以显著提升瞬态性能、电源抑制比和噪声。为了最大限度地减少负载瞬态期间器件输入端的电压降，请将 IN 和 BIAS 上的电容尽可能靠近器件连接。该电容还能最大限度地降低输入源寄生电感和电阻的影响，从而提高稳定性。为了实现最佳瞬态性能和精度，请将图 15 中 R1 的顶端尽可能靠近负载连接。这种连接可以最大限度地减少瞬态条件下 BIAS 上的电压降，并改善开启响应。

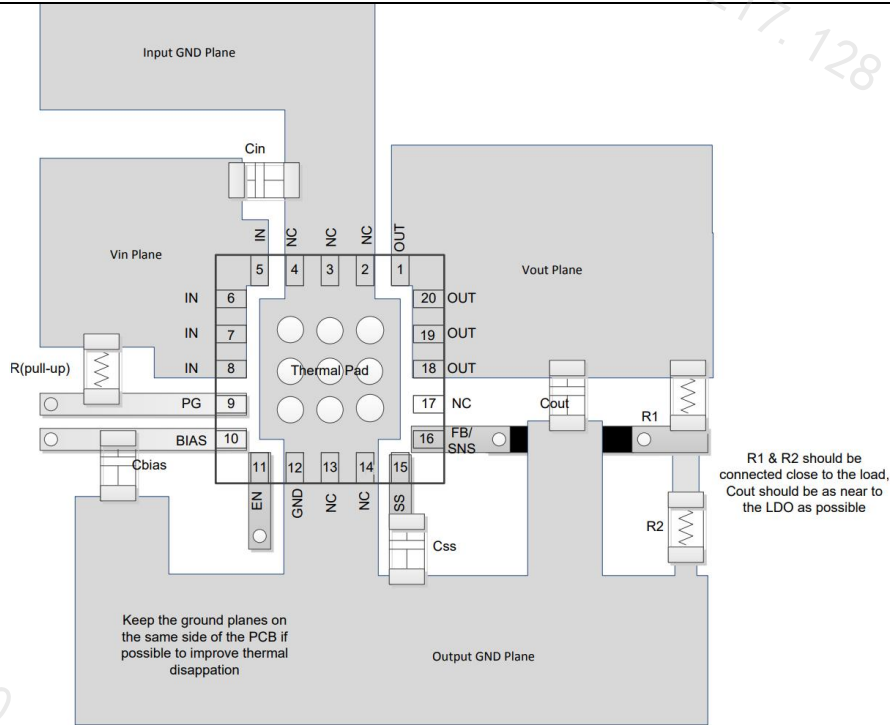


图 15. 布局原理图

了解器件的功耗以及连接到接片或焊盘的热平面的适当尺寸对于避免热关断和确保可靠运行至关重要。器件的功耗取决于输入电压和负载条件，可以使用公式 6 计算：

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT}$$

15. 焊接推荐

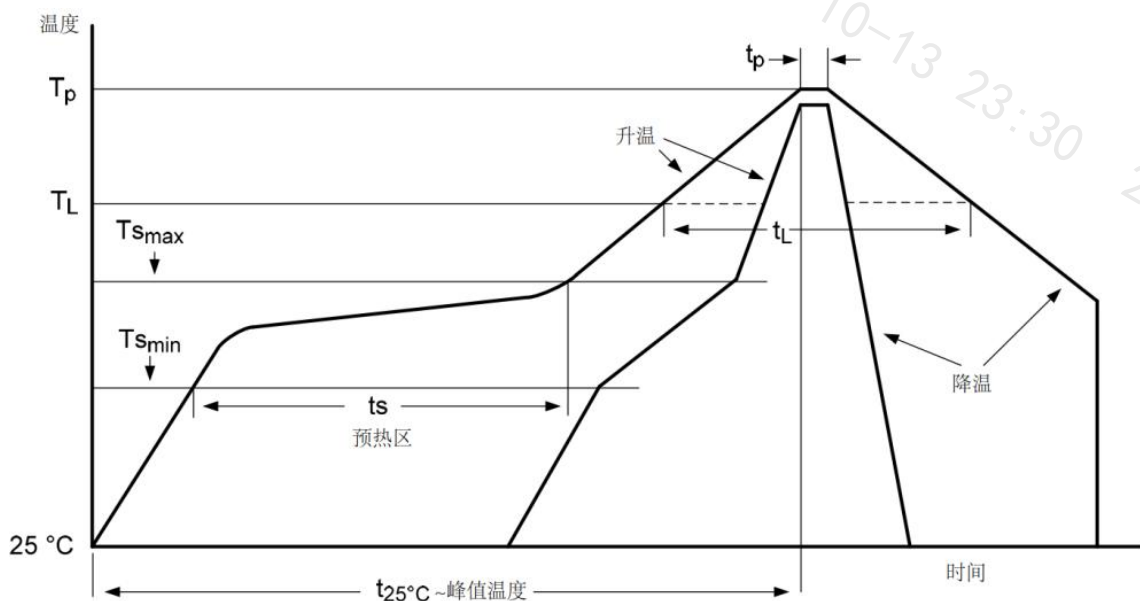


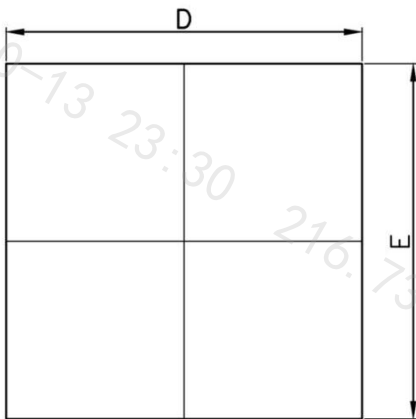
图 16. 焊接曲线图

曲线参数	Sn63Pb37
平均升温速率 (T _{max} ~T _p)	≤3℃/s
预热区最低温 (T _{min})	100℃
预热区最高温 (T _{max})	150℃
预热区时间 (t _{min} ~t _{max})	60s~120s
液相温度 (T _L)	183℃
液相上时间 (t _L)	60s~150s
峰值温度 (T _p)*	235℃
峰值温度±5℃内时间	≤20s
降温速率	≤6℃/s
25℃至峰值温度用时	≤6min

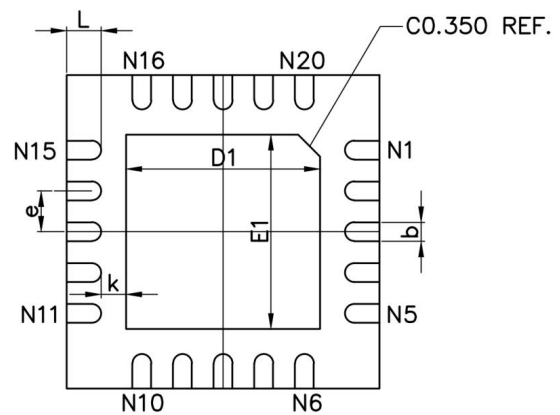
16. 封装形式

封装形式 QFN5×5-20L

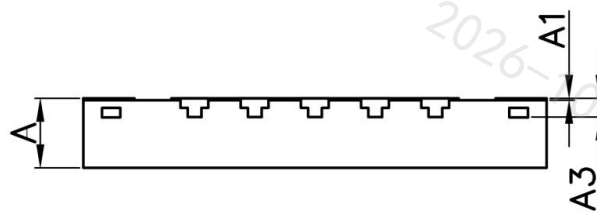
单位 (mm)



顶视图



底视图



侧视图

符号	尺寸 (mm)	
	最小值	最大值
A	0.700	0.800
A1	0.000	0.050
A3	0.203REF.	
D	4.900	5.100
E	4.900	5.100
D1	3.000	3.200
E1	3.000	3.200
k	0.400REF.	
b	0.250	0.350
e	0.650BSC.	
L	0.450	0.650

图 17. 封装尺寸图

17. 说明

如欲了解更多的产品及公司信息，请联系公司办公室人员或登录公司网站；

联系电话：021-33885531；

网址：<https://mall.ichelps.com/>

18. 本文档中的信息如有变更，恕不另行通知



请使用微信扫码进入
芯片助手 ICHELPS 小程序

查资料 查替代 查库存 查价格

招募中国区各省代理，联系电话：021-33885531