

CYD9747

双通道 16 位 250MSPS DAC

主要性能

- 高动态范围、双通道数模转换器（DAC）
- 低噪声和互调失真
- 支持NRZ 和 RZ 等多种输出模式
- LVCMOS 输入，具有双端口或可选的交织单端口操作
- 差分模拟电流输出可在8.6 mA至 31.7mA满量程范围内进行编程
- 具有拉/灌功能的10 位电流辅助DAC
- 内部1.2 V 精密基准电压源
- 采用1.8 V 和 3.3 V 电源供电
- 345 mW 功耗

- 小尺寸,符合 RoHS 标准,72引脚 LFCSP封装
- 内建自校准功能

应用场合

- 无线基础设施
W-CDMA
X-CDMA2000
Y-TD-SCDMA
Z-WiMAX
- 宽带通信：LMDS/MMDS、点对点仪器仪表
- 射频(RF) 信号发生器、任意波形发生器

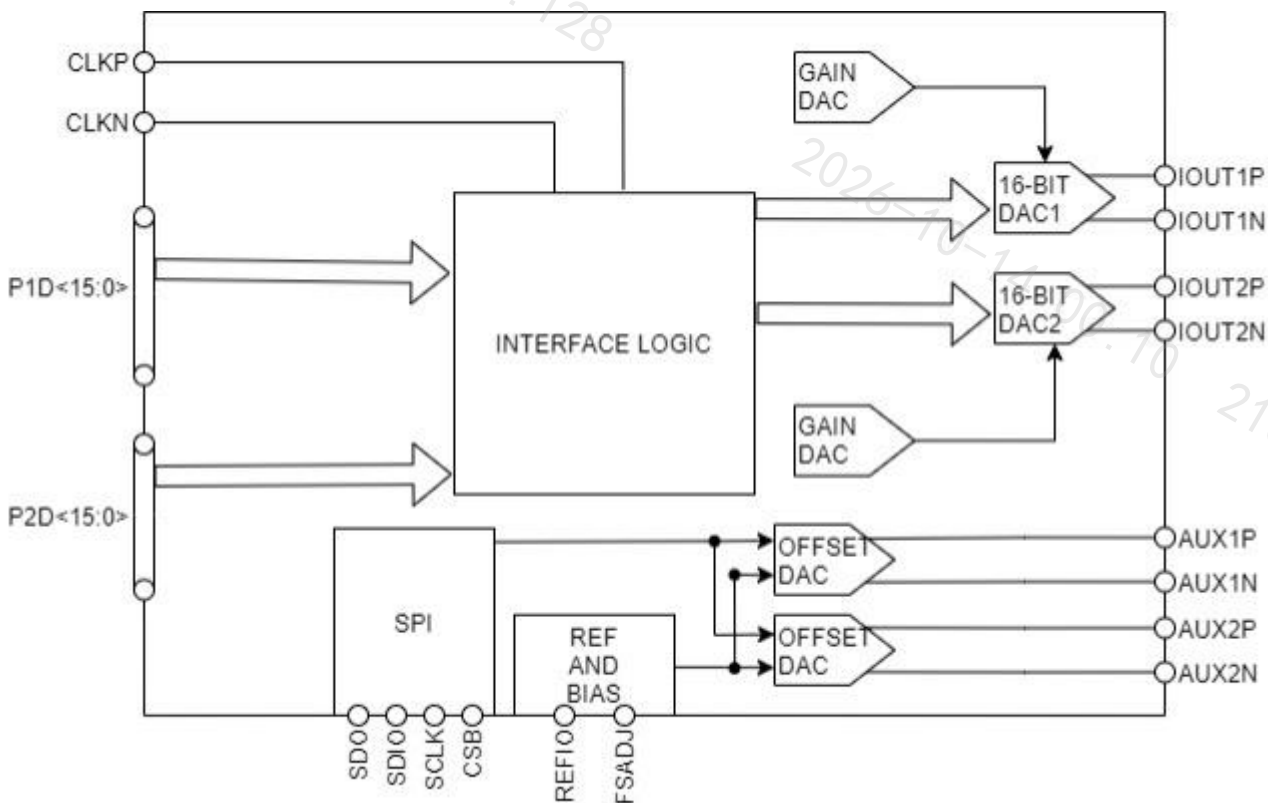


图 1 芯片模块示意图

产品概况

CYD9747 是16位高动态范围、双通道DAC，采样速率最高可达250 MSPS。该器件还具有增益和失调补偿功能，可与模拟正交调制器连接。

该器件不仅支持串行外设接口（SPI），还可以为没有控制器的应用提供一些引脚编程功能。低噪声和互调失真（IMD）可实现宽带信号的高质量合成。

多种输出模式，可增强动态性能。

可编程电流输出和双辅助DAC提供了系统灵活性和功能增强。

技术规格

直流特性

除非另有说明，TMIN至TMAX，AVDD33=3.3 V，DVDD33=3.3 V，DVDD18=1.8 V，CVDD18=1.8 V，IFS=20 mA，满量程数字输入，最大采样率。

表 1. 电气特性-直流特性

参数	条件	最小值	典型值	最大值	单位
分辨率			16		Bits
准确性					
微分非线性(DNL)			±1.5		LSB
积分非线性(INL)			±6		LSB
主要DAC 输出					
失调误差			±0.001		%FSR
失调误差温度系数			0.1		ppm/°C
增益误差			±0.3		%FSR
增益匹配(DAC1 至 DAC2)			±0.6		%FSR
满量程输出电流					mA
恒流输出电压		8.6		31.7	V
输出电阻		-1	10	1	MΩ
辅助DAC 输					
出 分辨率			10		Bits
满量程输出电流		-2		2	mA
恒流输出电压范围——灌电流		0.8		1.6	V
恒流输出电压范围——拉电流		0		1.6	V
输出电阻			1.4		MΩ
单调性			10		Bit s
参考输入/输出					
输出电压			1.2		V
输出电压温度系数			10		ppm/°C
外部输入电压范围		1.15		1.3	V
输入或输出电阻			5		kΩ

电源电压 AVDD33,DVDD33 CVDD18,DVDD18		3.13 1.7		3.47 1.9	V V
电源电流 I _{AVDD33} I _{DVDD33} I _{CVDD18} I _{DVDD18}			69 4 16 41		mA mA mA mA
功耗 f _{DAC} =250MSPS, f _{OUT} =20MH z DAC 输出禁用 关机			343 16.5 1.1		mW mW mW
工作温度		-40		85	°C

交流特性

除非另有说明, T_{MIN}至T_{MAX}, AVDD33=3.3 V, DVDD33=3.3 V, DVDD18=1.8 V, CVDD18=1.8 V, IFS=20 mA, 满量程数字输入, 最大采样率。

表 2. 电气特性-交流特性

参数	条件	最小值	典型值	最大值	单位
无杂散动态范围 (SFDR) f _{DAC} =250MSPS, f _{OUT} =20MHz f _{DAC} =250MSPS, f _{OUT} =70 MHz f _{DAC} =250MSPS, f _{OUT} =180 MHz			79.6 70 66.8		dBc dBc dBc
互调失真(IMD) f _{DAC} =250MSPS, f _{OUT} =20MHz f _{DAC} =250MSPS, f _{OUT} =70 MHz f _{DAC} =250MSPS, f _{OUT} =180 MHz			82 79 74		dBc dBc dBc

数字和时序特性

除非另有说明, T_{MIN}至T_{MAX}, AVDD33=3.3 V, DVDD33=3.3 V, DVDD18=1.8 V, CVDD18=1.8 V, IFS=20 mA, 满量程数字输入, 最大采样率。

表 3. 数字和时序特性

参数	条件	最小值	典型值	最大值	单位
DAC 时钟输入(CLKP,CLKN)					
差分峰峰值电压		400	800	1600	mV
单端峰峰值电压				800	mV
共模电压		300	400	500	mV
输入电流 输入频率				1 250	μA MH z
数据时钟输出(DCO)					
输出高电平		2.4			V
输出低电平				0.4	V
输出电流				10	mA
DAC 时钟至数据时钟输出延迟(t _{DCO})		2	2.2	2.8	ns
数据端口输入					

输入高电平		2.0		0.8	V
输入低电平				1	V
输入电流					uA
数据到 DAC 时钟建立时间(t_{DBS} 双端口模式)		400			ps
数据到 DAC 时钟保持时间(t_{DBH} 双端口模式)		1200			ps
DAC 时钟到模拟输出数据延迟(双端口模式)				7	Cycles
数据或 IQSEL 输入到 DAC 时钟建立时间		400			ps
(t_{DBS} 单端口模式)					
数据或 IQSEL 输入到 DAC 时钟保持时间		1200			ps
(t_{DBH} 单端口模式)					
DAC 时钟到模拟输出数据延迟(单端口模式)				8	Cycles
串行外设接口					
SCLK 频率(f_{SCLK})				40	MHz
SCLK 高脉冲宽度 (t_{PWH})		10			ns
SCLK 低脉冲宽度 (t_{PWL})		10			ns
CSB 到 SCLK 建立时间(t_s)		1			ns
CSB 到 SCLK 保持时间(t_H)		0			ns
SDIO 到 SCLK 建立时间(t_{DS})		1			ns
SDIO 到 SCLK 保持时间(t_{DH})		0			ns
SCLK 到 SDIO/SDO 数据的有效时间				1	ns
(t_{DV}) 复位高脉冲宽度		10			ns
唤醒时间和输出延迟					
从 DAC 输出禁用			200		μ s
从关机状态			1200		μ s
DAC 时钟到模拟输出延迟 (双端口模式)			7		Cycles
DAC 时钟到模拟输出延迟 (单端口模式)			8		Cycles

极限参数

AVDD33, DVDD33	0.3V至3.6V
DVDD18, CVDD18	0.3V至1.98V
AVSS, DVSS, CVSS	-0.3V至0.3V
REFIO	-0.3V至AVDD33+0.3V
IOUT1P, IOUT1N, IOUT2P, IOUT2N, AUX1P, AUX2N, AUX2P, AUX2N	-0.1V至AVDD33+0.3V
P1D15 至 P1D0, P2D15至P2D0	-0.3V至DVDD33+0.3V
CLKP, CLKN	-0.3V至CVDD18+0.3V
RESET, CSB, SCLK, SDIO, SDO	-0.3V至DVDD33+0.3V
结温	150°C
储温度范围	-65°C至150°C

注意：对以上所列的最大极限值，如果器件工作在超过此极限值的环境中，很可能对器件造成永久性破坏。在实际运用中，最好不要使器件工作在此极限值或超过此极限值的环境中。



ESD 保护

本产品属于静电敏感器件。当拿取时，要采取合适的ESD保护措施，以免造成性能下降或功能失效。

引脚配置及功能说明

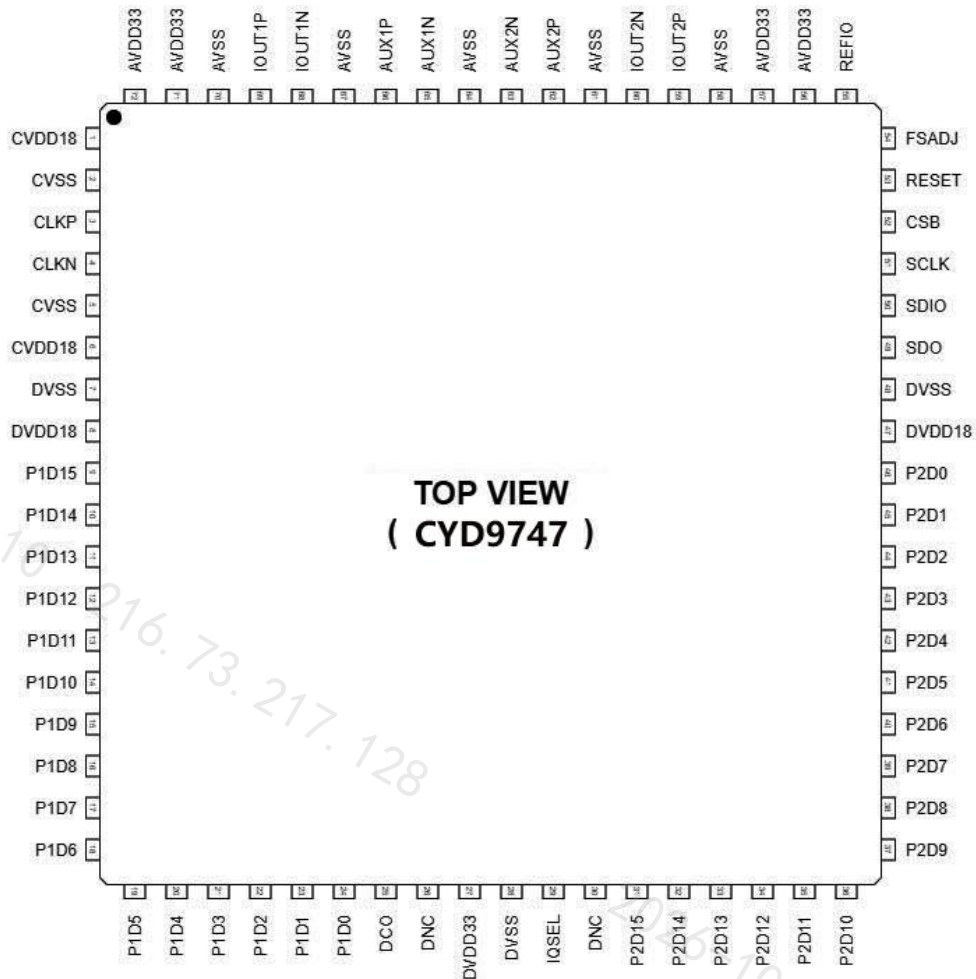


图 2 CYD9747 引脚配置

表 4. 管脚定义

引脚序号	引脚名称	引脚类型	引脚功能
1, 6	CVDD18	P	时钟电源电压(1.8V)。
2, 5	CVSS	G	时钟地(0V)。
3	CLKP	AI	差分DAC时钟输入。
4	CLKN	AI	互补差分DAC时钟输入。
7, 28, 48	DVSS	G	数字地(0V)。
8, 47	DVDD18	P	数字电源电压(1.8V)。

9至24	P1D15,P1D14,P1D13,P1D12,P1D11,P1D10,P1D9,P1D8,P1D7,P1D6,P1D5,P1D4,P1D3,P1D2,P1D1,P1D0	DI	端口1数据位输入。
25	DCO	DO	数据时钟输出。用于数据源时钟。
26, 30	DNC	/	不连接。
27	DVDD33	P	数字输入/输出电源电压(3.3V)。
29	IQSEL	DI	用于单端口模式操作的I/Q定位信号。
31至46	P2D15,P2D14,P2D13,P2D12,P2D11,P2D10,P2D9,P2D8,P2D7,P2D6,P2D5,P2D4,P2D3,P2D2,P2D1,P2D0	DI	端口2数据位输入。
49	SDO	DIO	串行外设接口数据输出。
50	SDIO	DI	串行外设接口数据输入和可选数据输出。
51	SCLK	DI	串行外设接口时钟输入。
52	CSB	DI	串行外设接口芯片选择输入。低电平有效。
53	RESET	DI	硬件复位。高位有效。
54	FSADJ	AO	满量程电流输出调整。连接一个10 k Ω 电阻到AVSS。
55	REFIO	AIO	参考输入/输出。连接一个0.1 μ F电容到AVSS。
56, 57, 71, 72	AVDD33	P	模拟电源电压(3.3 V)。
58, 61, 64, 67, 70	AVSS	G	模拟地(0 V)。
59	IOUT2P	AO	DAC2电流输出。当输入数据位均为1时, 输出满量程电流。
60	IOUT2N	AO	DAC2电流输出互补。当输入数据位均为0时, 输出满量程电流。
62	AUX2P	AO	辅助DAC2默认电流输出引脚。
63	AUX2N	AO	辅助DAC2可选输出引脚。
65	AUX1N	AO	辅助DAC1可选输出引脚。
66	AUX1P	AO	辅助DAC1默认电流输出引脚。
68	IOUT1N	AO	互补DAC1电流输出。当数据位均为0时, 输出满量程电流。

69	IOUT1P	AO	DAC1电流输出。当数据位均为1时, 输出满量程电流
	EPAD	G	外露散热焊盘。裸露的散热焊盘必须焊接到PCB顶层表面的铜浇注处, 以提高机械稳定性, 并且必须与低阻抗GND平面电连接以实现低噪声性能。

使用说明

CYD9747 所有特性和功能均可通过 SPI 端口进行设置。

SPI 端口

SPI端口是一个灵活的同步串行通信端口, 支持单字节或多字节传输以及MSB优先或LSB优先传输格式。通过单个双向引脚 (SDIO) 或通过两个单向引脚 (SDIO/SDO) 完成串行数据输入/输出。

指令字节

指令字节包含以下位图中显示的信息。

MSB

LSB

B7	B6	B5	B4	B3	B2	B1	B0
R/W	N1	N0	A4	A3	A2	A1	A0

位7 R/W确定在指令字节写入后是进行读取还是写入数据传输。逻辑高电平表示读取操作。逻辑0表示写入操作。

位[6: 5], N1和N0, 确定在数据传输周期中要传输的字节数。位定义如表5所示。

表 5. 字节传输计数

N1	N0	描述
0	0	传输一个字节
0	1	传输两个字节
1	0	传输三个字节
1	1	传输四个字节

位[4: 0]、A4、A3、A2、A1和A0确定在通信周期的数据传输期间访问哪个寄存器。对于多字节传输, 此地址是起始地址或是结束地址, 取决于当前数据传输模式。

MSB/LSB 传输

串行端口可以支持MSB优先和LSB优先的数据格式, 如图3和图4所示。

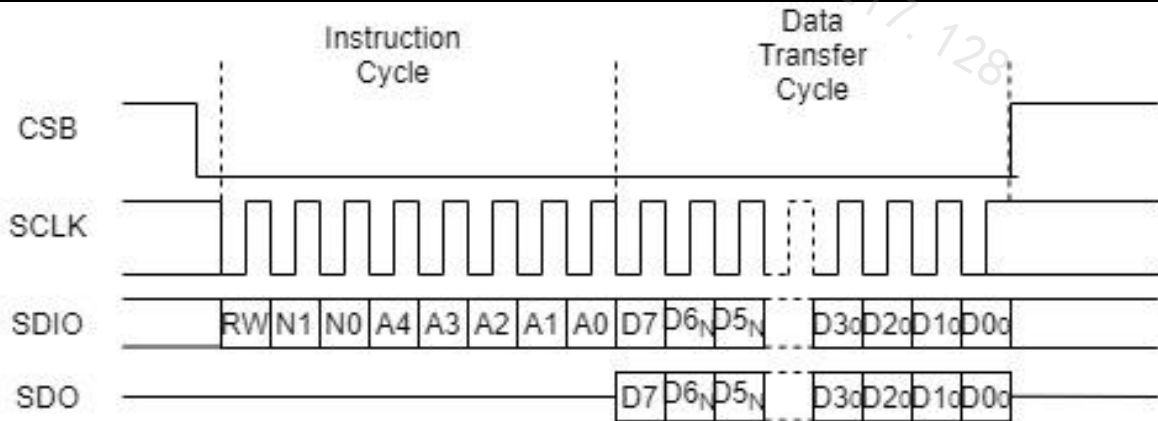


图 3 MSB First

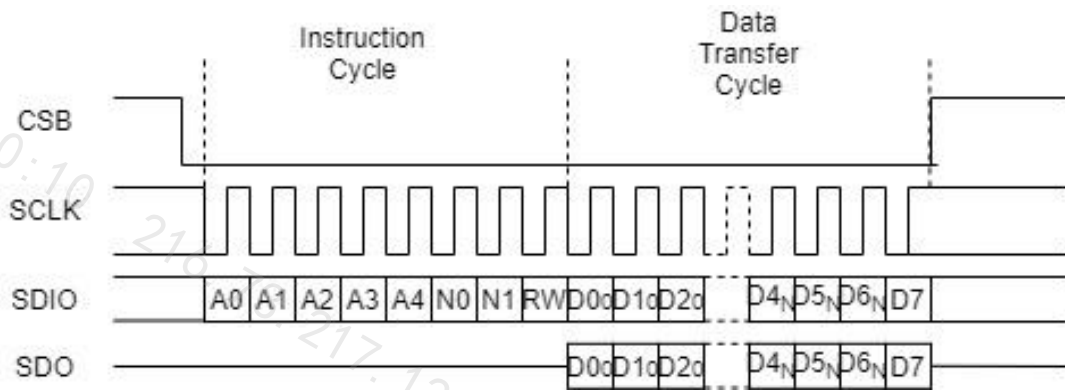


图 4 LSB First

双端口模式时序

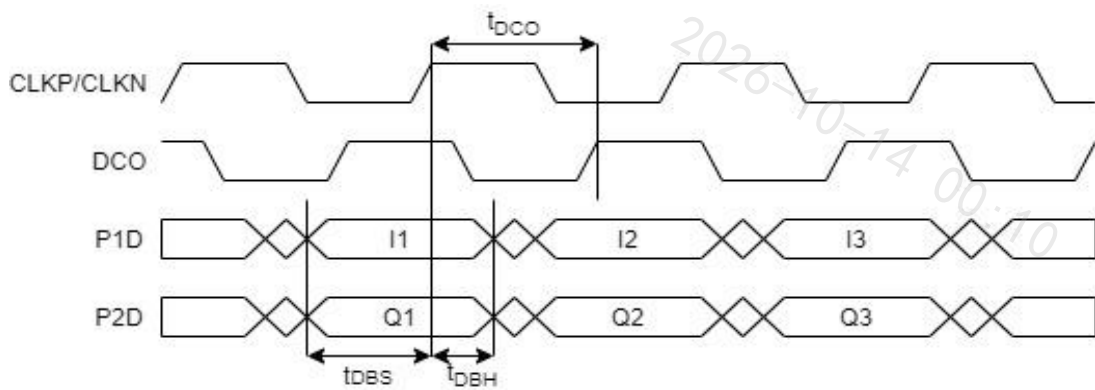


图 5 双端口模式时序

在图5中，DAC1和DAC2的数据分别由P1D和P2D输入。

单端口模式时序

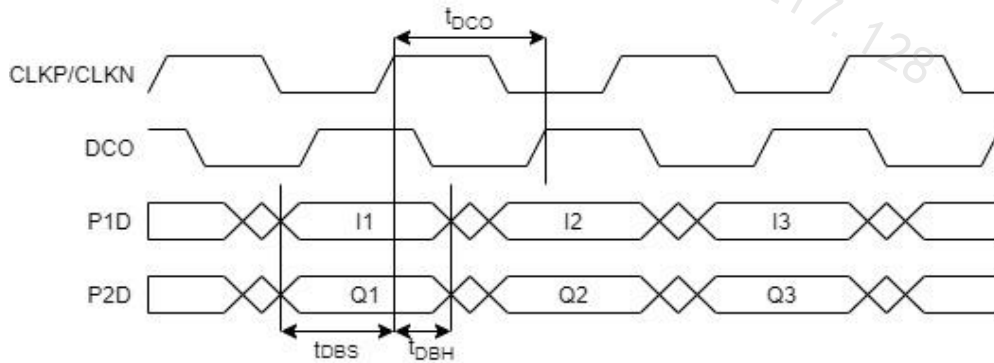


图 6 单端口模式时序

如图6所示，在单端口模式下，两个DAC的数据都在端口1输入。当IQSEL为逻辑高时，输出的是DAC1的数据，当IQSEL为逻辑低时，输出的是DAC2的数据。IQSEL必须与输入数据时间一致。

SPI 端口、复位和引脚模式

当RESET引脚变为逻辑低，SPI端口就会被有效，可以通过SPI配置器件的功能。

对于没有控制器的应用，本产品还支持引脚模式来配置一些固定的功能选项。保持RESET引脚逻辑高即可进入引脚模式，此时不使用SPI端口，四个SPI端口功能如表6所示。

表 6. SPI 端口功能

引脚名	功能
SCLK	ONEPORT (0x02, Bit6) 的值反映了引脚状态 0: 逻辑低 1: 逻辑高
SDIO	DATTYPE (0x02, Bit7) 的值反映了引脚状态 0: 逻辑低 1: 逻辑高
CSB	启用混合模式，如果CSB 为高，则寄存器 0x0A 设置为0x05。
SDO	启用完全断电，如果SDO 为高，请将0x03 设置为0xFF

寄存器

表 7. 寄存器表格

ADDRESS Bits	REGISTER NAME	DEFAULT VALUE	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
00h	SPI Control	00h	SDIODIR	LSBFIRST	SWRESET					
02h	Data Control	00h	DATTYPE	ONEPORT		INVDCO				
03h	Power Down	00h	PD DCO		PD AUX2	PD AUX1	PD BIAS	PC CLK	PD DAC2	PD DAC1
0Ah	DAC Mode Select	00h					DAC1MOD[1:0]		DAC2MOD[1:0]	
0Bh	DAC1 gain LSB	F9h	DAC1FSC[7:0]							
0Ch	DAC1 Gain MSB	01h							DAC1FSC[9:8]	
0Dh	AUX DAC1 LSB	00h	AUXDAC1[7:0]							
0Eh	AUX DAC1 MSB	00h	AUX1PIN		AUX1DIR				AUXDAC1[9:8]	
0Fh	DAC2 Gain LSB	F9h	DAC2FSC[7:0]							
10h	DAC2 Gain MSB	01h							DAC2FSC[9:8]	
11h	AUX DAC2 LSB	00h	AUXDA2[7:0]							
12h	AUX DAC2 MSB	00h	AUX2PIN		AUX2DIR				AUXDA2[9:8]	

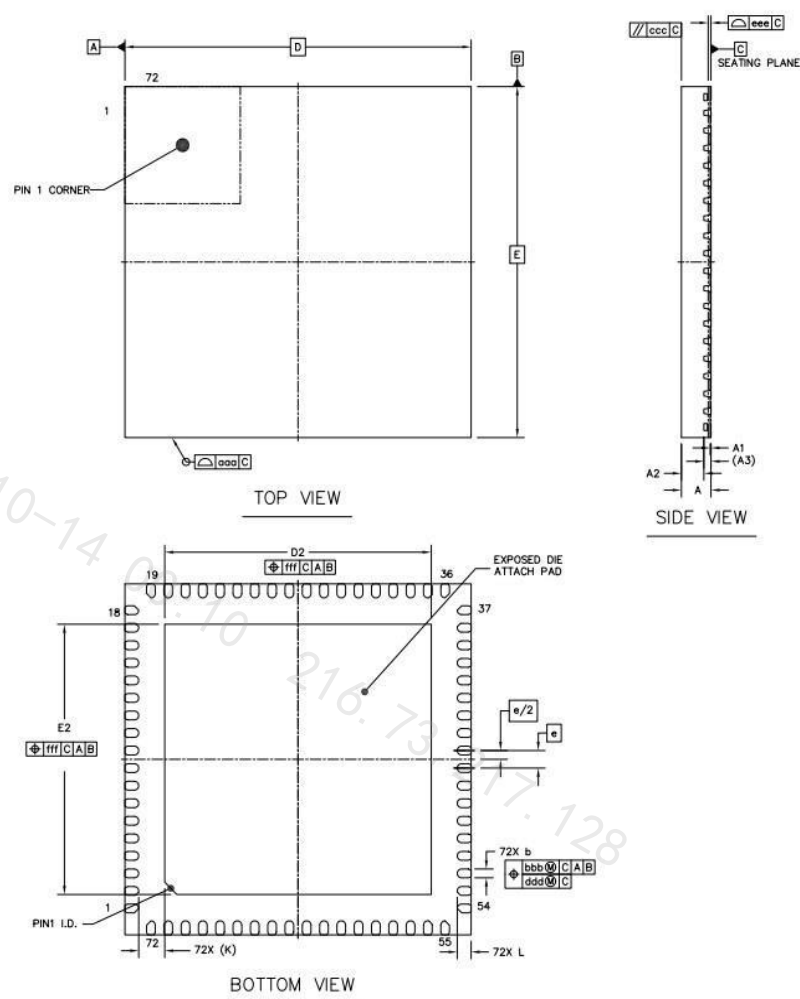
表 8. 寄存器描述

寄存器	地址	位	名称	描述
SPI Control	0x00	7	SDIODIR	0=以4 线模式操作 SPI , SDIO 引脚仅作为输入 1=以3 线模式操作 SPI , SDIO 引脚作为双向输入/输出线
		6	LSBFIRST	0 = LSBFIRST 关闭, SPI 串行数据模式为MSB 到LSB 1 = LSBFIRST 打开, SPI 串行数据模式为LSB 到MSB
		5	SWRESET	0 =软件RESET 后恢复正常操作 1 =软件RESET;将默认值加载到所有寄存器(寄存器0x00 除外)

Data Control	0x02	7	DATTYPE	0 = DAC 输入数据为补码二进制格式 1 = DAC 输入数据为无符号二进制格式
		6	ONEPORT	0 = 正常双端口输入模式 1 = 单端口输入模式，只在端口 1 接收交叉数据
		4	INVDCO	1 = 使数据时钟输出信号反向
Power Down	0x03	7	PD_DCO	1 = 关闭数据时钟输出
		5	PD_AUX2	1 = 关闭AUX2 DAC
		4	PD_AUX1	1 = 关闭AUX1 DAC
		3	PD_BIAS	1 = 关闭基准电压偏置电路
		2	PD_CLK	1 = 关闭DAC 时钟输入电路
		1	PD_DAC2	1 = 关闭DAC2 模拟输出
		0	PD_DAC1	1 = 关闭DAC2 模拟输出
DAC Mode Select	0x0A	3:2	DAC1MOD[1:0]	00 = 选择 DAC1 为正常模式 01 = 选择 DAC1 为混合模式 10 = 选择 DAC1 为归零模式
		1:0	DAC2MOD[1:0]	00 = 选择 DAC2 为正常模式 01 = 选择 DAC2 为混合模式 10 = 选择 DAC2 为归零模式
	0x0B	7:0	DAC1FSC[7:0]	DAC1 10 位满量程调整

DAC1 Gain	0x0C	1:0	DAC1FSC[9:8]	0x03FF = 设置满量程电流的最大值为 31.66 mA 0x01F9 = 设置满量程电流的标称值为 20.0 mA ; 0x0000 = 设置满量程电流的最小值为 8.64 mA
AUX DAC1	0x0D	7:0	AUXDAC1[7:0]	AUX DAC1 10 位输出电流调节
	0x0E	1:0	AUXDAC1[9:8]	0x03FF = 设置输出电流大小为 2.0 mA 0x0200 = 设置输出电流大小为 1.0 mA 0x0000 = 设置输出电流大小为 0.0 mA
		7	AUX1PIN	1 = AUX1P 输出引脚有效; 0 = AUX1N 输出引脚有效
		6	AUX1DIR	0 = 配置AUX1 DAC 输出为源电流; 1 = 配置AUX1 DAC 输出为接收电流
DAC2 Gain	0x0F	7:0	DAC2FSC[7:0]	DAC2 10 位满量程调整
	0x10	1:0	DAC2FSC[9:8]	0x03FF = 设置满量程电流的最大值为 31.66 mA 0x01F9 = 设置满量程电流的标称值为 20.0 mA 0x0000 = 设置满量程电流的最小值为 8.64 mA
AUX DAC2	0x11	7:0	AUXDAC2[7:0]	AUX DAC2 10 位输出电流调节
	0x12	1:0	AUXDAC2[9:8]	0x03FF = 设置输出电流大小为 2.0 mA 0x0200 = 设置输出电流大小为 1.0 mA 0x0000 = 设置输出电流大小为 0.0 mA
		7	AUX2PIN	1 = AUX2P 输出引脚有效; 0 = AUX2N 输出引脚有效
		6	AUX2DIR	0 = 配置AUX2 DAC 输出为源电流; 1 = 配置AUX2 DAC 输出为接收电流

外形尺寸



		SYMBOL	MIN	NOM	MAX
TOTAL THICKNESS		A	0.8	0.85	0.9
STAND OFF		A1	0	0.02	0.05
MOLD THICKNESS		A2	---	0.65	---
L/F THICKNESS		A3	0.203 REF		
LEAD WIDTH		b	0.2	0.25	0.3
BODY SIZE	X	D	10 BSC		
	Y	E	10 BSC		
LEAD PITCH		e	0.5 BSC		
EP SIZE	X	D2	7.6	7.7	7.8
	Y	E2	7.6	7.7	7.8
LEAD LENGTH		L	0.3	0.4	0.5
LEAD TIP TO EXPOSED PAD EDGE		K	0.75 REF		
PACKAGE EDGE TOLERANCE		aaa	0.1		
MOLD FLATNESS		ccc	0.1		
COPLANARITY		eee	0.08		
LEAD OFFSET		bbb	0.1		
		ddd	0.05		
EXPOSED PAD OFFSET		fff	0.1		

图 7 QFN-72 封装尺寸图

订购信息

物料编号	温度范围	等级类型	封装
CYD9747Q72I	-40℃ - 85℃	工业级	QFN-72
CYD9747Q72J	-55℃ - 125℃	军温级	QFN-72

说明

如欲了解更多的产品及公司信息，请联系公司办公室人员或登录公司网站：

联系电话：021-60907680；

网址：<https://mall.ichelps.com/>

本档中的信息如有变更，恕不另行通知



请使用微信扫码进入
芯片助手ICHELPS小程序

查资料 查替代 查库存 查价格

招募中国区各省代理，联系电话：021-60907680