

文档版本	修订日期	内容描述
1.0	2026-7-28	初版

CYDR2S80

分辨率可变的旋变数字转换器

1. 特性

- 单芯片R/D转换器
- 10/12/14/16位分辨率由用户设置
- 比率转换
- 低功耗: 300 mW(典型值)
- 动态性能由用户设置
- 高跟踪速率: 1040 RPS(10位, 最大值)
- 速度输出
- 军用温度范围版本
- 2类ESD防护(2,000 V, 最小值)

- 完全兼容ADI的AD2S80A

2. 应用

- 直流无刷和交流电机控制
- 过程控制
- 机床数字控制
- 机器人技术
- 轴控制
- 军用伺服控制

3. 功能模块示意图

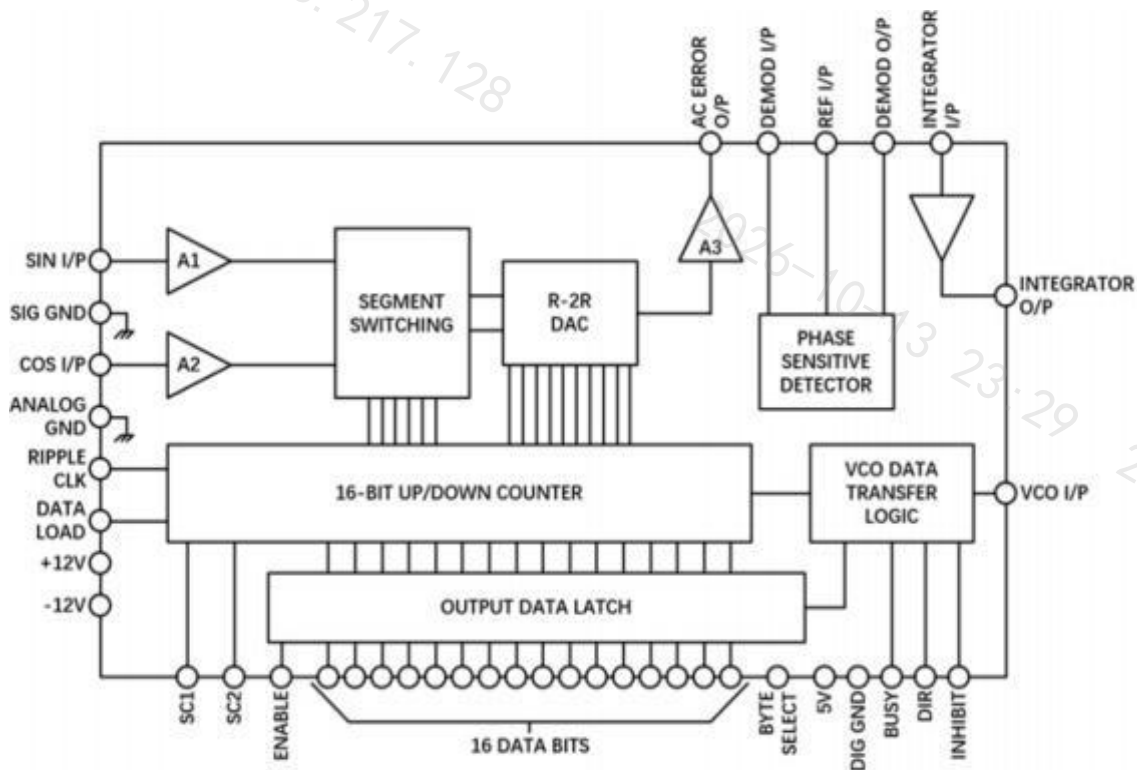


图 1 芯片模块示意图

4. 订购信息

物料编号	等级类型	温度范围	封装类型
CYDR2S80K40I	工业级	-40℃ - 85℃	DIP-40
CYDR2S80K40J	军温级	-55~125℃	DIP-40
CYDR2S80CL44I	工业级	-40℃ - 85℃	CLCC-44
CYDR2S80CL44J	军温级	-55~125℃	CLCC-44

注：根据客户需求可以定制封装。

5. 概述

CYDR2S80是一款单芯片、10/12/14/16位旋变数字转换器，提供40引脚DIP封装及44引脚CLCC封装。该转换器允许用户通过外部元件选择所需的分辨率和动态性能。这赋予用户极大的灵活性，从而确定最适合其系统要求的转换器。借助该转换器，用户可以选择10位、12位、14位或16位的分辨率；设置为10位分辨率时，可以跟踪转速最高达1040转/秒(62,400 rpm)的旋变信号。

CYDR2S80利用比率跟踪转换方法将旋变格式输入信号转换为并行自然二进制数字。这样，当转换器远离旋变器放置时，可以确保具有高抗扰度，并且支持长引线。

10、12、14或16位输出字处于三态数字逻辑状态，并通过16路输出数据线以2字节形式提供。BYTE SELECT、ENABLE和INHIBIT引脚确保可轻松地将数据传输至8和16位数据总线，而提供的输出则可通过外部计数器进行周期或俯仰计数。该器件还可以提供与速度成比例的模拟信号，可用于取代转速传感器。

CYDR2S80的工作基准频率范围为50 Hz至20,000 Hz。

6. 产品聚焦

单芯片：单芯片解决方案可减小所需的封装尺寸并提高可靠性。

分辨率由用户设置：借助两个控制引脚，CYDR2S80的分辨率可以选为10、12、14或16位，因而用户可以选择各种应用的最优分辨率来使用CYDR2S80。

比率跟踪转换：所用转换技术能够连续输出位置数据，且没有转换延迟，并且对绝对信号电平不敏感。它还可以很好地抑制噪声，以及基准和输入信号的谐波失真容限。

动态性能由用户设置：通过选择外部电阻和电容值，用户可以根据系统要求确定转换器的带宽、最大跟踪速率和速度比例。所需的外部元件全部是低成本的优选值电阻和电容，且元件值可以轻松地使用给定的简单命令来选择。

速度输出：该器件可以提供与速度成比例的模拟信号，并且通常百分之一呈线性。在很多应用中，这可以用于取代速度传感器，通过伺服控制和速度反馈数据提供环路稳定。

低功耗：典型值仅300mW。

7. 技术规格

除非另有说明，否则通常为 25℃。

表 1RDC 规格

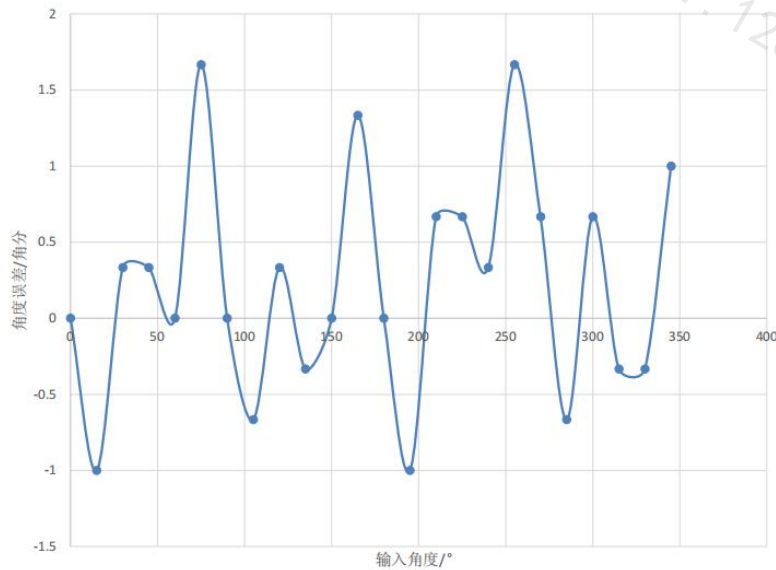
参数	条件	最小值	典型值	最大值	单位
信号输入					
频率		50		20000	Hz
电平		1.8	2.0	2.2	Vrms
输入偏置电流			60	150	nA
输入阻抗		1.1			MΩ
最大电压				8	Vpk
基准输入					
频率		50		2000	Hz
电平		1.0		0	VPK
输入偏置电流			60	8.0	nA
输入阻抗		1.1		150	MΩ
控制动态					
可重复性		-10		1	LSB
容许相移				+10	Degrees
跟踪速率	10位			1408	rps
	12位			352	rps
	14位			88	rps
	16位			22	rps
精度					
角度精度				±2+1 LSB	弧分
单调性	保证单调性				
失码(16位分辨率)				2	代码
速度信号					
线性度	满量程范围		±1.1		%FSD
反向误差			±0.6		%FSD
直流零失调2				10	mV
直流零失调温度系数			-22		μV/°C
增益调整精度				±10	%FSD
输出电压	1 mA负载	±8	±9	±10.5	V
动态纹波	均值			1.5	%rms O/P
输出负载				1.0	kΩ
输入/输出保护					
模拟输入	过压保护		±8		V
模拟输出	短路输出保护	±5.6	±8	±10.4	mA
数字位置					
分辨率	10、12、14和16				
输出格式	双向自然二进制				

参数	条件	最小值	典型值	最大值	单位
负载				3	LSTTL
INHIBIT ³ 检测数据达到稳定所需的时间	逻辑LO至INHIBIT			200	ns
ENABLE ³ ENABLE时间	逻辑LO使能位置 输出。逻辑HI输出处于高 阻抗状态	35	83		ns
BYTE SELECT ³ 检测逻辑LO提供数据所需时间	MS Byte DB1–DB8、 LS Byte DB9–DB16 LS Byte DB1–DB8、 LS Byte DB9–DB16	57		97	ns
短周期输入 SC1 SC2 0 0 0 1 1 0 1 1	内部拉高(100 kΩ)至+VS 10位 12位 14位 16位		有效 有效 有效 有效		
数据负载(检测)	内部拉高(100 kΩ)至VS。逻辑LO允许数据从数据线 载入计数器。		150	30	ns
BUSY ³ (检测) 宽度 负载	位置输出时逻辑HI改变 使用额外上拉电阻	200	325	600	ns LSTTL
DIRECTION ³ (检测) 最大负载	逻辑HI递增计数 逻辑LO递减计数			3	LSTTL
RIPPLE CLOCK ³ 宽度 复位 负载	取决于输入速度 下一忙状态之前	300		3	LSTTL
数字输入 高电压V _{IH} 低电压V _{IL}	INHIBIT,ENABLE,DB1– DB16, 字节选择 ±VS=±10.8V,VL=5.0V INHIBIT,ENABLE,DB1– DB16, 字节选择 ±VS=±13.2V,VL=5.0V	2.4		0.5	V V
数字输入 高电流I _{IH}	INHIBIT,ENABLE,DB1– DB16, ±VS=±13.2 V,VL=5.5V			±100	μA
低电流I _{IL}	INHIBIT,ENABLE,DB1– DB16, 字节选择 ±VS=±13.2V,VL=5.5V			±100	μA
数字输入					
低电压V _{IL}	ENABLE=HI SC1,SC2,数据负载 ±VS=±12.0V,VL=5.0V			1.0	V

参数	条件	最小值	典型值	最大值	单位
低电流 I_{IL}	ENABLE=HI SC1,SC2,数据负载 $\pm V_S = \pm 12.0V$, $V_L = 5.0V$			-400	μA
数字输出					
高电压 V_{OH}	DB1-DB16, $I_{OH} = 100\mu A$ RIPPLE CLK, DIR $\pm V_S = \pm 12.0V$, $V_L = 4.5V$	4.9			V
低电压 V_{OL}	DB1-DB16, $I_{OH} = 1.2mA$ RIPPLE CLK, DIR $\pm V_S = \pm 12.0V$, $V_L = 5.5V$			0.1	V
三态泄漏 电流	仅限 DB1-DB16 $\pm V_S = \pm 12.0$ V, $V_L = 5.5V$ $V_{OL} = 0V$ $\pm V_S = \pm 12.0V$, $V_L = 5.5V$ $V_{OH} = 0V$			± 70 ± 70	μA μA
比率乘法器					
交流误差输出调整比例	10位 12位 14位 16位		177.6 44.4 11.1 2.775		mV/位 mV/位 mV/位 mV/位
相位敏感检测器 输出失调电压 增益 同相 正交 输入偏置电流 输入阻抗 输入电压	w.r.t.REF w.r.t.REF	-0.882 1	-0.9 60	12 -0.918 ± 0.02 150 ± 8	mV Vrms/Vdc Vrms/Vdc nA M Ω V
积分器 开环增益 死区电流(迟滞) 输入失调电压	10 kHz时	57	100 1	63 5	dB nA/LSB mV
输入偏置电流 输出电压范围	$\pm V_S = \pm 10.8V$ dc	± 7	60	150	nA V
最大速率	$\pm V_S = \pm 12V$ dc			1.1	MHz
低电流 I_{IL}	INHIBIT, ENABLE, DB1-DB16, 字节选择 $\pm V_S = \pm 13.2V$, $V_L = 5.5V$			± 100	μA
数字输入					
低电压 V_{IL}	ENABLE= HI SC1,SC2,数据负载 $\pm V_S = \pm 12.0V$, $V_L = 5.0V$			1.0	V
低电流 I_{IL}	ENABLE= HI SC1,SC2,数据负载 $\pm V_S = \pm 12.0V$, $V_L = 5.0V$			-400	μA
数字输出	DB1-DB16, $I_{OH} =$				

参数	条件	最小值	典型值	最大值	单位
高电压 V_{OH}	100 μA RIPPLE CLK, DIR $\pm V_S = \pm 12.0V$, $V_L = 4.5V$	4.9			V
低电压 V_{OL}	DB1-DB16, $I_{OH} = 1.2mA$ RIPPLE CLK, DIR $\pm V_S = \pm 12.0V$, $V_L = 5.5V$			0.1	V
三态泄漏 电流 I_L	仅限 DB1-DB16 $\pm V_S = \pm 12.0V$, $V_L = 5.5V$ $V_{OL} = 0V$ $\pm V_S = \pm 12.0V$, $V_L = 5.5V$ $V_{OH} = 0V$			± 70 ± 70	μA μA
比率乘法器					
交流误差输出调整比例	10 位 12 位 14 位 16 位		177.6 44.4 11.1 2.775		mV/位 mV/位 mV/位 mV/位
最大速率	$\pm V_S = \pm 12V$ dc			1.1	MHz
VCO速率	正向 负向	7.1	7.9		kHz/ μA kHz/ μA
VCO电源灵敏度					
上升	+ V_S - V_S		+0.5 -8.0		%/V %/V
下降	+ V_S - V_S		-8.0 +2.0		%/V %/V
输入失调电压			1	5	mV
输入偏置电流			70	380	nA
输入偏置电流温度系数			-1.22		nA/ $^{\circ}C$
输入电压范围				± 8	V
绝对速率线性度					
满量程				<2	%FSD
0%至50%满量程范围内反向误差				<1	%FSD
反向误差对电源对称性的灵敏度				1.5	%FSD
			± 8		不对称的 %/V
电源					
电平					
+ V_S		+7	12	+13.2	V
- V_S		-7	-12	-13.2	V
+ V_L		+4.5	+5	+5.5	V
电流					
$\pm I_S$	$\pm V_S @ \pm 12V$		± 17	± 22	mA
$\pm I_S$	$\pm V_S @ 13.2V$		± 19	± 23	mA
$\pm I_L$	$\pm V_L @ \pm 5.0V$		± 0.5	± 1.5	mA

角度误差与输入角度的关系如下图所示。



8. 极限参数

+VS.....	+14 V dc
-VS.....	-14 V dc
+VL.....	+5V dc
基准电压.....	14V 至-VS
SIN.....	14V 至-VS
COS.....	14V 至-VS
任意逻辑输入.....	0.4Vdc 至+VL dc
解调器输入.....	14V 至-VS
积分器输入.....	14V 至-VS
VCO 输入.....	14V 至-VS
VS 功耗.....	860mW
最大结温 TJ,MAX.....	150℃
工作温度范围.....	-55℃ 至 125℃
存储温度范围.....	-65℃ 至 150℃

注意：对以上所列的最大极限值，如果器件工作在超过此极限值的环境中，很可能会对器件造成永久性破坏。在实际运用中，最好不要使器件工作在此极限值或超过此极限值的环境中。



ESD 保护

本产品属于静电敏感器件。当拿取时，要采取合适的 ESD 保护措施，以免造成性能下降或功能失效。

9. 管脚(焊盘)配置及功能说明

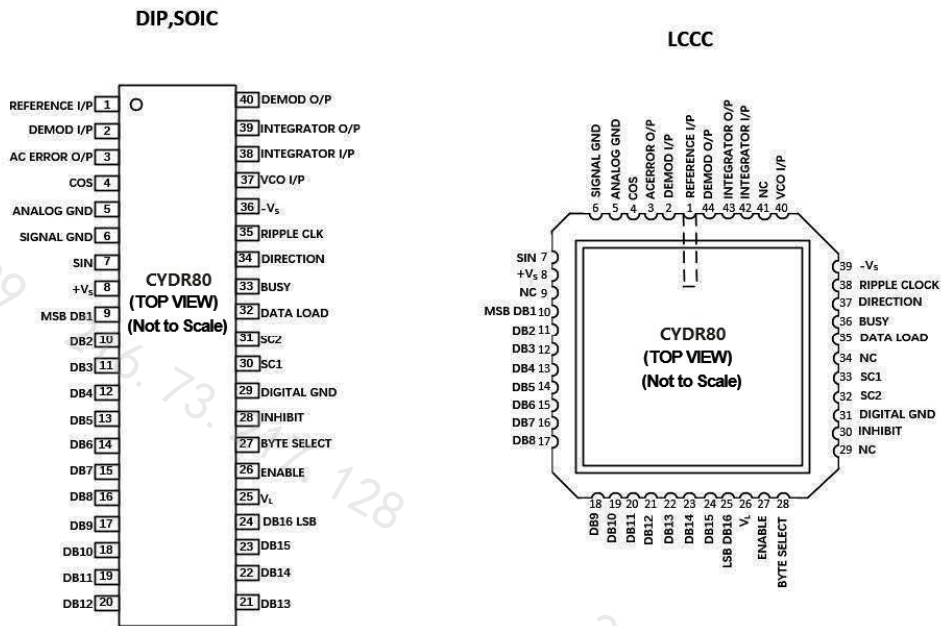


图 2 管脚(焊盘)配置

表 2 引脚标识

引脚名称	功能
REFERENCE I/P	参考信号输入
DEMOM I/P	解调器输入
AC ERROR O/P	比率乘法输出
COS	余弦输入
ANALOG GROUND	电源地
SIGNAL GROUND	旋变信号地
SIN	正弦输入
+V _s	正电源
DB1-DB16	并行输出数据
V _L	逻辑电源
ENABLE	逻辑HI- 以高阻抗状态输出数据， 逻辑LO将数据输入至输出锁存器

引脚名称	功能
BYTE SELECT	逻辑HI-高字节写入DB1-DB8，逻辑LO-低字节写入DB1-DB8
INHABIT	逻辑LO禁止将数据传输至输出锁存器
DIGITAL GROUND	数字地
SC1-SC2	选择转换器分辨率
数据负载	逻辑LO DB1-DB16输入逻辑HI DB1-D16输出
BUSY	转换器繁忙，BUSY HI时数据无效
DIRECTION	输入信号旋转的逻辑状态定义
RIPPLE CLOCK	转换器输出从全1变为全0时，为正脉冲，反之亦然。
-VS	负电源
VCO I/P	VCO输入
INTEGRATOR I/P	积分器输入
INTEGRATOR O/P	积分器输出
DEMODO/P	解调器输出

表 3 位权重表

二进位 (N)	分辨率 (2N)	度/位	分钟/位	秒/位
0	1	360	21600	1296000
1	2	180	10800	648000
2	4	90	5400	324000
3	8	45	2700	162000
4	16	22.5	1350	81000
5	32	11.25	675	40500
6	64	5.625	337.5	20250
7	128	2.8125	168.75	10125
8	256	1.40625	84.375	5062.5
9	512	0.703125	42.1875	2531.25
10	1024	0.3515625	21.09375	1265.625
11	2048	0.1757813	10.546875	632.8125
12	4096	0.0878906	5.273438	316.40625
13	8192	0.0439453	2.636719	158.20313

14	16384	0.0219727	1.318359	79.10156
15	32768	0.0109836	0.659180	39.55078
16	65536	0.0054932	0.329590	19.77539
17	131072	0.0027466	0.164795	9.88770
18	262144	0.0013733	0.082397	4.94385

10. 应用信息

10.1 转换器的连接

连接到+VS和 - VS引脚的电源电压应分别为+12Vdc和 - 12Vdc，两者不得颠倒。施加于VL的电压可以为5 Vdc至+VS。建议在电源线+V S、 - V S和毗邻转换器的ANALOGGROUND之间并联去耦电容。推荐值为100nF(陶瓷电容)和10 μ F(钽电容)。另外，还应在+VL和毗邻转换器的DIGITAL GROUND之间连接100 nF和10 μ F的电容。如果一个芯片上采用多个转换器，则应单独为每个转换器连接一个去耦电容。

旋变器应连接到SIN和COS输入、REFERENCE INPUT和SIGNAL GROUND，如图7和“连接旋变器”部分所述。旋变器的两个信号地线应接到转换器的SIGNAL GROUND引脚，以尽量降低正弦信号和余弦信号之间的耦合。为此，还建议使用单独的屏蔽双绞线电缆来连接旋变器，从而单独地旋转正弦、余弦和参考信号。

SIGNAL GROUND和ANALOG GROUND在内部互连。ANALOG GROUND和DIGITAL GROUND必须从外部相连。所需外部元件应该按图1所示进行连接。

10.2 转换器分辨率

CYDR2S80的两大主要规格可供用户自由选择，从而优化整体系统性能。数字输出的分辨率通过SC1和SC2输入的逻辑状态设置为10、12、14或16位；而带宽和跟踪速率的动态特性则通过外部元件来选择。

分辨率设置将影响R4和R6的值，进而分别影响积分器和VCO的输入(参见“元件选择”部分)。如果分辨率发生改变，则电路中必须切换为R4和R6的新值。

注：在动态条件下更改分辨率时，请在BUSY处于低电平状态(即数据未发生变化)时进行。

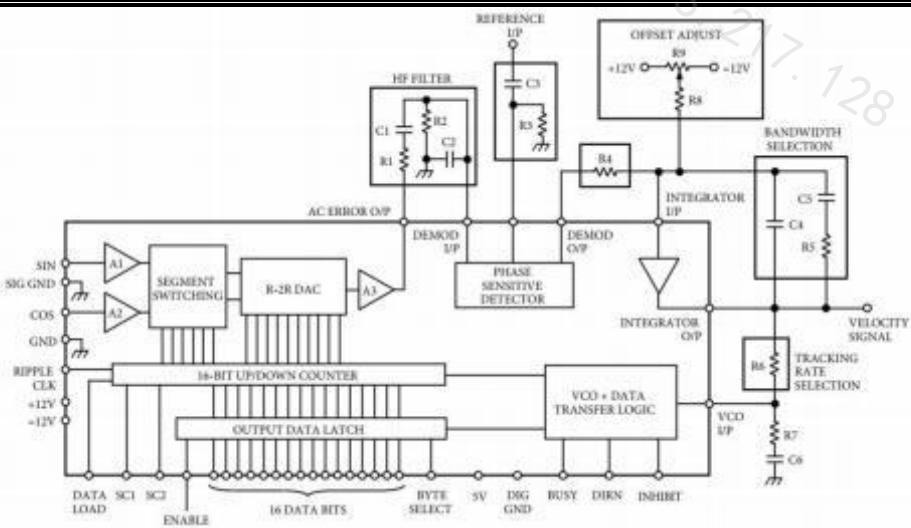


图 3 CYDR2S80连接图

10.3 转换器操作

CYDR2S80接在图1所示的电路中时，用作旋变数字转换器，并形成Ⅱ型闭环系统。输出将自动跟随输入，速度最高可达选定的最大跟踪速率。由于输入的每个LSB增量或减量会自动启动转换，因此无需任何转换命令。转换器的每个LSB变化都会启动一个BUSY脉冲。由于转换仅取决于输入信号的比率，因此CYDR2S80可耐受输入幅度和频率变化，且性能非常出色。这样也就无需精密且稳定的振荡器来生成参考信号。通过在转换环路中增加相位敏感检测器，可确保对不相干或与参考信号正交的信号具有高抗扰度。

10.4 信号调理

如果速度信号要求达到最高性能，则正弦和余弦信号输入的幅度应保持在标称值的10%以内。数字位置输出对幅度变化相对不敏感。将输入信号电平提高10%以上时，精度将会由于内部过载而有所下降。降低电平则会导致精度持续下降。当信号电平为正确值的50%时，角度误差将增大到相当于1.3LSB的量。在此电平下，可重复性将下降至2LSB，由于动态特性与信号电平成比例，因此动态响应也会发生变化。在没有电源和/或基准电压源的情况下，向CYDR2S80输入信号时，该器件不会损坏。

10.5 基准输入

虽然转换器输入端所施加的参考信号幅度并不是很重要，但应注意，确保其在建议的工作范围内。在没有电源和/或信号输入的情况下，向CYDR2S80施加基准电压时，该器件不会损坏。

10.6 谐波失真

信号和基准线路上允许的谐波失真量为10%。虽然可以使用方波，但是输入电平应进行调整，使得平均值等于1.9Vrms。（例如，方波应为1.9V峰值。）三角波和锯齿波的幅度应为2Vrms。

注：10%谐波失真的规定系数仅用于方便校准。

10.7 位置输出

旋变轴位置由转换器输出端提供,并表示为自然二进制平行数字字。当转换器的数字位置输出通过主进位(如全1到全0,或相反)时,则会启动RIPPLE CLOCK(RC)逻辑输出,表示输入已转过一圈或完成一个俯仰。输入旋转的方向由DIRECTION(DIR)逻辑输出来表示。在产生RIPPLE CLOCK脉冲之前,该方向数据始终有效,而且由于该数据内部锁存,因此只有状态变化(1LSB最小变化)以及相的方向变化。RIPPLE CLOCK脉冲和DIRECTION数据均不会受到INHIBIT应用的影响。所给出的静态位置精度是排除INTEGRATOR INPUT处失调信号的影响(可通过调整消除,参见图1)之后,并且满足下列条件的情况下,在整个工作温度范围内可能出现的最大误差:输入信号幅度处于标称值的10%以内;信号和基准之间的相移小于10度。这些工作条件主要选择用来建立能够追溯到国家标准的可重复验收测试程序。实际使用时,只要能够注意到上述几点,CYDR2S80 完全可以在这些工作条件之外正常工作。

10.8 速度信号

跟踪转换器技术可在积分器的输出端(INTEGRATOR OUTPUT 引脚)生成内部信号,且该信号与输入角度的变化速率成比例。这就是称为速度信号的直流模拟输出。在很多应用中,CYDR2S80 的速度信号可用来取代传统的转速传感器。

10.9 直流误差信号

相位敏感检测器输出端(DEMODULATOR OUTPUT)的信号需通过跟踪环路变成零,因此与输入角度和输出数字角度之间的误差成比例。这就是转换器的直流误差;由于转换器为II型伺服环路,因此如果输出因任何原因而无法跟踪输入,则该误差将增大。这表明输入已超过转换器的最大跟踪速率或因某些内部故障使转换器无法变为零。通过连接两个外部比较器,此电压即可用作“内置测试”。

10.10 元件选择

以下指令说明如何为转换器选择外部元件,从而实现所需的带宽和跟踪速率。所有情形下均应使用最接近“优选值”的元件,而且5%的容差不会导致转换器整体性能下降。同时应注意确保电阻和电容能够在所需的工作温度范围内工作。元件应按图1所示进行连接。PG兼容软件可帮助用户选择CYDR2S80 的最优元件值,并且可显示传输增益、相位和小阶跃响应。有关更多详情和说明,参见“电路功能和动态性能”部分。

10.11 高频滤波器(R1、R2、C1、C2)

高频滤波器的功能是消除任何直流失调、降低 CYDR2S80 信号输入的噪音量,从而到达相位敏感检测器并影响输出。R1和C2可以省去(在此情况下,R2=R3且C1=C3,计算公式如下),但如果转换模式电源和无刷马达驱动存在噪音,则特别建议使用R1和C2。应适当地选择值,使得

$$C1=C2=15k\Omega \leq R1=R2 \leq 56k\Omega$$

$$C1=C2=1/2\pi R1f_{REF}$$

其中, f_{REF} =基准频率

此滤波器会在相位敏感检测器的输入端施加三倍衰减。

10.12 增益调整电阻(R4)

如果使用 R1 和 C2:

$$R4 = \frac{E_{DC}}{100 * 10^{-9}} * \frac{1}{3} Q$$

其中, $100 * 10^{-9}$ = 电流/LSB

如果未使用 R1 和 C2:

$$R4 = \frac{E_{DC}}{10 * 10^{-9}} Q$$

其中, $EDC=160*10^{-3}$ (10 位分辨率)

= $EDC=40*10^{-3}$ (12 位分辨率)

= $EDC=10*10^{-3}$ (14 位分辨率)

= $EDC=2.5*10^{-3}$ (16 位分辨率)

=直流误差比例 (单位为 V)

基准输入的交流耦合 (R3 、 C3)

选择 R3 和 C3 , 使得基准频率下没有明显相移。即:

$$R3=100k\Omega$$

$$C3 > \frac{1}{R3 * f_{REF}} F$$

其中, R3 的单位为 Ω 。

10.13 最大跟踪速率(R6)

VCO输入电阻R6设置转换器的最大跟踪速率, 进而确定速度比例。最大跟踪速率时, 速度输出将为8 V。

决定最大跟踪速率“T”, 单位为每秒转数。请注意, “T”不得超过最大跟踪速率或基准频率的1/16。

$$R6 = \frac{6.32 * 10^{10}}{t * n} \Omega$$

其中, n = 每转一圈的位数

= 1,024 (10 位分辨率)

= 4,096 (12 位)

= 16,384 (14 位)

= 65,536(16 位)

10.14 闭环带宽选择(C4、C5、R5)

选择所需的闭环带宽(f_{BW}), 从而确保基准频率与带宽之比不超过以下标准:

分辨率	基准频率与带宽之比
10	2.5 : 1
12	4 : 1
14	6 : 1
16	7.5 : 1

基准频率为400Hz时, 典型值可能为100Hz; 而基准频率为5kHz, 则可能为500 Hz至1000Hz。

选择 C4 , 使得:

$$C_4 = \frac{21}{R_6 * f_{BW}^2} F$$

其中. R6 的单位为 Ω , 而 f_{BW} 的单位为 Hz, 如上文所选。

C5 计算如下:

$$C5=5*C4$$

R5 计算如下:

$$R_5 = \frac{4}{2 * \pi * f_{BW} * C_5} \Omega$$

10.15 VCO 相位补偿

C6 和 R7 应采用如下值:

$$C6=470pF, R7=68\Omega$$

10.16 失调调整

积分器输入端的失调和偏置电流可导致转换器的输出端出现额外的位置失调, 其典型值为 1 弧分, 最大值为 5.3 弧分。如果这是可以接受的, 那么电路中可以省去 R8 和 R9。

如果配置 R8 和 R9 , 则应分别使用以下值:

$$R8=4.7M\Omega, R9=1M\Omega$$

要调整零失调, 请确保旋变器已断开连接, 且已连接所有外部元件。将COS引脚连接到REFERENCE INPUT, 并将SIN引脚连接到SIGNAL GROUND, 然后在施加电源和基准电压源后, 将电位计调整至在数字输出位上给出全0。或者可以通过选择测试电阻来取代电位计。

10.17 数据传输

要传输数据, 应使用INHIBIT输入。在对INHIBIT应用逻辑“LO”后600ns内, 数据将保持有效。这里忽略了应用INHIBIT的时间以及将有效BUSY清零所需的时间。通过使用ENABLE输入, 可以传输两个字节的的数据, 然后INHIBIT应返回逻辑“HI”状态, 使输出锁存器得以更新。

10.18 BUSY输出

出数据的有效性由BUSY输出的状态来表示。当转换器的输入发生变化时, BUSY输出端的信号会是一系列TTL电平的脉冲。每当输入变化一个LSB的模拟等效值, 且内部计数器递增或递减时, 就会发出一个BUSY脉冲。

10.19 INHIBIT输入

INHIBIT逻辑输入仅禁止数据从加减计数器传到输出锁存器, 因此不会中断跟踪环路的操作。释放INHIBIT会自动生成BUSY脉冲, 以刷新输出数据。

10.20 ENABLE输入

ENABLE 输入决定输出数据的状态。逻辑“HL”将输出数据引脚保持在高阻抗状态, 而通过应用逻辑“LO”则可将锁存器中的数据送至输出引脚。ENABLE 的操作不会对转换过程造成任何影响。

10.21 BYTE SELECT输入

BYTE SELECT输入选择要在数据输出端DB1至DB8提供的位置数据字节。无论BYTE SELECT引脚的状态如何, 低字节都将通过数据输出端DB9至DB16(ENABLE输入置为逻辑“LO”)提供。请注意, 当CYDR2S80 使用16位以下分辨率时, 未用数据线路会拉至逻辑“LO”。当BYTE SELECT输入端为逻辑“HI”时, 八个最高有效数据位将通过数据输出端DB1和DB8提供。状态为逻辑“LO”时, 低字节将通过数据输出端1至8提供, 即数据输出端1到8将重复数据输出端9到16。

BYTE SELECT的操作不会对转换器的转换过程造成任何影响。

10.22 RIPPLE CLOCK

当转换器的输出通过主进位(即全1到全0, 或相反)时, 会启动RIPPLE CLOCK(RC)逻辑输出的趋正边沿, 表示输入已转过一圈或完成一个俯仰。波纹时钟的最小脉冲宽度为300 ns。RIPPLE CLOCK 通常会在BUSY脉冲之前设置为高电平, 并在下一连续脉冲的下一趋正边沿之前复位。唯一的例外情况是当RIPPLE CLOCK处于高电平状态时DIR发生改变。只有DIR在两个连续正BUSY脉冲边沿保持稳定, RIPPLE CLOCK才会复位。

如果CYDR2S80 用于俯仰和转数计数应用中, 则需要选通波纹和繁忙, 从而防止出现错误的递减或递增(参见图2)。RIPPLE CLOCK不会受INHIBIT影响。

T ₃	470	580	RIPPLE CLOCK V _H 至下一 BUSY V _H
T ₄	16	45	BUSY V _H 至 DATA V _H
T ₅	3	25	BUSY V _H 至 DATA V _L
T ₆	70	140	INHABIT V _H 至 BUSY V _H
T ₇	485	625	MIN DIR V _H 至 BUSY V _H
T ₈	515	670	MIN DIR V _H 至 BUSY V _H
T ₉		600	INHABIT V _L 至 DATA 稳定
T ₁₀	40	110	ENABLE V _L 至 DATA V _H
T ₁₁	35	110	ENABLE V _L 至 DATA V _L
T ₁₂	60	140	BYTE SELECT V _L 至 DATA 稳定
T ₁₃	60	125	BYTE SELECT V _H 至 DATA 稳定

通过CYDR2S80，用户可以更灵活地选择旋变数字转换的动态特性，从而确保获得最佳系统性能。动态特性由图1中所示的外部元件来设置；另外，“元件选择”部分解释了如何选择所需的最大跟踪速率和带宽值。以下段落进一步解释CYDR2S80 电路和用户可选用的各种动态性能。

10.25 环路补偿

CYDR2S80（连接方式如图1所示）用作 II 型跟踪伺服环路，其中VCO/计数器组合和积分器执行 II 型环路中固有的两个积分功能。

另外需要极点/零点对形式的补偿来稳定任何 II 型环路，从而避免环路增益特性与0 dB轴交叉且存在180° 额外相位滞后，如图5所示。此补偿可通过积分器元件(R4、C4、R5、C5)来实现。此类系统的总响应就是一个单位增益二阶低通滤波器的总响应，其中旋变器的角度为输入，而数字位置数据为输出。

CYDR2S80 并不一定要连接作为跟踪转换器；部分电路可以独立使用，尤其是比率乘法器，可用作控制变压器(参见“应用笔记”)

10.26 比率乘法器

比率乘法器是CYDR2S80 的输入部分，可将旋变器输入角度 θ 信号与计数器中保留的数字角度 ϕ 进行比较。如果两个角度之间存在任何差异，则AC ERROR OUTPUT处将产生模拟电压。此项电路功能原来由称为“控制变压器”的机电设备来执行，因而过去都以此代称。

AC ERROR信号计算如下：

$$A1 \sin(\theta - \varphi) \sin \omega t$$

其中, $\omega = 2\pi f_{\text{REF}}$

f_{REF} = 基准频率

比率乘法器级增益 $A1$ 为 14.5。

因此, 对于 2 V_{rms} 输入信号,

AC ERROR 输出(单位为 V/差错位):

$$= 2 * \sin \frac{360}{n} * A1$$

其中, n = 每转一圈的位数

= 1024 (10 位分辨率)

= 2048 (12 位)

= 16384 (14 位)

= 65536 (16 位)

因此, AC ERROR 输出

= 178mV/位 (10位分辨率)

= 178mV/位 (12位分辨率)

= 178mV/位 (14位分辨率)

= 178mV/位 (16位分辨率)

无论 CYDR2S80 是连接作为跟踪转换器, 还是控制变压器, 比率乘法器的工作方式完全相同, 其中数据通过 DATALOAD 引脚预设到计数器中。

10.27 高频滤波器

AC ERROR OUTPUT 可以通过简单的直流耦合网络 ($R2$ 、 $C1$) 馈送至 PSD, 从而消除此处的任何直流失调。不过, 请注意, CYDR2S80 的 PSD 是宽带解调器, 能够将高频噪音混叠降至环路带宽范围内。旋变器位于特别嘈杂的环境中时, 最可能出现这种情况, 此时建议用户在相位敏感解调器之前连接一个简单的高频滤波器 $R1$ 、 $C2$ 。

滤波器的衰减和频率响应将会影响环路增益，因此在推导环路传递函数时必须考虑这些因素。图1中给出了建议的滤波器(R1、C1、R2、C2)，该滤波器可以在相位敏感解调器的输入端提供基准频率(f_{REF})三倍的衰减。

必须适当选择滤波器中所用的元件值，从而确保 f_{REF} 处的相移位于转换器的容许参考信号相移范围内。

10.28 相位敏感解调器

相位敏感解调器是理想而有效的，并且对于与参考信号同相或反相的正弦信号，可以在 DEMODULATOR OUTPUT 引脚处产生如下均值直流输出：

$$= \frac{\pm 2\sqrt{2}}{\pi} * (\text{DEMOMULATOR INPUT rms voltage})$$

(对于方波，DEMODULATOR OUTPUT 电压等于 DEMODULATOR INPUT)。这样可以在 DEMODULATOR OUTPUT 处生成直流电平与转换器位置误差成比例的信号。

直流误差比例=160 mV/位(10位分辨率)

=40 mV/位(12位分辨率)

=10 mV/位(14位分辨率)

=2.5 mV/位(16位分辨率)

跟踪环路闭合时，除非转换器输入角度加速，否则此误差会归零。

10.29 积分器

积分器元件(R4、C4、R5、C5)位于 CYDR2S80 的外部，允许用户根据给定应用确定最佳动态特性。“元件选择”部分说明按照所选带宽选择元件。

由于积分器的输出会馈送至VCONPUT，因此其与转速(输出角度的变化速率)成比例，并可通过选择VCO输入电阻R6来调整。下面的“电压控制振荡器(VCO)”部分中将会详细说明。

为防止转换器出现“闪烁”(即，量化的数字角度 ϕ 不能精确表示输入角度 θ 时，持续在 ± 1 之间来回切换)，反馈从VCO内部施加到积分器输入端，从而确保VCO仅在误差大于或等于1 LSB时才更新计数器。为确保将此反馈“迟滞”设为1LSB，积分器的输入电流必须调整至100 nA/位。因此，

$$R_4 = \frac{DC \text{ Error Scaling}(mV/bit)}{100(nA/bit)}$$

由于积分器输入端的任何失调都将视作误差信号，并会导致数字输出发生偏移，因此会影响转换精度。对于每 100nA 的输入偏置电流，都将增加 1 LSB 的额外误差。调整消除此失调的方法参见“元件选择”部分。

10.30 电压控制振荡器 (VCO)

VCO 本质上是用作一对直流电平比较器输入的简单积分器。每当积分器输出达到其中一个比较器阈值电压，积分器输入就会注入固定电荷，以平衡输入电流。同时，计数器会向上或向下跳动，具体取决于输入电流的极性。这样，计数器按照与 VCO 的输入电流幅度成比例的速率跳动。

在输入不断求积分的复位期间，复位周期恒定为 400 ns。对于给定输入电流，VCO 速率是固定的，并取决于 VCO 比例因子：

$$=7.9\text{kHz}/\mu\text{A}$$

VCO 输入电流的跟踪速率 (单位为 rps/μA) 可通过将 VCO 比例因子除以每转一圈 LSB 的变化量 (例如，12 位分辨率时为 4096) 得出。输入电阻 R6 决定 INTEGRATOR OUTPUT 引脚的转换器速度信号电压与 VCO 输入电流之间的比例。因此，要在转速为 100 rps (6000 rpm) 且分辨率为 12 位时实现 5 V 输出，VCO 输入电流必须为：

$$(100 \times 4096) / (7900) = 51.8 \mu\text{A}$$

因此，R6 设为 $5 / (51.8 \times 10^{-6}) = 96 \text{ k}\Omega$

速度失调电压取决于 VCO 输入电阻 R6 和 VCO 偏置电流，具体计算公式如下：

$$\text{速度失调电压} = R6 \times (\text{VCO 偏置电流})$$

此失调的温度系数计算如下：

速度失调温度系数 = $R6 \times (\text{VCO 偏置电流温度系数})$ 其中，VCO 偏置电流温度系数的典型值为：

$$-1.22 \text{ nA}/^{\circ}\text{C}$$

VCO 的最大建议速率为 1.1 MHz，由此可设置最大的跟踪速率。

由于积分器输出端的最小电压摆幅为 ±8 V，这意味着 R6 的最小值为 57 kΩ。计算如下：

$$\text{Max Current} = \frac{1.1 \times 10^6}{7.9 \times 10^3} = 139 \mu\text{A}$$

$$\text{Min Value} = \frac{8}{139 \times 10^{-6}} = 57 \text{ k}\Omega$$

10.31 传递函数

按照“元件选择”部分所述方法选择元件之后，转换器将具有临界阻尼时间响应和最大相位余量。闭环传递函数表示为：

$$\frac{\theta_{OUT}}{\theta_{IN}} = \frac{14 + (1 + S_N)}{(S_N + 2.4)(S_N^2 + 3.4S_N + 5.8)}$$

其中，归一化频率变量 S_N 为：

$$S_N = \frac{2}{\pi} * \frac{S}{f_{BE}}$$

f_{BE} 为闭环 3 dB 带宽(通过选择外部元件选定)。

加速度 K_A 由以下公式近似得出:

$$K_A = 6 \times (f_{BW})^2 \text{ sec}^{-2}$$

归一化增益和相位曲线图如图 4 和5 所示。

11. 误差源

11.1 积分器失调

由于积分器的输入失调会被视作误差信号, 因此将导致旋变信号转换出现额外误差。在工作温度范围内, 此误差的典型值为 1 弧分。

“元件选择”部分中描述了如何从零失调进行调整, 所需电路如图 1 所示。

11.2 差分相移

旋变器正弦和余弦信号之间的相移称为差分相移, 并可导致静态误差。受耦合影响, 所有旋变器上都会出现一些差分相移。只要存在微小的旋变残余电压(正交电压), 即表示出现较小的差分相移。另外, 如果正弦通道线和余弦通道线不同, 则会引入额外的相移。例如, 电缆长度不同或负载不同都可导致差分相移。

输入信号的差分相移所导致的额外误差近似于:

$$\text{误差} = 0.53 \ a \times b \text{ 弧分}$$

其中, a =差分相移(度)。

b =参考信号相移(度)。

通过选择具有较小残余电压的旋变器、确保正弦和余弦信号采取完全相同的处理方式并消除参考相移, 则可将此误差降至最小(参见“连接旋变器”部分)。通过采取这些预防措施, 可将额外误差降至非常小。

在静态工作条件下, 基准线路和信号线之间的相移在理论上并不会影响转换器的静态精度。不过大多数旋变器会在信号和基准之间产生相移。在动态条件下, 此相移将会增加, 进而导致以下公式定义的附加误差:

$$\frac{\text{Shaft Speed(rpS)} * \text{PhaSe Shift (DegreeS)}}{\text{Reference Frequency}}$$

例如, 当相移为 20 度、轴转速为 22 rps 且基准频率为 5 kHz 时, 转换器将出现如下附加误差:

$$\frac{20 \times 22}{5000} 0.088 \text{Degrees}$$

可通过向转换器置入数值等于旋变器相移的参考相移来消除(参见“连接旋变器”部分)。

11.3 速度误差

相对于ANALOG GROUND引脚的INTEGRATOR OUTPUT引脚处信号为模拟电压，与输入角度的变化速率成比例。此信号可用于稳定伺服环路或取代速度传感器。虽然 CYDR2S80 的转换环路包含数字部分，但也存在用于处理速度信号的额外模拟反馈环路。这样可以确保数字位置输出在动态和静态下均不会出现闪烁如果能够考虑到以下几点，则将可获得更高品质的速度信号：

1. 保护。速度信号应当在使用前经过缓冲。
2. 反向误差。反向误差可以通过相对于一个供电轨改变另一供电轨来归零。
3. 纹波和噪音。转换器输入信号噪音是速度信号的主要噪音源。如果能够采取以下预防措施，则可以将此类噪音降至最低：

对于正弦、余弦和参考信号，分别使用单独的双绞线电缆将旋变器连接到转换器。应注意尽可能降低外部噪音。在相位敏感解调器之前连接高频滤波器(如“高频滤波器”部分所述)。选择具有低残余电压(即与参考信号正交的小信号)的旋变器。选择能够让 CYDR2S80 以最低可接受带宽工作的元件。应使用滤波器消除速度信号的基准频率馈通。将输入信号电压维持在 2V rms，可防止位置输出端出现LSB闪烁。VCO周围采用模拟反馈或迟滞，而积分器与输入信号电平相关(参见“积分器”部分)。

遵循上述预防措施，用户可在非常嘈杂的环境(如 PWM 马达驱动应用)中使用速度信号。在恒定速度下，旋变器/转换器误差曲线可能会出现明显的加速/减速。这会导致速度信号上出现频率为输入旋转两倍的纹波。

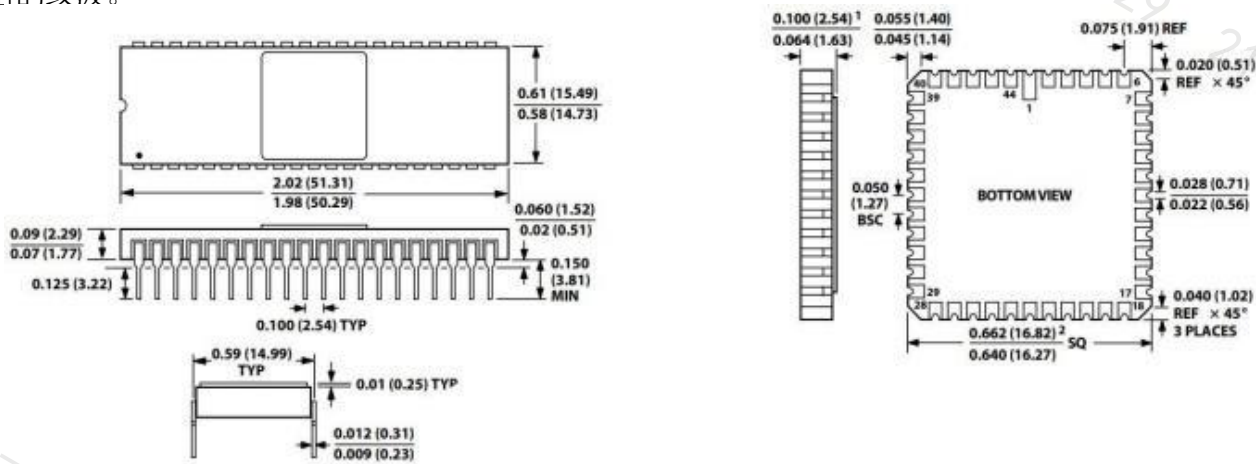


图 4 封装尺寸图

12. 说明

如欲了解更多的产品及公司信息，请联系公司办公室人员或登录公司网站；

联系电话：021-33885531；

网址：<https://mall.ichelps.com/>

13. 本文档中的信息如有变更，恕不另行通知



使用微信扫码进入
芯片助手ICHELPS小程序

查资料 查替代 查库存 查价格

招募中国区各省代理，联系电话：021-33885531