

文档版本	修订日期	内容描述
1.0	2026-6-29	初版

10 位至 16 位 R/D 转换器，内置参考振荡器

- 完整的单芯片旋变数字转换器
- 最大跟踪速率：
 - 3125 rps (10 位分辨率)
 - 1250 rps (12 位分辨率)
 - 625 rps (14 位分辨率)
 - 156.25 rps (16位分辨率)
- 精度： ± 2.5 弧分/ ± 5 弧分/ ± 10 弧分
- 分辨率：10/12/14/16位
- 并行 10/12 位和串行 10/12/14/16 位数据端口
- 绝对位置与速度输出
- 系统故障检测
- 增量式编码器仿真

- 内置可编程正弦波振荡器
- 兼容 DSP 和 SPI 接口标准
- 单电源供电电压：5V $\pm$ 5%，
- 输入信号电压：3.15V_{P-P} $\pm$ 27%
- 工作温度：-40℃至+125℃

- 过程控制
- 电动助力转向系统
- 工业电动机控制
- 混合动力汽车
- 集成的启动发电机/交流发电机
- 汽车运动检测与控制

The block diagram illustrates the digital control system for the motor driver. The system is organized as follows:

- IO bus:** A central communication bus on the left that connects to the **configuration register**, **position post-process**, and **velocity post-process** blocks.
- Configuration Register:** A long horizontal block at the bottom that receives data from the IO bus and provides configuration to the **digital processing** block.
- Digital Processing Core:** A sequence of blocks from right to left:
 - digital pre-process:** Receives data from the **ADC sin/cos** block.
 - digital processing:** Receives data from the **digital pre-process** block and the **configuration register**. It outputs to the **position post-process** and **velocity post-process** blocks, and also controls the **DAC** and **fault monitor**.
 - position post-process:** Receives data from the IO bus and the **digital processing** block. It outputs to the **incremental encoder**.
 - velocity post-process:** Receives data from the IO bus and the **digital processing** block.
- ADC sin/cos:** Receives **inputs from resolver** and provides data to the **digital pre-process** block.
- DAC:** Receives control signals from the **digital processing** block and provides **excitation outputs**.
- reference:** Receives a **reference pin** input and provides a reference signal to the **ADC sin/cos** block.
- Internal Clocking:**
 - internal clk:** Receives a **crystal** input.
 - clkout:** Provides a **clkout** output.

图 1 芯片模块示意图

4. 订购信息

物料编号	温度范围	等级类型	是否车轨	封装
CYDR2S1205F44I	-40℃ - 85℃	工业级	非车轨	LQFP-44
CYDR2S1205F44J	-55℃ - 125℃	军温级	非车轨	LQFP-44

5. 概述

CYDR2S1205 是一款 10 位至 16 位分辨率旋变数字转换器，集成片上可编程正弦波振荡器，为旋变器提供正弦波激励。

转换器的正弦和余弦输入端允许输入 $3.15V_{p-p} \pm 27\%$ 。Type II 伺服环路用于跟踪输入信号，并将正弦和余弦输入端的信息转换为输入角度和速度所对应的数字量。最大跟踪速 3125 rps。

6. 产品特色

- 比率跟踪转换 Type II 跟踪环路能够连续输出位置数据，且没有转换延迟。它还可以抑制噪声，并提供参考和输入信号的谐波失真容限。
- 系统故障检测。故障检测电路可以检测旋变的信号丢失、超范围输入信号、输入信号失配或位置跟踪丢失。各故障检测阈值可以由用户单独编程，以便针对特定应用进行优化。
- 输入信号范围。正弦和余弦输入端支持 $3.15V_{p-p} \pm 27\%$ 的差分输入电压。
- 可编程激励频率。可以轻松地将激励频率设置为 2 kHz 至 20 kHz 范围内的多个标准频率。
- 3 种格式位置数据。通过 12 并行端口或 3 线串行接口可以访问 10 位至 16 位绝对角位置数据。增量式编码器仿真采用标准 A-quadr-B 格式，并提供方向输出。
- 数字速度输出。通过 12 位并行端口或 3 线串行接口可以访问 10 位至 16 位带符号的数字量速度。

7. 技术规格

除非另有说明， $AVDD=DVDD=5.0 V \pm 5\%$ ， $CLKIN=8.192 MHz \pm 25\%$ ， $\overline{EXC}$ 频率=10 kHz 至 20 kHz (10 位)、6 kHz 至 20 kHz (12 位)、3 kHz 至 12 kHz (14 位)、2 kHz 至 10 kHz (16 位)； $T_A=-40^\circ C+125^\circ C$ 。

表 1

参数	最小值	典型值	最大值	单位	条件/备注
正弦、余弦输入 ¹					
电压幅度		3.15		V_{p-p}	正弦波形，差分 SIN 至 SINLO，COS 至 COSLO
输入偏置电流		10.5		uA	$V_{IN} = 4.5 V_{dc}$, $CLKIN = 8.192 MHz$
输入阻抗		428		k Ω	$V_{IN} = 4.5 V_{dc}$
锁相范围	-44		44	度	正弦/余弦与 EXC 输出的关系
共模电压			100	mV peak	REFOUT/2 为 10kHz

角度精度 ³				
角度精度	$\pm 2.5 + 1\text{LSB}$	$\pm 5 + 1\text{LSB}$	弧分	零加速 Y 级
分辨率	$\pm 5 + 1\text{LSB}$	$\pm 10 + 1\text{LSB}$	弧分	零加速 W 级
积分非线性 (INL)	10,12,14,16		位	保证无失效码
10 位		± 1	LSB	
12 位		± 2	LSB	
14 位		± 4	LSB	
16 位		± 16	LSB	
微分非线性 (DNL)		± 0.9	LSB	
速度输出				
速度精度 ⁴				
10 位		± 2	LSB	
12 位		± 2	LSB	
14 位		± 4	LSB	
16 位		± 16	LSB	
分辨率	9,11,13,15		位	
动态性能				
带宽				
10 位	2000	6500	Hz	
	2900	5300	Hz	CLKIN = 8.192 MHz
12 位	900	2800	Hz	
	1200	2200	Hz	CLKIN = 8.192 MHz
14 位	400	1500	Hz	
	600	1200	Hz	CLKIN = 8.192 MHz
16 位	100	350	Hz	
	125	275	Hz	CLKIN = 8.192 MHz
跟踪速率				
10 位		3125	rps	CLKIN = 10.24 MHz
		2500	rps	CLKIN = 8.192 MHz
12 位		1250	rps	CLKIN = 10.24 MHz
		1000	rps	CLKIN = 8.192 MHz
14 位		625	rps	CLKIN = 10.24 MHz
		500	rps	CLKIN = 8.192 MHz
16 位		156.25	rps	CLKIN = 10.24 MHz
		125	rps	CLKIN = 8.192 MHz
加速度误差				
10 位	30		弧分	50,000 rps ² , CLKIN = 8.192 MHz
12 位	30		弧分	10,000 rps ² , CLKIN = 8.192 MHz
14 位	30		弧分	2500 rps ² , CLKIN = 8.192 MHz
16 位	30		弧分	125 rps ² , CLKIN = 8.192 MHz
建立时间 10°阶跃输入				
10 位	0.6	0.9	ms	建立至 ± 2 LSB, CLKIN = 8.192 MHz
12 位	2.2	3.1	ms	建立至 ± 2 LSB, CLKIN = 8.192 MHz
14 位	6.5	9.0	ms	建立至 ± 2 LSB, CLKIN = 8.192 MHz
16 位	27.5	40	ms	建立至 ± 2 LSB, CLKIN = 8.192 MHz
建立时间 179°阶跃输入				
10 位	1.5	2.2	ms	建立至 ± 2 LSB, CLKIN = 8.192 MHz
12 位	4.53	6.0	ms	建立至 ± 2 LSB, CLKIN = 8.192 MHz
14 位	10.5	14.7	ms	建立至 ± 2 LSB, CLKIN = 8.192 MHz
16 位	45	66	ms	建立至 ± 2 LSB, CLKIN = 8.192 MHz
EXC\EXC输出				
电压	3.6		V_{p-p}	负载 $\pm 100\mu\text{A}$,
中心电压	2.46		V	
频率	10		kHz	FS1=high, FS2=high,CLKIN=8.192 MHz
	12		kHz	FS1=high, FS2=low,CLKIN=8.192 MHz
	15		kHz	FS1=low, FS2=high,CLKIN=8.192 MHz
	20		kHz	FS1= low, FS2= low,CLKIN=8.192 MH

基准电压源 REFOUT	2.46	V	$\pm I_{OUT} = 100 \mu A$
CLKIN, XTALOUT 输入低电压 V_{IL} 输入高电压 V_{IH}	0.8 2.0	V V	
逻辑输入 输入低电压 V_{IL} 输入高电压 V_{IH} 低电平输入电流 I_{IL} (无上拉) 低电平输入电流 I_{IL} (上拉) 高电平输入电流 I_{IH}	0.8 2.0 4.5 1 5.5	V V μA μA μA	$\overline{SAMPLE}$, $\overline{CS}$, $\overline{RDVEL}$, CLKIN 和 $\overline{SOE}$ 引脚 RD, FS1, FS2, RESET 引脚
逻辑输出 输出低电压 V_{OL} 输出高电压 V_{OH} 高电平三态漏电流 I_{OZH} 低电平三态漏电流 I_{OZL}	0.4 4.0 -10 -10	V V μA μA	+1 mA 负载 +1 mA 负载
电荷泵输出 频率 占空比	204.8 50	kHz %	
电源 动态电流 I_{DD}	15	mA	
电源要求 AV_{DD} DV_{DD}	4.75 4.75	5.25 5.25 V V	

¹ 相对于 AGND 的 SIN、SINLO、COS 和 COSLO 电压必须始终在 0.2 V 至 AV_{DD} 范围内。

² 相对于 AGND 的 SIN、SINLO、COS 和 COSLO 电压必须始终在 0.15 V 至 $AV_{DD}-0.2$ V 范围内。

³ 角度精度参数内的所有技术规格均是在恒定速度，即零加速度下进行测试。

⁴ 速度精度规格包括速度失调和动态纹波。

8. 极限参数

VDD.....	-0.3V~7V
AVDD.....	-0.3V~7V
输入电压.....	-0.3V~ $V_{DD}+0.3V$
非电源引脚的输入电流.....	-40°C 至 125°C
存储温度范围.....	-65°C 至 150°C
ESD(HBM).....	4kV
ESD(CDM).....	500V
LU.....	200mA

注意：对以上所列的最大极限值，如果器件工作在超过此极限值的环境中，很可能对器件造成永久性破坏。在实际运用中，最好不要使器件工作在此极限值或超过此极限值的环境中。



ESD 保护

本产品属于静电敏感器件。当拿取时，要采取合适的 ESD 保护措施，以免造成性能下降或功能失效。

9. 管脚(焊盘)配置及功能说明

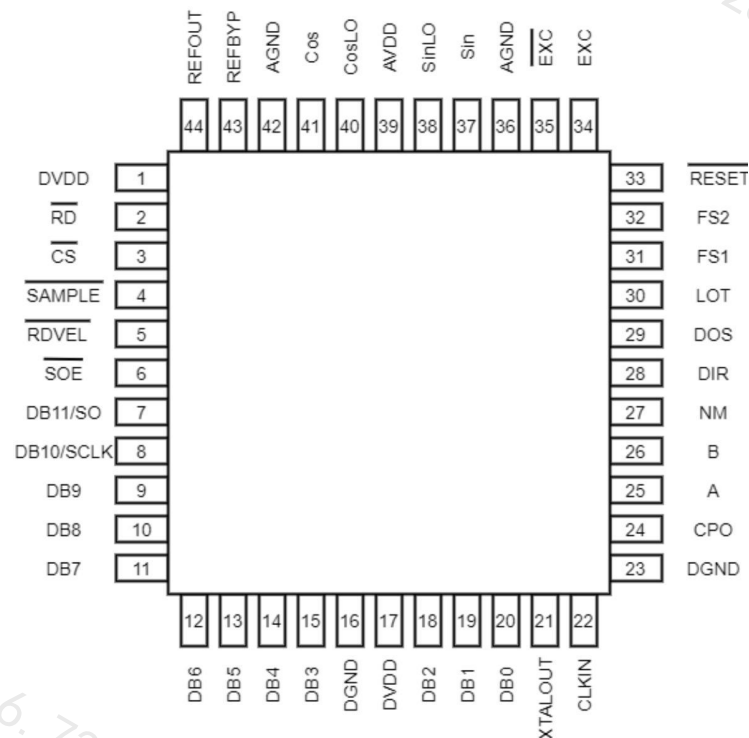


图 2 管脚（焊盘）配置

表 2 管脚定义

序号	名称	功能
1, 17	DVDD	数字电源电压(4.75 V至5.25 V)引脚。为CYDR1205的所有数字电路提供电源电压。AVDD和DVDD电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况时)不得超过0.3V。
3	$\overline{CS}$	片选。低电平有效逻辑输入。 $\overline{CS}$ 保持低电平时，器件使能。
2	$\overline{RD}$	边沿触发的逻辑输入。 $\overline{SOE}$ 引脚为高电平时，该引脚用作并行数据输出 DB11 至 DB0 的帧同步信号和输出使能信号。 $\overline{CS}$ 和 $\overline{RD}$ 保持低电平时，输出缓冲器使能。
5	$\overline{RDVEL}$	读速度逻辑输入，用于角速度或者角位移寄存器选择。置高时为角位移寄存器，置低时为角速度寄存器。
16, 23	DGND	数字地。这些引脚是CYDR1205数字电路的接地基准点。所有数字输入信号都参照此DGND电压。这两个引脚均可以连到系统的AGND平面。DGND和AGND电压在理想情况下应保持等电位并且电位差(甚至在瞬态电压存在情况时)不得超过0.3V。
22	CLKIN	时钟输入。可以将晶振或振荡器用在CLKIN和XTALOUT引脚，以提供CYDR1205需要的时钟频率。或者，也可以将一个单端时钟施加于CLKIN引脚。CYDR1205的额定输入频率为8.192MHz。
21	XTALOUT	晶体振荡器输出。当利用晶振或振荡器提供CYDR1205所需的时钟频率时，应将晶振施加在CLKIN和XTALOUT引脚上。当使用单端时钟源时，应将XTALOUT引脚视为不连接引脚。

6	$\overline{\text{SOE}}$	串行输出使能。逻辑输入。该引脚使能并行或串行接口。 $\overline{\text{SOE}}$ 引脚保持低电平时, 选择串行接口; $\overline{\text{SOE}}$ 引脚保持高电平时, 选择并行接口。
4	$\overline{\text{SAMPLE}}$	采样结果。逻辑输入。 $\overline{\text{SAMPLE}}$ 信号发生高电平至低电平转换后, 数据从位置和速度积分器传输到位置和速度寄存器, 故障寄存器也会进行更新。
7	DB11/SO	数据位11/串行数据输出总线。 $\overline{\text{SOE}}$ 引脚为高电平时, 该引脚用作DB11: 一个由 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 控制的三态数据输出引脚。 $\overline{\text{SOE}}$ 引脚为低电平时, 该引脚用作SO, 即由 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 控制的串行数据输出总线。各位在SCLK的上升沿逐个输出。
8	DB10/SCLK	数据位10/串行时钟。并行模式下, 该引脚用作DB10: 一个由 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 控制的三态数据输出引脚。串行模式下, 该引脚用作串行时钟输入。
9至15	DB9 到 DB3	数据位9至数据位3。由 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 控制的三态数据输出引脚。
18至20	DB2 到 DB0	数据位2至数据位0。由 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 控制的三态数据输出引脚。
24	CPO	电荷泵输出。模拟输出。输出一个50%占空比204.8KHz方波。该方波可用做VCC或者负电压
25	A	增量式编码器仿真输出A。逻辑输出。此输出自动运行; 如果施加于转换器的旋变器格式输入信号有效, 则此输出有效。
26	B	增量式编码器仿真输出B。逻辑输出。此输出自动运行; 如果施加于转换器的旋变器格式输入信号有效, 则此输出有效。
27	NM	NorthMarker增量式编码器仿真输出。逻辑输出。此输出自动运行; 如果施加于转换器的旋变器格式输入信号有效, 则此输出有效。
28	DIR	方向。逻辑输出。此输出与增量式编码器仿真输出一同使用。 DIR输出指示输入旋转的方向, 角旋转不断增大时为低电平。
29	DOS	信号降级。逻辑输出。当旋变输入(正弦或余弦)超过规定的DOS正弦/余弦阈值时, 或者当正弦输入电压与余弦输入电压之间出现幅度失配时, 就会检测到信号降级(DOS)。
30	LOT	跟踪丢失。逻辑输出。 LOT由LOT引脚为逻辑低电平(不门锁)来表示。参见位置跟踪检测丢失部分。
31	FS1	频率选择1。逻辑输入。由FS1和FS2 控制 $\overline{\text{EXC}}$ 和EXC的频率。
32	FS2	频率选择2。逻辑输入。由FS1和FS2 控制 $\overline{\text{EXC}}$ 和EXC的频率。
33	$\overline{\text{RESET}}$	复位。逻辑输入。CYDR1205需要一个外部复位信号使 $\overline{\text{RESET}}$ 输入保持低电平, VDD达到规定的工作电压范围4.75 V至5.25 V以内。
34	EXC	激励频率。模拟输出。片上振荡器向旋变器提供正弦波激励信号(EXC)及其互补信号($\overline{\text{EXC}}$)该参考信号的频率可通过激励频率寄存器进行编程。可通过FS1和FS2控制。
35	$\overline{\text{EXC}}$	激励频率。模拟输出。片上振荡器向旋变器提供正弦波激励信号(EXC)及其互补信号($\overline{\text{EXC}}$)该参考信号的频率可通过激励频率寄存器进行编程。可通过FS1和FS2控制。

36, 42	AGND	模拟地。该引脚是CYDR1205模拟电路的接地基准点。所有模拟输入信号和外部基准信号都参照此AGND电压。AGND引脚连到系统的AGND平面。AGND和DGND电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况时)不得超过0.3 V。
37	SIN	差分对SIN/SINLO的正模拟输入。输入范围为2.3 V _{p-p} 至4.0 V _{p-p} 。
38	SINLO	差分对SIN/SINLO的负模拟输入。输入范围为2.3 V _{p-p} 至4.0 V _{p-p} 。
39	AVDD	模拟电源电压输入；电压值范围为4.75V至5.25V。该引脚为CYDR1205上的所有模拟电路提供电源电压。AV _{DD} 和DV _{DD} 电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况时)不得超过0.3 V。
40	COSLO	差分对COS/COSLO的负模拟输入。输入范围为2.3 V _{p-p} 至4.0 V _{p-p} 。
41	COS	差分对COS/COSLO的正模拟输入。输入范围为2.3 V _{p-p} 至4.0 V _{p-p} 。
43	REFBYP	基准电压旁路。基准电压去耦电容连在此引脚。典型推荐值为10 μF和0.01 μF。
44	REFOUT	基准电压输出

10. 功能描述

故障检测电路

故障检测电路可以检测旋变信号损耗，超出范围的输入信号，输入信号失配及位置追踪丢失。

监测信号

通过对比位置寄存器内的角度和来自旋变器的正余弦信号，CYDR2S1205 生成一个监测信号。该监测信号形成的方程如下：

$$\text{监测信号} = (A1 * \text{Sine} * \sin \phi) + (A1 * \text{Cos} \phi * \cos \phi)$$

A1：旋变器获取到的正弦信号的幅度

A1：旋变器获取到的余弦信号的幅度

θ ：旋变器角度

ϕ ：位置寄存器存储的角度

注：上述方程是在去除载波信号 $\sin(\omega t)$ 解调

信号丢失检测

任一旋变器输入正弦或余弦信号低于指定的 LOS 正弦或余弦阈值。CYDR2S1205 通过输入信号与已设定的最小值比较来进行监测。在无外部电路情况下，CYDR2S1205 就可以检测来自旋变器的 4 个信号中 3 个丢失信号。通过外加两个 68 kΩ 电阻，如图 3 所示，确保丢失的全部 4 个连接被完全解析并检测到。LOS 由 DOS 和 LOT 表示并锁存作为逻辑低输出。DOS 和 LOT 引脚是通过 SAMPLE 上升边缘复位到无故障状态。LOS 优先于 DOS 和 LOT。最差情况下，LOS 表示在方向角为 57° 以内输出错误。

如果任一旋变输入引脚(SIN、SINLO、COS 或 COSLO)对 CYDR2S1205 的电源轨或接地轨削波，CYDR2S1205 将指示已发生削波错误。如果输入幅度小于 0.15V 或大于 AVDD-0.2V 并持续 4 μs 以上，它将指示削波故障。正弦/余弦输入削波错误由 DOS 和 LOT 引脚均门锁为逻辑低电平输出来表示。

信号降级检测

当任一旋转变压器输入(Sin 或 Cos)超过指定的 DOS Sin/Cos 阈值时，就会检测到信号退化(DOS)。CYDR2S1205 通过将监测信号与一个固定的最大值进行比较来检测。此外，当 Sin 和 Cos 输入信号的振幅不匹配即超过指定的 DOS Sin/Cos 时，将检测到 DOS。这是因为 CYDR2S1205 在内部寄存器中连续存储监测信号的最小

和最大幅度和计算这些数值之间的差值。DOS 引脚上的逻辑低电平指示可 DOS，当输入信号超过最大输入电平时，DOS 不会被锁住。当指示由于信号不匹配而产生 DOS 时，输出被锁定为低电平，直到 SAMPLE 的上升沿重置存储的最小和最大值。DOS 条件比 LOT 条件有优先权，如表 3 所示。在角度输出误差的 33° 范围内会指示 DOS（最坏情况）。

位置跟踪丢失检测

在以下情况中，LOT 被检测：

- CYDR2S1205 的内部信号误差超过 5° 。
- 输入信号超过最大跟踪速率。
- 内部位置（积分器）与外部位置（寄存器）相差超过 5° 。

LOT 引脚上的逻辑低电平可指示信号丢失，并且不被锁住。LOT 有 4° 的迟滞，直到内部错误信号或内部/外部位置不匹配小于 1° 时才会被清除。超过最大跟踪速率时，只有当速度小于最大跟踪速率且内部/外部位置不匹配小于 1° 时，LOT 才被清除。对于位置的阶梯式变化（例如在对 ZK 1205 施加 RESET 信号后），或对于大于约 $65,000\text{ rps}^2$ 的加速度，可以指示 LOT。LOT 也能作为一个用来判断跟踪转换器是否正常工作的内置检测。LOT 条件的优先级比 DOS 和 LOS 条件都低。DOS 和 LOS 检测条件如表 3 所示。LOT 和 DOS 条件不能同时显示。

表 3 故障检测解码

条件	DOS 引脚	LOT 引脚	优先次序
LOS	0	0	1
DOS	0	1	2
LOT	1	0	3
无误	1	1	

对故障条件的反应

如果 CYDR2S1205 显示故障条件（LOS、DOS 或 LOT），则输出数据被认为是无效的。即使一个 RESET 或 SAMPLE 脉冲解除了故障条件，并且没有立即出现另一个故障，也会导致输出数据无效。即使 RESET 或 SAMPLE 脉冲解除了故障条件，并且没有立即出现另一个故障，输出数据也可能被破坏。如前所述，有一些故障条件具有固有的延迟性。如果设备故障被清除，在故障条件被重新指示之前，旋转变压器的机械位置可能会有一些延迟。

当显示故障时，所有输出引脚仍然提供数据，尽管这些数据可能有效，也可能无效。故障条件不会迫使并行、串行或编码器输出到一个已知状态。

对于有故障检测要求的系统，设计者可以根据 CYDR2S1205 输出的故障描述和位置或者速度来准确的进行故障处理。

假无效条件

采用基于前述误差方程的第二类跟踪环路的解调器-数字转换器可能会出现一种被称为假空的情况。这种情况是由于当 $\theta - j = 180^\circ$ 时，误差方程的稳态解造成的。CYDR2S1205 不容易受到这种情况的影响，因为其滞后是在跟踪环路外部实现的。由于为 CYDR2S1205 选择的环路架构，内部误差信号不断有一些移动（每个时钟周期 1 LSB）；因此，在可转移状态下，转换器在一个时钟周期内会移动到一个在一个时钟周期内进入不稳定状态。这导致跟踪环路对假空状态的响应，就像输入位置的 180° 阶跃变化一样。因此，如果旋转变压器信号有效，就不可能在启动序列后进入可转移状态。

内部可编程的正弦波振荡器

内部振荡器为旋转变压器提供正弦激励信号（EXC）及其补充信号（EXC）。通过配置 FS1 和 FS2 引脚（见表 4），该参考信号的频率可被编程为四个标准频率（10 kHz、12 kHz、15 kHz 或 20 kHz）。FS1 和 FS2 有内部上拉，该信号默认频率为 10kHz，中心振幅为 2.5V，振幅为 3.6V p-p。

表 4 激励频率选择

频率选择 (kHz)	FS1	FS2
10	1	1
12	1	0
15	0	1
20	1	0

参考信号的频率是 CLKIN 频率的一个函数。通过降低 CLKIN 频率，最小激励频率也可以降低。因此当使用 6.144MHz 的 CLKIN 频率时，可以设置 7.5kHz 的激励频率，而且还可以将最大跟踪率降低至 750rps。

CYDR2S1205 的基准输出需要一个外部缓冲放大器，以提供增益和额外电流来驱动旋转变压器。建议的缓冲电路见图 4。

CYDR2S1205 还提供一个内部同步参考信号，该信号与 Sin 和 Cos 输入相位锁定。旋转变压器初级和次级绕组之间的相位误差可能会降低 RDC 的精度，可通过使用该同步参考信号进行补偿。这也补偿了由于温度和电缆引起的相位偏移，并且消除了对外部预设相位补偿电路的需求。

合成基准生成

当旋转变压器进行高转速时，RDC 倾向于作为一个电动机，除了理想的 Sin 和 Cos 输出外，还会产生速度电压。这些速度电压与主信号波形是正交的。此外，旋转变压器绕组中的非零电阻导致参考输入与 Sin 和 Cos 输出之间出现非零相移。速度电压和相位偏移的结合导致了 RDC 的跟踪误差，其近似值为：

$$\text{Error} = \text{Phrase Shift} \times \frac{\text{Rotation Rate}}{\text{Reference Frequency}}$$

为了补偿旋转变压器参考激励和 Sin/Cos 信号之间的所述相位误差，产生了一个与参考频率载波同相的内部合成参考信号。合成参考信号是通过确定 Sin 或 Cos（无论哪个信号较大）的过零点来产生的，这提高了相位精度，并评估了旋转变压器参考激励的相位。合成参考将参考和 Sin/Cos 输入之间的相移降低到 10° 以下，并且可以在 ±45° 的相移下运行。

电荷泵输出

在 CYDR2S1205 的 CP0 引脚上有一个占空比为 50% 的 204.8kHz 方波输出。该方波输出可用于产生负电压或创建 V_{CC} 。

连接转换器

地线连接到 AGND 和 DGND 引脚。5Vdc ±5% 的正电源 (V_{DD}) 连接到 A_{VDD} 和 DV_{DD} 引脚，去耦电容的典型值为 10 μF 和 4 μF。然后将这些电容尽可能地靠近器件引脚，并连接到 A_{VDD} 和 DV_{DD} 。如果需要，参考振荡器可以使用 FS1 和 FS2 从 10kHz 的标称值中改变参考振荡器的频率。振荡器去耦电容的典型值为 20 pF，而参考去耦电容的典型值为 10 μF 和 0.01 μF。正如在信号丢失检测部分所述，在 Sin 和 SinL0 输入和 Cos 和 Cos 输入之间有 68 kΩ 的电阻。当旋转变压器的所有四个输入都断开时，可以使用 68 kΩ 的电阻来确保失去信号检测。

在这种推荐配置中，转换器在旋转变压器的 Sin 和 Cos 信号输出中引入了一个 $V_{REF}/2$ 偏移。如果 Sin 和 Cos 信号符合推荐的规格，SinL0 和 CosL0 信号可以分别连接到相对于地的不同电位。请注意，由于 EXC 和 EXC 输出是差分的，所以有一个固有的 2 倍增益。图 4 为建议的缓冲器电路。并联的电容 C1 与电阻 R2 用

以滤除 EXC 和 EXC 上可能存在的噪声。在选择该滤波器的截止频率时应注意滤波器的截止频率，以确保滤波器引起的载波相移不超过 CYDR2S1205 的锁相范围。

电路的增益为:

$$\text{CarrierGain} = -(R1/R2) \times (1/(1+R2 \times C1 \times w))$$

和

$$V_{OUT} = \left(V_{REF} \times \left(1 + \frac{R2}{R1} \right) \right) - \left(\frac{R2}{R1} \times \left(\frac{1}{1 + R2 \times C1 \times w} \right) V_{IN} \right)$$

其中 W 为应用信号的弧度频率。

V_{REF} 是一个直流电压，通过设置使 V_{OUT} 始终是一个正电压，避免了对负电源的需求。

建议 Sin/SinLO 和 Cos/CosLO 使用独立的屏蔽双绞线。屏蔽层链接到 REFOUT 或 AGND。

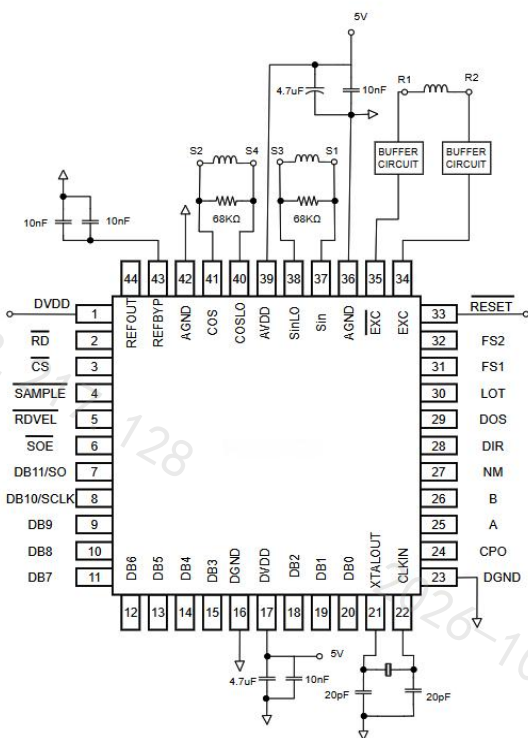


图 3 CYDR2S1205 与解析器互联

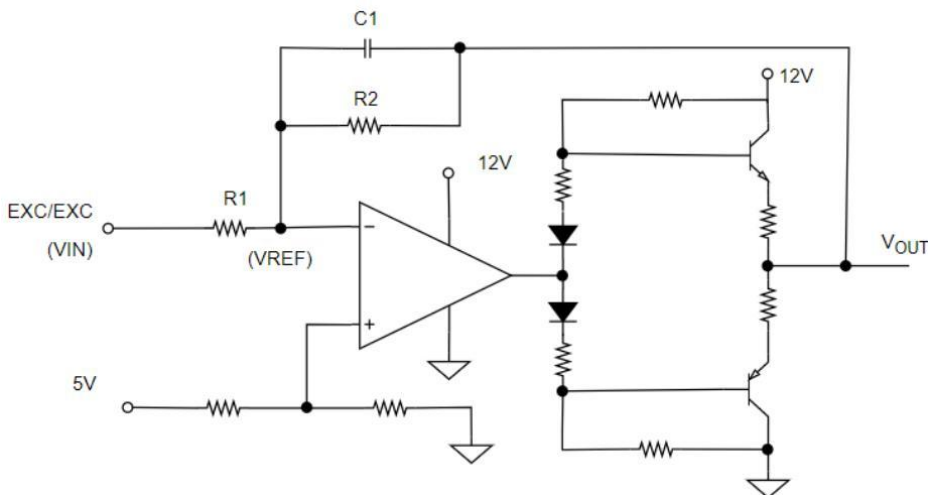


图 4 Buffer 电路

时钟要求

为了达到要求的动态性能，建议使用外部晶体。保证位置和速度精度的频率范围为 $8.192 \text{ MHz} \pm 25\%$ 。速度输出的比例与时钟频率成正比，如果时钟比额定频率高 25%，则满量程速度也比额定值大 25%。最大跟踪率、跟踪环路带宽和激励频率也随着时钟频率的变化而变化。

绝对位置和速度输出

角位置和速度用二进制数据表示，可以通过 12 位并行接口或 3 线串行接口提取，其工作时钟频率高达 25MHz。

$\overline{\text{SOE}}$ 输入

串行输出使能引脚（ $\overline{\text{SOE}}$ ）保持高电平以使能并行接口，保持低电平以使能串行接口。在后一种情况下，引脚 DB0 至引脚 DB9 被置于高阻抗状态，而 DB11 是串行输出（SO），DB10 是串行时钟输入（SCLK）。

数据格式

角位置数据以 12 位无符号二进制字表示旋转变压器轴的绝对位置。角速度数据是一个 12 位的双补字，表示旋转变压器轴以顺时针或逆时针方向旋转的速度。

并行接口

角位置和角速度存储在 CYDR2S1205 两个 12 位寄存器中，可通过 12 位并行端口获得。并行接口通过保持 $\overline{\text{SOE}}$ 引脚为高电平来选择。在 $\overline{\text{SAMPLE}}$ 引脚的高电平到低电平转换后，数据从速度和位置积分器分别传输到位置和速度寄存器。RDVEL 引脚可以选择寄存器中的数据传输到输出寄存器中。在将数据从选定的寄存器转移到输出寄存器时，CS 引脚必须保持低电平。RD 输入用于从输出寄存器中读取数据并启用输出缓冲器。读取循环的时序要求见图 5。

$\overline{\text{SAMPLE}}$ 输入

在 $\overline{\text{SAMPLE}}$ 信号的高-低转换后，数据从位置和速度积分器分别传输到位置和速度寄存器中。该引脚必须保持低电平至少为 t_1 ，以保证数据的正确锁存。 $\overline{\text{RD}}$ 不应在此之前被拉低，由于数据未准备就绪。在读取过程中，转换器会继续工作。过程中，转换器继续工作。 $\overline{\text{SAMPLE}}$ 的上升沿会重置内部寄存器，这些寄存器包含监测信号的最小和最大幅值。

$\overline{\text{CS}}$ 输入

当 $\overline{\text{CS}}$ 保持低电平时，器件启用。

$\overline{\text{RDVEL}}$ 输入

$\overline{\text{RDVEL}}$ 输入用于在角位置寄存器和角速度寄存器之间进行选择，如图 5 所示。 $\overline{\text{RDVEL}}$ 为高电平时选择角位置寄存器，为低电平时选择角速度寄存器。在 $\overline{\text{RD}}$ 引脚被拉低之前， $\overline{\text{RDVEL}}$ 引脚必须至少要（稳定）设置在 t_4 。

$\overline{\text{RD}}$ 输入

12 位数据总线线路通常处于高阻抗状态。 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 保持低电平时，输出缓冲器启用。 $\overline{\text{RD}}$ 信号的下降沿将数据传输到输出缓冲器。 $\overline{\text{RD}}$ 引脚变为低电平后的 t_6 时间内，所选数据可供总线读取。当 $\overline{\text{RD}}$ 引脚在 t_7 内恢复到高电平状态时，数据引脚也恢复到高阻抗状态。当连续读取数据时，在 $\overline{\text{RD}}$ 释放后至少要等待 t_3 时间才能重新读取。

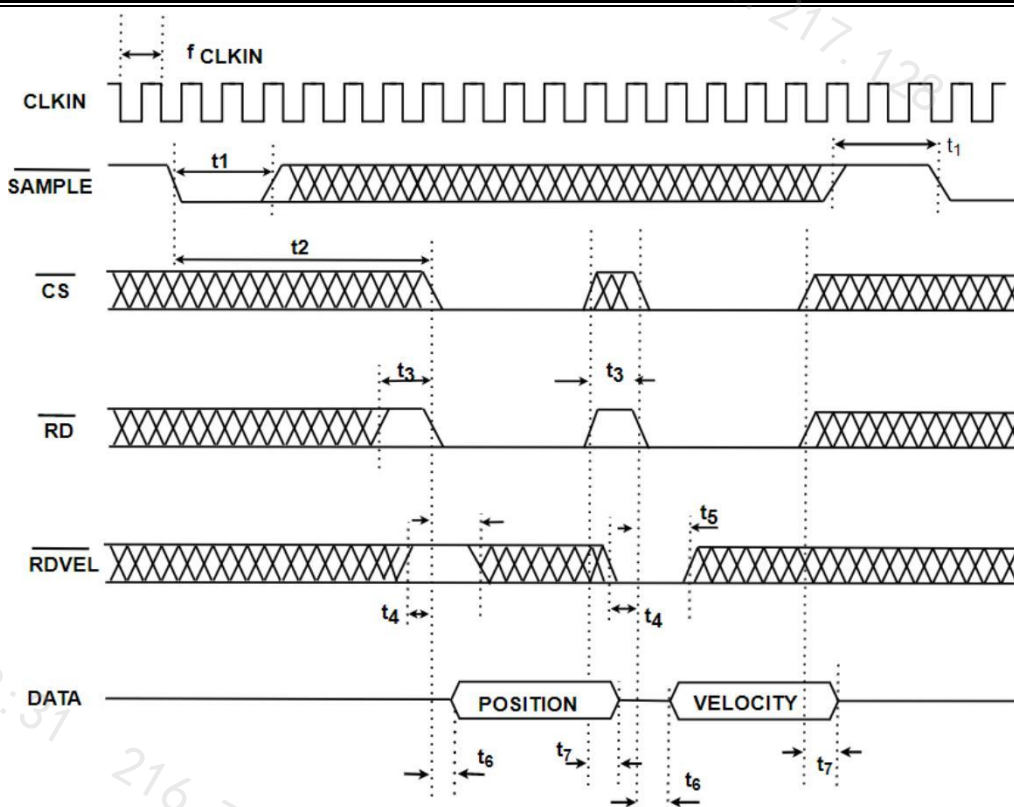


图 5 并口读时序

表 5 并行端口时序

参数	描述	最小	典型	最大	单位
f_{CLKIN}	时钟输入频率	6.144	8.192	10.24	MHz
t_1	$\overline{SAMPLE}$ 脉冲宽度	$2 \times \left(\frac{1}{f_{CLKIN}} \right) + 20$			ns
t_2	从 $\overline{SAMPLE}$ 到 $\overline{RD}/\overline{CS}$ 低电平前的延时	$6 \times \left(\frac{1}{f_{CLKIN}} \right) + 20$			ns
t_3	$\overline{RD}$ 脉冲宽度	18			ns
t_4	在 $\overline{RD}/\overline{CS}$ 低电平之前设置时间 $\overline{RDVEL}$	5			ns
t_5	$\overline{RD}/\overline{CS}$ 低电平后的保持时间 $\overline{RDVEL}$	7			ns
t_6	启用延迟 $\overline{RD}/\overline{CS}$ 低电平到数据有效			30	ns
t_7	禁用延迟 $\overline{RD}/\overline{CS}$ 低电平到数据高电平 Z			18	ns

串行接口

在 CYDR2S1205 的两个 12 位寄存器中可得到角位置和速度。这些寄存器可通过 3 线串行接口 ($S0$ 、 $\overline{RD}$ 和 $SCLK$) 访问，该接口的工作时钟速率高达 25 MHz，并与 SPI 和 DSP 接口标准兼容。通过保持 $\overline{SOE}$ 引脚的低电平来选择串行接口。来自位置和速度积分器的数据首先通过 $\overline{SAMPLE}$ 引脚传输到位置和速度寄存器中。 $\overline{RDVEL}$ 引脚选择数据是否从位置或速度寄存器传输到输出端，而 $\overline{CS}$ 引脚必须保持在低电平才能将数据从位置或速度寄存器中传输到输出寄存器中。最后， $\overline{RD}$ 输入用于读取从输出寄存器时钟输出的数据，并在串行输出引脚 ($S0$) 上可用。当选择串行接口时，DB11 作为串行输出引脚 ($S0$)，DB10 作为串行时钟输入 ($SCLK$)，而 DB0 至 DB9 引脚被置于高阻抗状态。读取周期的时序要求见图 6。

S0 输出

输出移位寄存器的宽度为 16 位。数据被串行时钟输入 (SCLK) 作为 16 位字从器件中时钟化。该操作的时序如图 6 所示。16 位字包括 12 位角度数据 (位置或速度, 取决于 RDVEL 输入), 一个 RDVEL 状态位, 一个奇偶检验位和两个保留位。从 DB15 开始, 数据从 S0 引脚以 MSB 为先的时钟输出。DB15 到 DB4 对应于角度信息。角位置数据格式为无符号二进制, 所有 0 对应 0° , 所有 1 对应 $360^\circ - 1 \text{ LSB}$ 。角度速度数据格式是二进制补码, MSB 代表旋转方向。DB3 是 RDVEL 状态位, 1 表示位置, 0 表示速度。DB2 是 DOS, 即信号降级标志。第 1 位是 LOT, 即跟踪丢失标志。第 0 位是 PAR, 是奇偶校验位。位置数据和速度数据采用奇校验格式, 读出数据中逻辑高 (1) 的个数为奇数。

SAMPLE 输入

在 SAMPLE 信号的高-低转换后, 数据从位置和速度积分器分别传输到位置和速度寄存器。该引脚必须保持时长至少为 t_1 的低电平, 以保证数据的正确锁存。在 t_1 前, $\overline{\text{RD}}$ 不能被拉低, 由于数据未准备好。在读取过程中, 转换器将继续工作。

$\overline{\text{CS}}$ 输入

当 $\overline{\text{CS}}$ 保持低电平时设备使能。

$\overline{\text{RD}}$ 输入

12 位数据总线线路通常处于高阻状态。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 保持低电平时, 输出缓冲器启用。 $\overline{\text{RD}}$ 输入边沿触发, 作为帧同步信号和输出使能。数据沿 $\overline{\text{RD}}$ 信号的下降沿传输到输出缓冲器。接着, 数据可在串行输出引脚 (S0) 上使用; 但只有在 $\overline{\text{RD}}$ 保持低电平 t_9 之后才有效。串行数据在 SCLK 的上升沿从 S0 引脚输出, 在 SCLK 的下降沿上, 每个数据位都可以从 S0 引脚获得。然而, 由于 MSB 在 $\overline{\text{RD}}$ 的下降沿被时钟送出, MSB 在 SCLK 的第一个下降沿就可以从 S0 引脚获得。每一个数据字节的每个后续位在 SCLK 的上升沿被移出, 并在接下来的 15 个时钟脉冲中可 SCLK 的下降沿在 S0 引脚上可用。

$\overline{\text{RD}}$ 的高-低转换必须发生在 SCLK 的高电平时间内, 以避免 DB14 在 SCLK 的第一个上升沿被转移。在 SCLK 的第一个上升沿被转移将导致 MSB 丢失。

$\overline{\text{RD}}$ 可以在 SCLK 的最后一个上升沿之后上升到高电平。如果 $\overline{\text{RD}}$ 保持在低电平, 并且在 DB0 被读出后, 又有额外的 SCLK 被应用, 则从数据输出引脚逐个输出 0。在连续读取数据时, $\overline{\text{RD}}$ 释放后至少要等待 t_5 才能重新读取。

RDVEL 输入

RDVEL 输入用于在角位置寄存器和角速度寄存器之间进行选择。 $\overline{\text{RDVEL}}$ 为高电平时, 选择角位置寄存器。RDVEL 为低电平时, 选择角速度寄存器。在 $\overline{\text{RD}}$ 引脚被拉低之前, $\overline{\text{RDVEL}}$ 引脚必须被 (稳定) 至少设置在 t_4 。

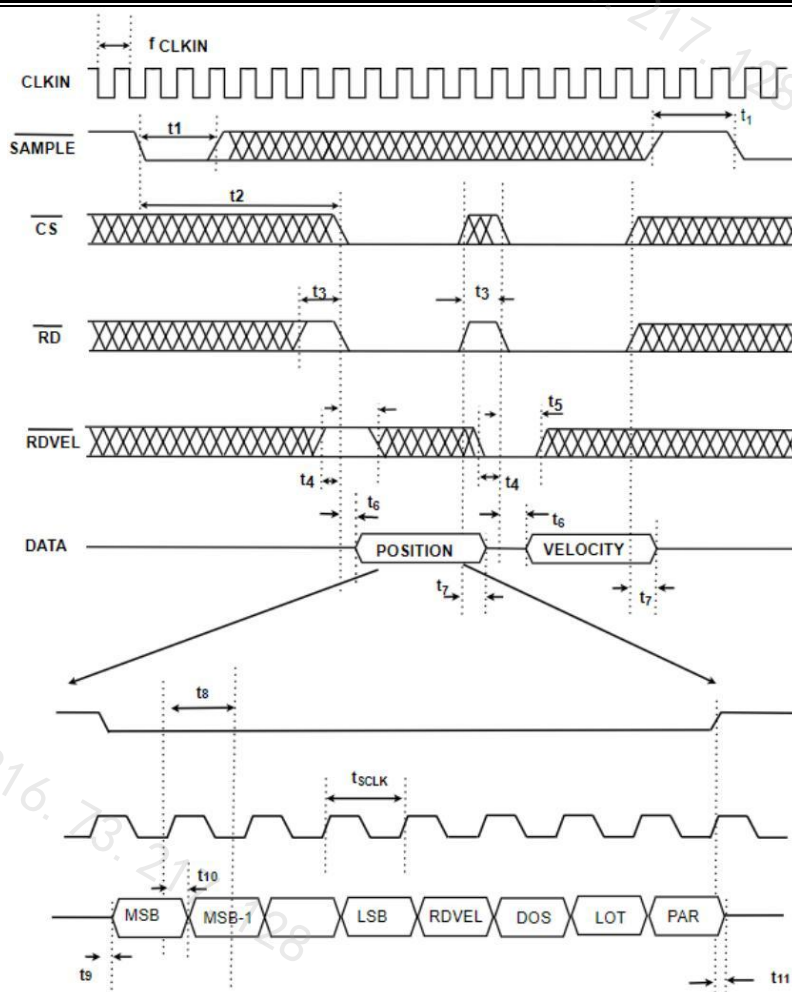


图 6 串口读时序

表 6 串行端口时序

参数	描述	最小	典型	最大	单位
t_8	MSB 读取时间 $\overline{RD}/\overline{CS}$ 到 SCLK	15		t_{SCLK}	ns
t_9	S0 使能时间 $\overline{RD}/\overline{CS}$ 到 DB 有效			30	ns
t_{10}	数据访问时间, SCLK 到 DB 有效			30	ns
t_{11}	总线放弃时间 $\overline{RD}/\overline{CS}$ 到 S0 高电平 Z			18	ns
t_{SCLK}	串行时钟周期 (最大 25MHz)	40			ns

增量式编码器输出

A、B 和 NM 增量编码器仿真输出是自由运行的, 如果应用于转换器的旋转变压器格式输入信号有效, 则输出有效。

CYDR2S1205 模拟的是 1024 线编码器, 这意味着就转换器的分辨率而言, 一圈产生 1024 个 A 和 B 脉冲。脉冲 A 引导脉冲 B 增加角度旋转(顺时针方向)。增加 DIR 输出后, 则无需外部 A 和 B 方向解码逻辑。DIR 输出指示输入旋转的方向, 并且在增加角度旋转时为高电平。DIR 可以看作一个异步输出, 在两个连续的 LSB 更新周期之间可以进行多次状态变化。当输入的旋转方向发生变化, 但旋转的幅度小于 1LSB 时, 就会发生这种情况。

当绝对角位置通过零时, 就会产生北标脉冲。北标脉冲宽度在内部设置为 90°, 并相对于 A 周期进行定义。图 7 详细说明了 A、B 和 NM 之间的关系

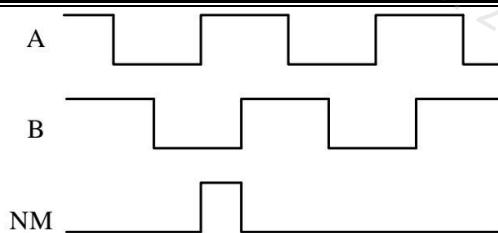


图 7 顺时针旋转 A、B 和 NM 时序

与增量式编码器不同，CYDR2S1205 编码器的输出不受周期误差、偏心率、脉冲、状态宽度误差、计数密度和相位 ϕ 等误差规格的影响。编码器的最大额定速度 (n) 是由其最大开关频率 (f_{MAX}) 和每转脉冲数 (PPR) 计算的。

$$n = \frac{60 \times f_{MAX}}{PPR}$$

CYDR2S1205 的 A 和 B 脉冲由内部时钟频率启动，该频率正好是外部 CLKIN 频率的一半。额定 CLKIN 频率为 8.192 MHz，内部时钟频率为 4.096 MHz。等效的编码器开关频率为：

$$\frac{1}{4} \times 4.096 \text{ MHz} = 1.024 \text{ MHz} \text{ (4 Updates = 1 Pulse)}$$

对于 12 位，PPR 为 1024。因此，在 CLKIN 为 8.192 MHz 时，CYDR2S1205 的最大速度是：

$$n = \frac{(60 \times 1,024,000)}{1024} = 60,000 \text{ rpm}$$

为达到 75,000 rpm 的最高速度，可选择 10.24 MHz 的外部 CLKIN 以产生相当于 5.12 MHz 的内部时钟频率。

与编码器的规格相比， f_{MAX} 为 20 kHz（光电二极管）至 125 kHz（基于激光），这取决于所使用的光系统类型。基于 1024 行激光的编码器的最大速度为 7300 转/分。

包含 A 和 B 输出允许基于 CYDR2S1205 和 Mresolver 的解决方案直接取代光学编码器，不需要改变或升级用户的现有应用软件。

电源排序和复位

CYDR2S1205 需要外部复位信号来保持 RESET 输入为低电平，直到 V_{DD} 处于 4.5 V 至 5.5 V 的指定工作范围内。

在 V_{DD} 处于指定范围内后，RESET 引脚必须保持低电平至少 $10 \mu s$ （图 8 中显示为 t_{RST} ）。对 CYDR2S1205 施加 RESET 信号可将输出位置初始化为 0x000 的值（通过并行、串行和编码器接口输出的度数），并指示 LOS（LOT 和 DOS 引脚拉低），如图 8 所示。

如果没有应用正确的上电/复位顺序，可能会导致错误的位置指示。

在 RESET 输入的上升沿之后，器件必须有至少 20 毫秒的时间（图 8 中显示为 t_{TRACK} ）以便内部电路稳定，并且跟踪环路稳定到输入位置的步骤变化。在 t_{TRACK} 之后，必须有一个 SAMPLE 脉冲，将 LOT 和 DOT 引脚释放到故障检测电路要求的状态，并在并行和串行输出端输出有效的位置数据。（请注意，如果位置数据是由编码器输出，它在 t_{TRACK} 期间可被监控）。

然后 RESET 引脚内部被拉高。

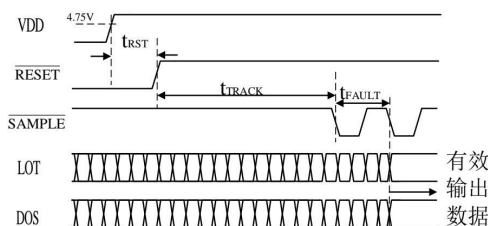


图 8 上电时序控制和复位

11. 外形尺寸

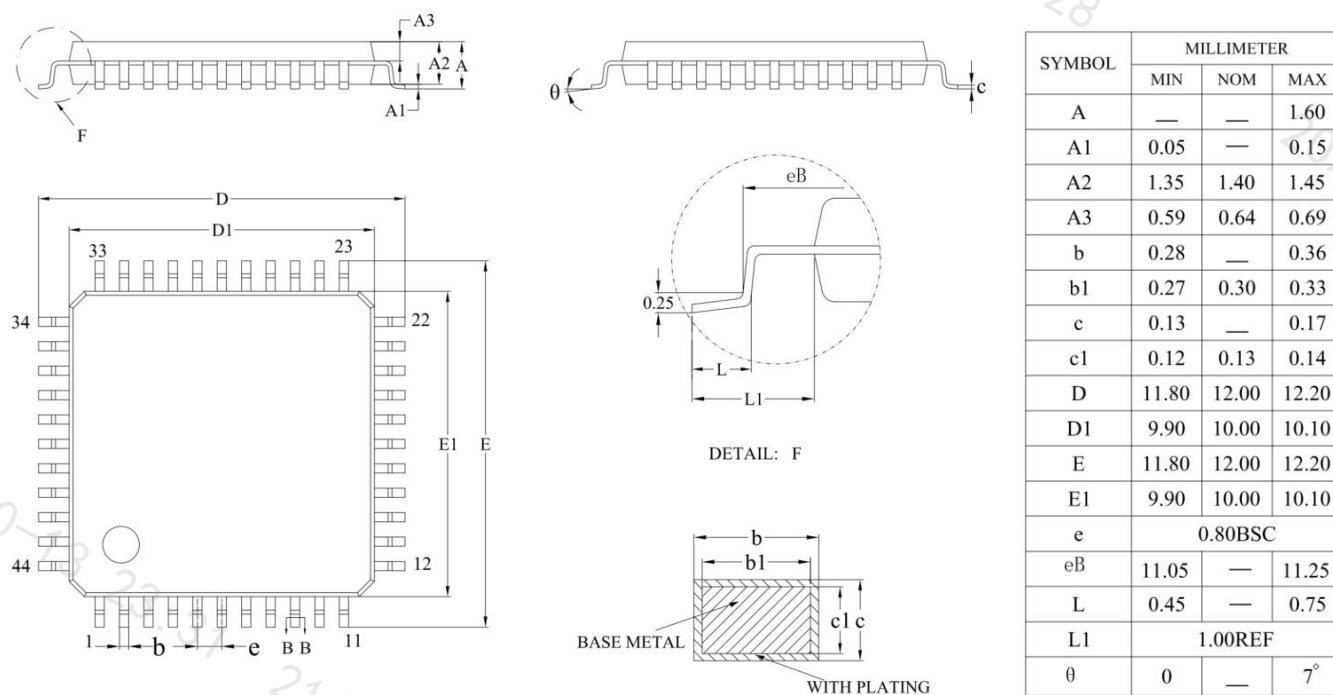


图 9 LQFP44 封装

12. 说明

如欲了解更多的产品及公司信息，请联系公司办公室人员或登录公司网站；

联系电话：021-33885531；

网址：<https://mall.ichelps.com/>

13. 本文档中的信息如有变更，恕不另行通知



请使用微信扫码进入
芯片助手 ICHELPS 小程序

查资料 查替代 查库存 查价格

招募中国区各省代理，联系电话：021-33885531