

文档版本	修订日期	内容描述
1.0	2026-5-14	初版

CYD9689B

14 位、2GSPS/2.6GSPS、JESD204B 双通道模数转换器(ADC)

1. 功能特点

- JESD204B（子类1）编码串行数字输出支持每通道高达 16 Gbps 的通道速率2.6GSPS 时双通道总功率为 3.11W（默认设置）
- 性能指标：
 - 2.6 GSPS 采样率：
 - 2 dBFS 幅度、1.8 GHz 输入时的性能：
 - SFDR=55.2dBFS
 - SNR=54.5dBFS
 - 2.0 GSPS 采样率：
 - 2 dBFS 幅度、1.8 GHz 输入时的性能：
 - SFDR=56.3dBFS
 - SNR=54.8Dbfs
 - 噪声密度：Noise density = -152 dBFS/Hz
 - 内部基准电压源
 - 直流电源：0.975 V、1.9 V 和 2.5 V
 - 集成输入电压缓冲器
 - 6GHz 模拟输入全功率带宽（-3dB）
幅度检测位支持实现高效AGC
 - 每通道集成2个宽带数字处理器
48 位 NCO
可编程的抽取速率
 - 串行端口控制
具有二分频和四分频选项的整数分频时钟
灵活的JESD204B 通道配置
 - 片上抖动

2. 应用

- 多频段和多模数字接收器
- 无线通信基站
- 电子测试和测量系统
- 相控阵雷达和电子战
- 软件定义无线电

3. 芯片概述

CYD9689B 是一款双通道、14 位、2.6 GSPS 模数转换器（ADC）。该器件具有片上电压缓冲器和采样保持电路，专为低功耗、小尺寸和易用性而设计。该产品支持直接采样高达 5GHz 的宽带宽模拟信号的通信应用。

CYD9689B 针对宽输入带宽、高采样速率、出色的线性度和低功耗进行了优化，采用小型封装。

双通道 ADC 内核采用多级差分流水线架构，并集成了输出纠错逻辑。每个 ADC 均具有宽带宽输入，支持用户各种可选输入范围。集成电压基准简化了设计考虑。模拟输入和时钟信号为差分输入。ADC 数据输出通过交叉多路复用器在内部连接到四个数字下变频器（DDC）。每个 DDC 由多个级联信号处理级组成：一个 48 位频率转换器（数控振荡器（NCO））和多级级联实现的抽取滤波器。NCO 可以选择在通用输

入/输出 (GPIO) 引脚上选择预设频段, 从而可以选择多达三个频段。CYD9689B 可通过 SPI 可编程配置文件选择在 DDC 模式之间的操作。

除了 DDC 模块之外, CYD9689B 还具有多种功能, 可简化通信接收器中的自动增益控制 (AGC) 功能。可编程阈值检测器允许使用 ADC 寄存器 0x0245 中的快速检测控制位来监控输入信号功率。如果输入信号电平超过可编程阈值, 则快速检测指示位变为高电平。由于该阈值指示器具有低延迟, 因此用户可以快速调低系统增益, 以避免 ADC 输入出现超范围情况。除了快速检测输出外, CYD9689B 还提供信号监控能力。信号监控模块提供有关 ADC 数字化信号的其他信息。用户可以将 JESD204B 高速串行输出配置为单通道、双通道、四通道和八通道, 具体取决于 DDC 配置和接收逻辑器件的可接受通道速率。通过 SYSREF± 和 SYNCINB± 输入引脚支持多器件同步。

CYD9689B 具有灵活的省电选项, 可在需要时显著节省功耗。所有功能均可使用 3 线串行端口接口 (SPI) 进行编程。CYD9689B 提供无铅 196 引脚 BGA 封装。

4. 功能框图

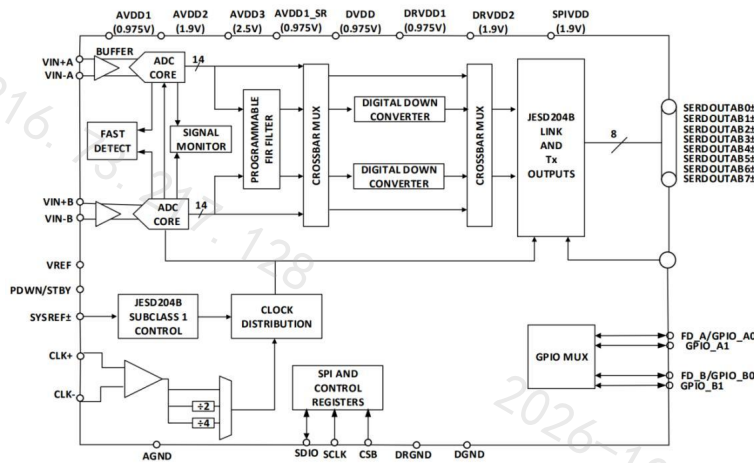


图 1. 功能框图

5. 引脚和功能描述

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
A	AVDD1	AVDD2	AVDD1	AVDD1	AVDD1	AGND1	CLK+	CLK-	AGND1	AVDD1	AVDD1	AVDD1	AVDD2	AVDD2
B	AVDD2	AVDD2	AVDD1	AVDD1	AGND	AGND1	AGND1	AGND1	AGND	AGND1	AVDD1	AVDD1	AVDD2	AVDD2
C	AVDD2	AVDD2	AVDD1	AGND	AGND	AGND1	AGND1	AGND1	AGND	AGND	AVDD1	AVDD1	AVDD2	AVDD2
D	AVDD3	AGND	AGND	AGND	AGND	AGND1	AGND1	AGND	AGND	AGND	AGND	AGND	AVDD3	AVDD3
E	VIN-B	AGND	AGND	AGND	AGND	AGND	AVDD1_SR	AGND	AGND	AGND	AGND	AGND	VIN-A	VIN-A
F	VIN-B	AGND	AGND	AGND	AGND	AGND	SYSREF+	SYSREF+	AGND	AGND	AGND	AGND	VIN-A	VIN-A
G	AVDD3	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AVDD3	AVDD3
H	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	VREF	AGND	AGND	AGND	AGND
J	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND
K	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND
L	DGND	GPIO_B1	SPIVDD	FD_B/GPIO_B0	CSB	SCLK	SDIO	PDWN/STBY	FD_A/GPIO_A0	SPIVDD	GPIO_A1	DGND	DGND	DGND
M	DGND	DGND	DRVDD2	DRVDD1	DRVDD1	DRVDD1	DRVDD1	DRVDD1	DRVDD1	DRVDD1	DRVDD1	DRVDD1	DRVDD1	DRVDD1
N	DVDD	DVDD	DRGND	SERDOUTA7±	SERDOUTA6±	SERDOUTA5±	SERDOUTA4±	SERDOUTA3±	SERDOUTA2±	SERDOUTA1±	DRGND	DRGND	DRGND	DRGND
P	DVDD	DVDD	DRGND	SERDOUTB7±	SERDOUTB6±	SERDOUTB5±	SERDOUTB4±	SERDOUTB3±	SERDOUTB2±	SERDOUTB1±	DRGND	DRGND	DRGND	DRGND

图 2. 引脚配置 (顶视图)

5.1 引脚定义

表 1

引脚编号	引脚名称	描述
A3, A12, B3, B12, C3, C12	AVDD1	模拟电源(典型值为0.975 V)
A4, A5, A10, A11, B4, B11	AVDD1 ²	时钟域模拟电源(典型值为0.975 V)
A1, A2, A13, A14, B1, B2, B13, B14, C1, C2, C13, C14	AVDD2	模拟电源(典型值为1.9 V)
D1, D14, G1, G14	AVDD3	模拟电源(典型值为2.5 V)
E7	AVDD1_SR ³	SYSREF± 电源(典型值为0.975 V)
L3, L10	SPIVDD	SPI 电源 (典型值为1.9 V)
M14, N1, N2, N14, P1, P2, P14	DVDD	数字电源 (典型值为0.975 V)
M5 to M8, M11	DRVDD1	数字驱动器电源(典型值为0.975 V)
M13	DRVDD2	数字驱动器电源(典型值为1.9 V)
B5, B10, C4, C5, C10, C11, D2 to D6, D9 to D13, E2 to E5, E9 to E13, F2 to F6, F9 to F13, G2 to G13, H1 to H9, H11 to H14, J1 to J14	AGND	模拟地
A6, A9, B6 to B9, C6 to C9, D7, D8	AGND ²	时钟域模拟地
E6, E8	AGND ³	SYSREF±模拟地
K1 to K14	AGND ⁴	隔离接地
L1, L12 to L14, M1, M2	DGND	数字地
M3, M4, M9, M10, M12, N3, N12, P3, P12	DRGND	数字驱动器地
E1, F1	VIN_B, VIN+B	ADC B 模拟输入 (-), ADC B 模拟输入 (+)
E14, F14	VIN_A, VIN+A	ADC A 模拟输入 (-), ADC A 模拟输入 (+)
A7, A8	CLK+, CLK_	时钟输入 (+), 时钟输入 (-)
H10	VREF	0.50 V 参考电压输入/不连接。该引脚可通过SPI配置为不连接或输入。如果使用内部参考电压, 请勿连接此引脚。如果使用外部参考电压, 则此引脚需要0.50 V 参考电压输入
L2	GPIO_B1	GPIO B1
L4	FD_B/GPIO_B0	通道B的快速检测输出/GPIO B0
L9	FD_A/GPIO_A0	通道A的快速检测输出/GPIO A0
L11	GPIO_A1	GPIO A1
F7, F8	SYSREF+, SYSREF_	JESD204B LVDS SYSREF高电平有效输入(+), JESD204B LVDS SYSREF高电平有效输入(-)
N13	SYNCINB+	JESD204B LVDS SYNC低电平有效输入(+)
P13	SYNCINB_	JESD204B LVDS SYNC低电平有效输入(-)
N4, P4	SERDOUT7+, SERDOUT7_	通道7数字输出(+), 通道7数字输出(-)
N5, P5	SERDOUT6+, SERDOUT6_	通道6数字输出(+), 通道6数字输出(-)
N6, P6	SERDOUT5+, SERDOUT5_	通道5数字输出(+), 通道5数字输出(-)
N7, P7	SERDOUT4+, SERDOUT4_	通道4数字输出(+), 通道4数字输出(-)
N8, P8	SERDOUT3+, SERDOUT3_	通道3数字输出(+), 通道3数字输出(-)
N9, P9	SERDOUT2+, SERDOUT2_	通道2数字输出(+), 通道2数字输出(-)
N10, P10	SERDOUT1+, SERDOUT1_	通道1数字输出(+), 通道1数字输出(-)
N11, P11	SERDOUT0+,	通道0数字输出(+), 通道0数字输出(-)

	SERDOUT0-	
L8	PDWN/STBY	掉电输入（高电平有效）。该引脚的操作取决于SPI模式，可以配置为关断或待机
L5	CSB	SPI片选(低电平有效)
L6	SCLK	SPI串行时钟
L7	SDIO	SPI串行数据输入/输出

1. 有关隔离平面以获得最佳性能的更多信息，请参阅“工作原理”部分和“应用程序信息”部分。
2. 表示时钟域。
3. 表示 $\text{SYSREF}\pm$ 域。
4. 表示隔离域。

6. 绝对最大额定值

表 2

参数	额定值
电气	
AVDD1 至 AGND	1.05V
AVDD1_SR 至 AGND	1.05V
AVDD2 至 AGND	2.0V
AVDD3 至 AGND	2.70V
DVDD 至 DGND	1.05V
DRVDD1 至 DRGND	1.05V
DRVDD2 至 DRGND	2.0V
SPIVDD 至 DGND	2.0V
AGND 至 DRGND	-0.3V to +0.3V
AGND 至 DGND	-0.3V to +0.3V
DGND 至 DRGND	-0.3V to +0.3V
VIN±x 至 AGND	AGND - 0.3 V to AVDD3 + 0.3 V
CLK±至 AGND	AGND - 0.3 V to AVDD1 + 0.3 V
SCLK, SDIO, CSB 至 DGND	DGND - 0.3 V to SPIVDD + 0.3 V
PDWN/STBY 至 DGND	AGND - 0.3 V to SPIVDD + 0.3 V
SYSREF±至 AGND	2.5V
SYNCINB±至 DRGND	2.5V
工作温度范围	-40°C 至 85°C
存储温度范围（环境温度）	-65°C 至 150°C

注：超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

7. 技术规格

直流规格

除非另有说明，否则 AVDD1 = 0.975 V，AVDD1 SR = 0.975 V，AVDD2 = 1.9 V，AVDD3 = 2.5 V，DVDD = 0.975 V，DRVDD1 = 0.975 V，DRVDD2 = 1.9 V，SPIVDD = 1.9 V，采样率最大额定值，1.7 V p-p 满量程差分输入，默认 SPI 设置，L = 8，M = 2，F = 1，TA = 25°C。

表 3

参数	CYD9689B-2000(2.0GSPS)			CYD9689B-2600(2.6GSPS)			单位
	最小值	典型值	最大值	最小值	典型值	最大值	
分辨率	14						Bits
精度							
无失码	保证			保证			
失调误差	0.09			-0.006			%FSR
失调匹配	0.067			0.05			%FSR
增益误差							%FSR
增益匹配							%FSR
积分非线性(INL)	±6			±4			LSB
微分非线性(DNL)	±0.2			±0.2			LSB
温度漂移							
失调误差							ppm/°C
增益误差							ppm/°C
内部基准电压源	0.5			0.5			V
输入参考噪声	5.1			5.9			LSB rms
模拟输入							
差分输入电压(可编程)	1.7			1.7			V _{P-P}
共模输入电压（VCM）	1.32	1.35	1.52	1.32	1.35	1.52	V
差分输入电容	0.25			0.25			pF
差分输入电阻	200			200			Ω
-3dB带宽	6			6			Ghz
电源							
AVDD1	0.95	0.975	1.00	0.95	0.975	1.00	V
AVDD2	1.85	1.9	1.95	1.85	1.9	1.95	V
AVDD3	2.44	2.5	2.56	2.44	2.5	2.56	V
DVDD	0.95	0.975	1.00	0.95	0.975	1.00	V
DRVDD1	0.95	0.975	1.00	0.95	0.975	1.00	V
DRVDD2	1.85	1.9	1.95	1.85	1.9	1.95	V
SPIVDD	1.85	1.9	1.95	1.85	1.9	1.95	V
IAVDD1	393			453.5			mA
IAVDD2	907			926.5			mA
IAVDD3	135			133.5			mA
IAVDD1_SR	7			8			mA
IDVDD	218			281			mA
IDRVDD1	241			258			mA
IDRVDD2	17.5			19.2			mA
ISPIVDD	0.022			0.024			mA
功耗							
总功耗（包括输出驱动器） ²	2.93			3.11			W
掉电功耗	532			613			mW
待机 ³	781			911			mW

1. 所有通道都在运行。DRVDD1 上的功耗随通道速率和使用的通道数而变化。
2. 默认模式，未使用 DDC。
3. 可由 SPI 控制。

交流规格

除非另有说明, AVDD1 = 0.975 V, AVDD1 SR = 0.975 V, AVDD2 = 1.9 V, AVDD3 = 2.5 V, DVDD = 0.975 V, DRVDD1 = 0.975 V, DRVDD2 = 1.9 V, SPIVDD = 1.9 V, 采样率最大额定值, 1.70 V p-p 满量程差分输入, 默认 SPI 设置, $A_{in} = -2\text{dBFS}$, $T_A = 25^\circ\text{C}$ 。

表 4

参数	CYD9689B-2600			CYD9689B-2000			单位
	最小值	典型值	最大值	最小值	典型值	最大值	
噪声密度 ¹							
1.7V p-p		-152			-152		dBFS/Hz
2.04V p-p		-152			-152		dBFS/Hz
信噪比 (SNR)							
$f_{IN}=155\text{MHz}$		61.5			60.8		dBFS
$f_{IN}=155\text{MHz}$ (满量程=2.0 V p-p)		61.9			61.1		dBFS
$f_{IN}=750\text{MHz}$		59.4			58.9		dBFS
$f_{IN}=900\text{MHz}$		58.3			58.4		dBFS
$f_{IN}=1800\text{MHz}$		54.8			54.5		dBFS
$f_{IN}=2100\text{MHz}$		53.8			53.4		dBFS
$f_{IN}=3300\text{MHz}$		49.4			49.7		dBFS
$f_{IN}=4350\text{MHz}$ (满量程=1.1 V p-p)		43.4			47.6		dBFS
$f_{IN}=5530\text{MHz}$ (满量程=1.1 V p-p)		45.7			45.6		dBFS
信纳比 (SINAD)							
$f_{IN}=155\text{MHz}$		59.2			58.3		dBFS
$f_{IN}=155\text{MHz}$ (满量程=2.0 V p-p)		59.2			58.3		dBFS
$f_{IN}=750\text{MHz}$		56			55.6		dBFS
$f_{IN}=900\text{MHz}$		55.4			55.9		dBFS
$f_{IN}=1800\text{MHz}$		50.3			49.8		dBFS
$f_{IN}=2100\text{MHz}$		48.4			47.9		dBFS
$f_{IN}=3300\text{MHz}$		43.2			42.6		dBFS
$f_{IN}=4350\text{MHz}$ (满量程=1.1 V p-p)		39.8			44.3		dBFS
$f_{IN}=5530\text{MHz}$ (满量程=1.1 V p-p)		42.8			43.2		dBFS
有效位数 (ENOB)							
$f_{IN}=155\text{MHz}$		9.5			9.4		Bits
$f_{IN}=155\text{MHz}$ (满量程=2.0 V p-p)		9.5			9.4		Bits
$f_{IN}=750\text{MHz}$		9.0			9		Bits
$f_{IN}=900\text{MHz}$		8.9			9		Bits
$f_{IN}=1800\text{MHz}$		8.0			8		Bits
$f_{IN}=2100\text{MHz}$		7.7			7.6		Bits
$f_{IN}=3300\text{MHz}$		6.9			6.8		Bits
$f_{IN}=4350\text{MHz}$ (满量程=1.1 V p-p)		6.3			7		Bits
$f_{IN}=5530\text{MHz}$ (满量程=1.1 V p-p)		6.8			6.9		Bits
无杂散动态范围 (SFDR)							
$f_{IN}=155\text{MHz}$		74.3			71.5		dBFS
$f_{IN}=155\text{MHz}$ (满量程=2.0 V p-p)		71.4			70.4		dBFS
$f_{IN}=750\text{MHz}$		64.2			63.3		dBFS
$f_{IN}=900\text{MHz}$		67.8			67.5		dBFS
$f_{IN}=1800\text{MHz}$		56.3			55		dBFS
$f_{IN}=2100\text{MHz}$		53.8			52.9		dBFS
$f_{IN}=3300\text{MHz}$		48.6			47.4		dBFS
$f_{IN}=4350\text{MHz}$ (满量程=1.1 V p-p)		51.3			52.7		dBFS
$f_{IN}=5530\text{MHz}$ (满量程=1.1 V p-p)		54.9			58		dBFS

最差其他谐波，不包括二次或三次谐波			
$f_{IN}=155\text{MHz}$	-91.6	-91.7	dBFS
$f_{IN}=155\text{MHz}$ (满量程=2.0 V p-p)	-89.3	-87.4	dBFS
$f_{IN}=750\text{MHz}$	-89.3	-82.2	dBFS
$f_{IN}=900\text{MHz}$	-84	-92.4	dBFS
$f_{IN}=1800\text{MHz}$	-73.9	-73.7	dBFS
$f_{IN}=2100\text{MHz}$	-71.1	-69.6	dBFS
$f_{IN}=3300\text{MHz}$	-60.1	-65.8	dBFS
$f_{IN}=4350\text{MHz}$ (满量程=1.1 V p-p)	-72.5	-72.8	dBFS
$f_{IN}=5530\text{MHz}$ (满量程=1.1 V p-p)	-62.9	-77.7	dBFS
串扰 ²	>69	>69	dB
超范围条件 ³	>69	>69	dB
模拟输入带宽，全功率 ⁴	5	5	GHz

1. 噪声密度是在低模拟输入频率（30 MHz）下测量的。
2. 串扰是在 950 MHz 下测量的，一个通道上有 -1.0 dBFS 模拟输入，相邻通道上没有输入。
3. 超量程条件以满量程输入范围的 3dB 指定。
4. 全功率带宽是可以实现适当 ADC 性能的工作带宽。

数字规格

除非另有说明, AVDD1 = 0.975 V, AVDD1 SR = 0.975 V, AVDD2 = 1.9 V, AVDD3 = 2.5 V, DVDD = 0.975 V, DRVDD1 = 0.975 V, DRVDD2 = 1.9 V, SPIVDD = 1.9 V, 采样率 = 2000MHz / 2600 MHz, 1.70 V p-p 满量程差分输入, 默认 SPI 设置, TA = 25℃。

表 5

参数	最小值	典型值	最大值	单位
差分时钟输入 (CLK+,CLK-) 逻辑兼容 差分输入电压 ¹ 输入共模电压 输入电阻 (差分) 输入电容 2.6GHz ¹ 差分输入回波损耗	300	LVDS/LVPECL 800 0.675 106 0.9	1800	mV p-p V Ω pF dB
系统参考(SYSREF)输入 (SSREF+,SYSREF-) 逻辑兼容 差分输入电压 输入共模电压 输入电阻(差分) 输入电容(差分)	400	LVDS/LVPECL 800 0.675 18 1	1800 2.0	mV p-p V KΩ pF
逻辑输入 (SDIO、SCLK、CSB、 PDWN/STBY、FD_A/GPIO_A0、 FD_B/GPIO_B0、GPIO_A1、 GPIO_B1) 逻辑兼容 逻辑1电压 逻辑0电压 输入电阻	0.65×SPIVDD 0	CMOS 30	0.35×SPIVDD	V V KΩ
逻辑输出 (SDIO, FD_A, FD_B) 逻辑兼容 逻辑 1 电压 (IOH = 4 mA) 逻辑 0 电压 (IOL = 4 mA)	SPIVDD-0.45V 0	CMOS	0.45	V V
同步输入 (SYNCINB+/SYNCINB-) 逻辑兼容 差分输入电压 输入共模电压 输入电阻(差分) 输入电容(差分)	400	LVDS/LVPECL 800 0.675 18 1	1800 2.0	mV p-p V V KΩ pF
SYNCINB+输入 逻辑兼容 逻辑1电压 逻辑0电压 输入电阻	0.9×DRVDD1	CMOS 2.6	2×DRVDD1 0.1×DRVDD1	V V KΩ
数字输出 (通道数字输出x±,x=0至 7) 逻辑兼容 差分输出电压 差分终端阻抗	326 80	SST 634 100	768 120	mV p-p Ω

1. 参考阻抗 = 100 Ω。

开关规格

除非另有说明，AVDD1 = 0.975 V，AVDD1 SR = 0.975 V，AVDD2 = 1.9 V，AVDD3 = 2.5 V，DVDD = 0.975 V，DRVDD1 = 0.975 V，DRVDD2 = 1.9 V，SPIVDD = 1.9 V，采样率 = 2000MHz / 2600 MHz，1.70 V p-p 满量程差分输入，默认 SPI 设置，TA = 25 °C。

表 6

参数	最小值	典型值	最大值	单位
时钟				
时钟速率 (CLK+/CLK-引脚)		2.6		GHz
采样率 ¹		2000/2600		MSPS
时钟脉冲宽度高	161.29	166.67	192.31	ps
时钟脉冲宽度低	161.29	166.67	192.31	ps
输出参数				
单位间隔 (UI) ²	62.5	66.67	592.6	ps
上升时间 (tR) 100Ω负载下20%至80%)		26		ps
下降时间 (tF) 100Ω负载下20%至80%)		26		ps
锁相环(PLL) 锁定时间		5		ms
每通道数据速率(不归零) ³	1.6875	15	16	Gbps
延迟 ⁴				
流水线延迟		220		Clock cycles
快速检测延迟		72		Clock cycles
NCO通道选择到输出		8		Clock cycles
唤醒时间				
待机		2		μs
掉电		4		ms
孔径				
孔径延迟 (tA)				ps
孔径不确定性 (Jitter,tj)		72		Fs rms
超范围恢复时间		1		Clock cycles

- 1.最大采样率是分频器之后的时钟速率。
- 2.波特率=1/UI。可以支持此范围的子集。
- 3.每个链接的默认 L=8。此数字可以根据采样率和抽取率进行更改。
- 4.未使用 DDC。配置为 L=8，M=2，F=1（每个链接）

时序规格

表 7

参数	说明	最小值	典型值	最大值	单位
CLK+至SYSREF+时序要求					
t_{SU_SR}	设备时钟到SYSREF+建立时间		-75		Ps
t_{H_SR}	设备时钟到SYSREF+保持时间		100		ps
SPI时序要求	见图5				
t_{DS}	数据与SCLK上升沿之间的建立时间	4			ns
t_{DH}	数据与SCLK上升沿之间的保持时间	2			ns
t_{CLK}	SCLK周期	40			ns
t_S	CSB与SCLK之间的建立时间	2			ns
t_H	CSB与SCLK之间的保持时间	2			ns
t_{HIGH}	SCLK高电平脉冲宽度	10			ns
t_{LOW}	SCLK低电平脉冲宽度	10			ns
t_{ACCESS}	SCLK下降沿与读取操作有效的输出数据之间的最大时间延迟		6	10	ns
t_{DIS_SDIO}	相对于SCLK上升沿, SDIO从输入状态到输出状态所需的时间	10			ns

时序图

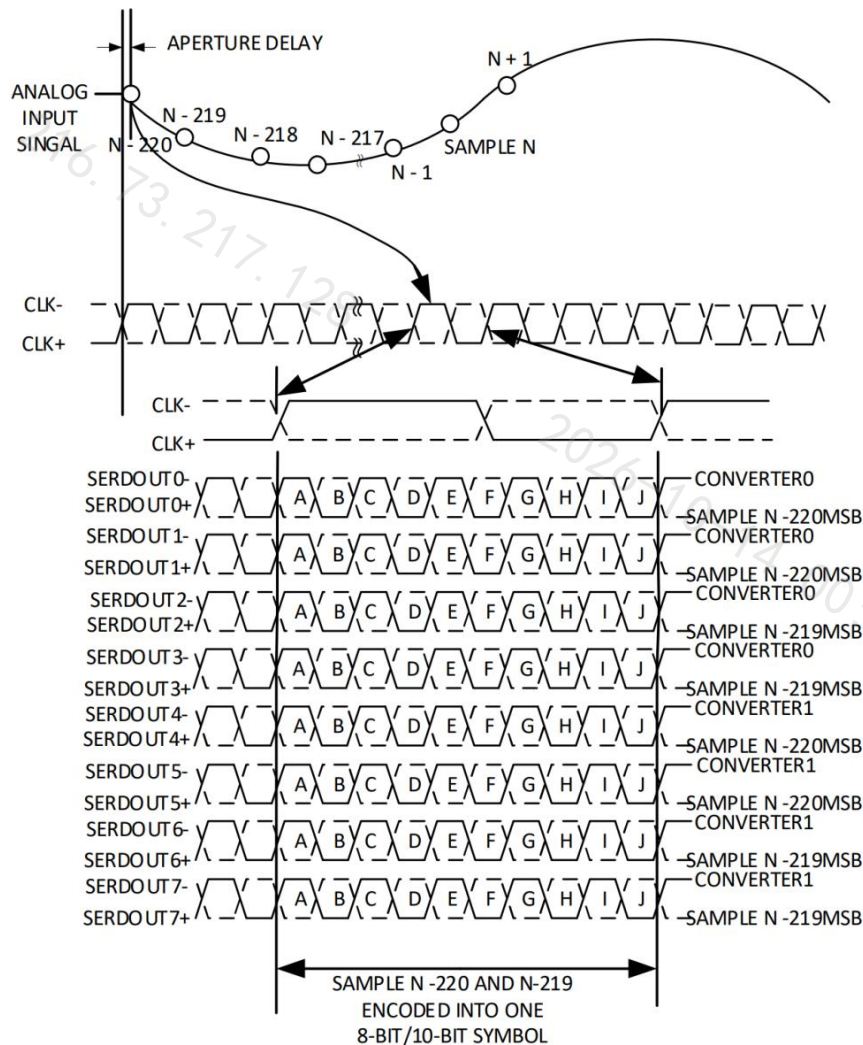


图 3.数据输出时序

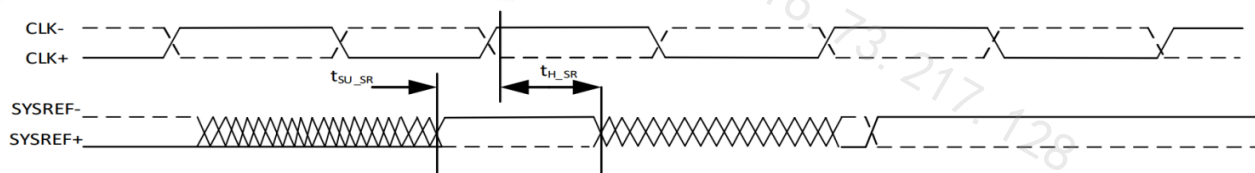


图 4. SYSREF±建立和保持时序图

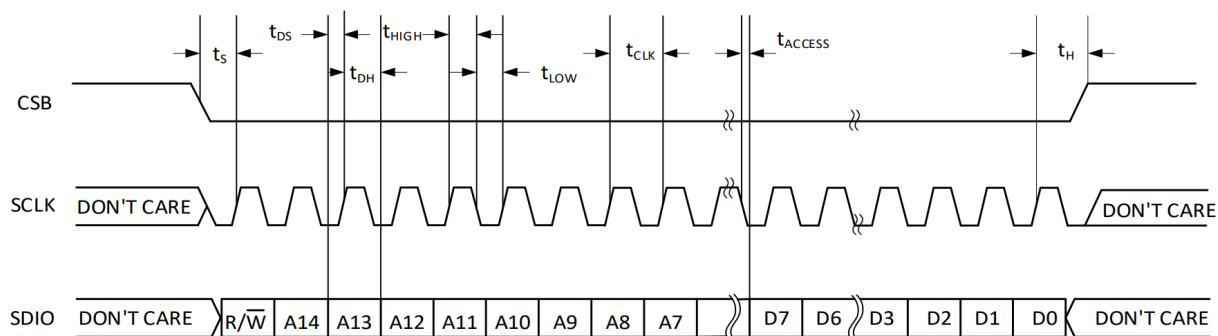


图 5. 串口接口时序图

8. 等效电路

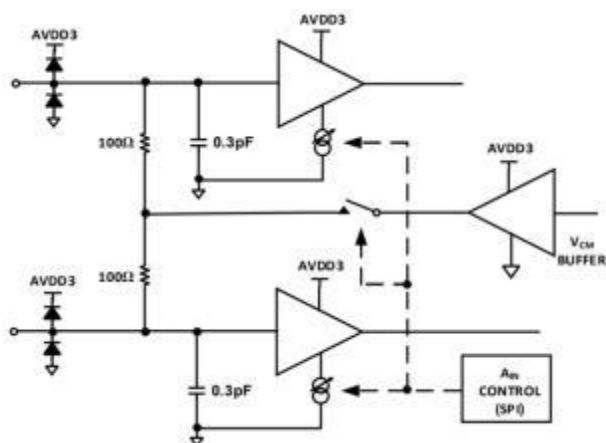


图 6.模拟输入脚等效电路图

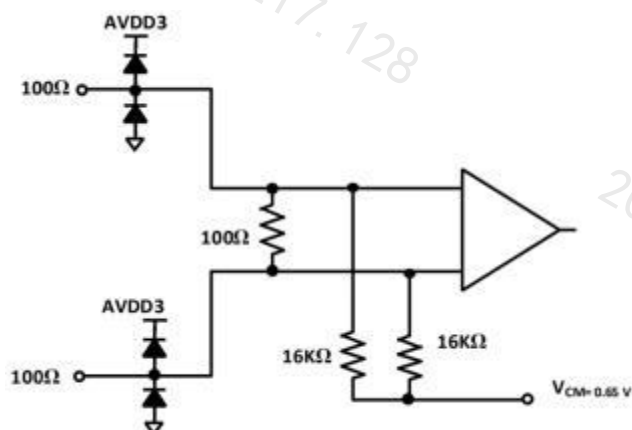


图 7.时钟输入脚等效电路

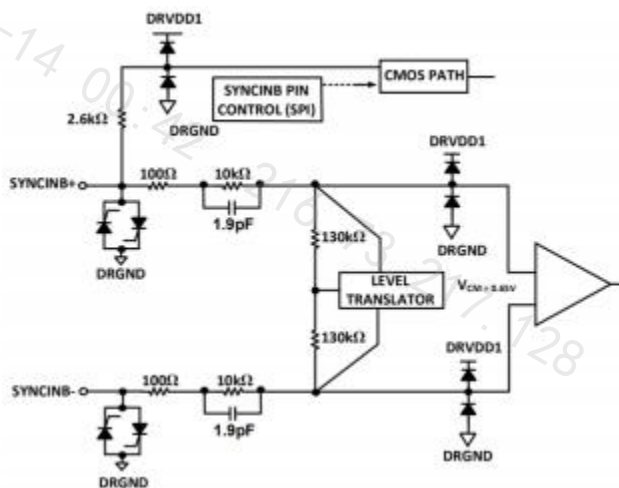


图 8. SYNCINB±输入脚等效电路

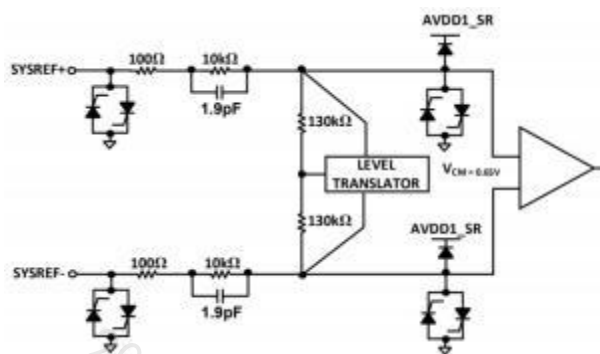


图 9. SYSREF±输入脚等效电路

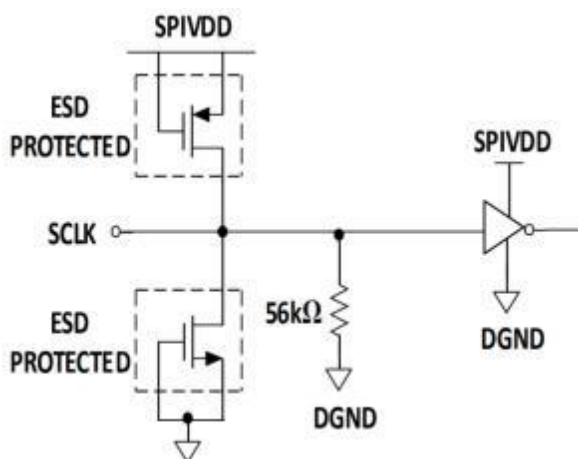


图 10. SCLK 输入脚等效电路

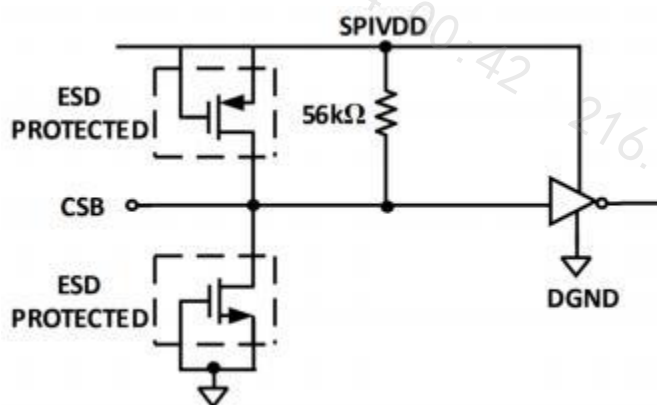


图 11. CSB 输入脚等效电路

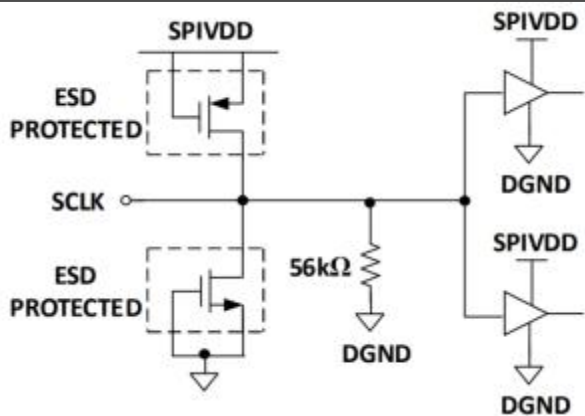


图 12. SDIO 输入脚等效电路

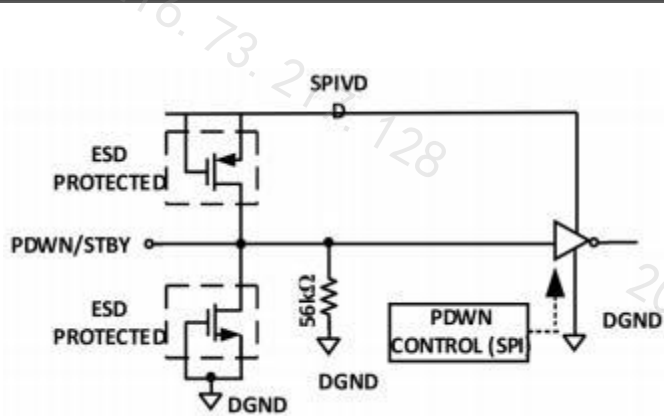


图 13. PDWN/STBY 输入

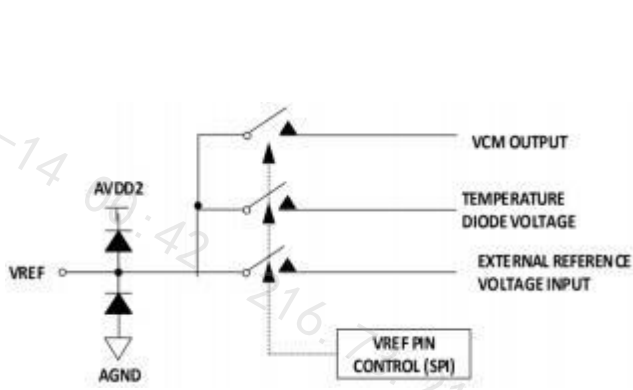


图 14. VREF 输入/输出

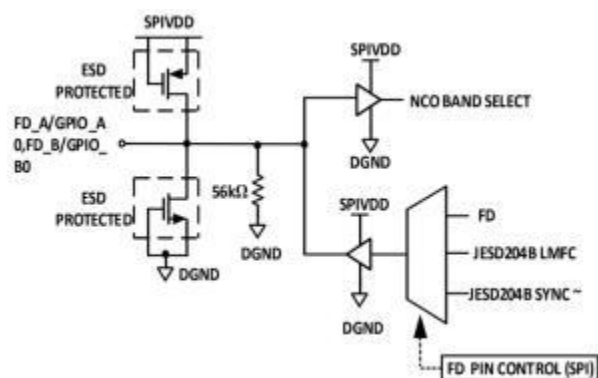


图 15. FD_A/GPIO_A0、FD_B/GPIO_B0

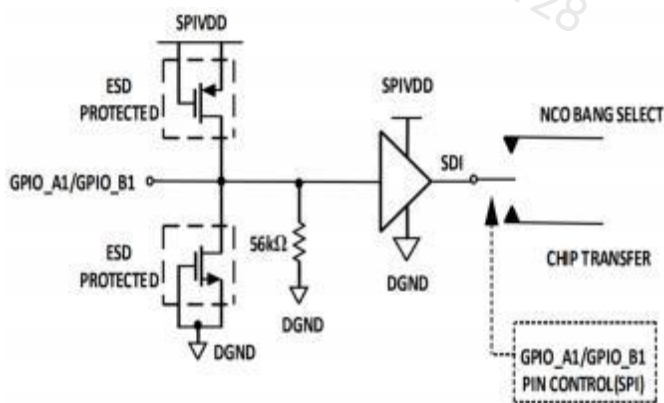


图 16. GPIO_A1/GPIO_B1

9. 工作原理

CYD9689B 具有 2 个模拟输入通道和多达 8 个 JESD204B 输出通道对。ADC 对高达 5 GHz 的宽带宽模拟信号进行采样。模拟输入的实际—3 dB 滚降为 6 GHz。CYD9689B 针对宽输入带宽、高采样速率、出色的线性度和低功耗进行了优化，采用小型封装。

该双通道 ADC 内核采用多级差分流水线架构，并集成了数字输出纠错逻辑。每个 ADC 均具有宽带宽输入，支持各种用户可选输入范围。集成电压基准可以简化系统设计。

CYD9689B 具有多种简化通信接收器中的 AGC 功能的功能特性。可编程阈值检测器允许使用 ADC 的快速检测输出位来监控输入信号功率。如果输入信号电平超过可编程阈值，则快速检测指示位变为高电平。

由于该阈值指示器具有低延迟，因此用户可以快速调低系统增益，以避免 ADC 输入出现超范围情况。

该 ADC 中采用的 JESD204B 高速串行输出数据通道可以配置为单通道 ($L = 1$)、双通道 ($L = 2$)、四通道 ($L = 4$) 和八通道 ($L = 8$) 配置，具体取决于采样速率和抽取率。通过 $SYSREF_{\pm}$ 和 $SYNCINB_{\pm}$ 输入引脚支持多个器件同步。CYD9689B 中的 $SYSREF_{\pm}$ 引脚在数据通过 ADC 和 JESD204B 接口时也可用作数据的时间戳。

ADC 架构

CYD9689B 由带输入电压缓冲器的流水线型 ADC 实现。输入缓冲器为模拟输入信号提供终端阻抗，此端接阻抗设置为 200Ω 。模拟输入端接的等效电路图如图 17 所示。输入缓冲器针对宽带宽下的高线性度、低噪声和低功耗进行了优化。

输入缓冲器提供线性高输入阻抗（便于驱动）并减少 ADC 的回踢。每个阶段的量化输出被组合成数字校正逻辑中的最终 14 位结果。流水线架构允许第一级使用新的输入样本进行操作；同时，其余级处理之前的采样值。采样发生在时钟的上升沿。

模拟输入考虑

CYD9689B 的模拟输入是一个差分缓冲器。缓冲器的内部共模电压为 1.35V。时钟信号在采样模式和保持模式之间交替切换输入采样前端。

可以在输入上放置一个差分电容器或两个单端电容器（或两者的组合），以提供匹配的无源网络。这些电容最终会创建一个低通滤波器，以限制不需要的宽带噪声。通常，精确的前端网络组件值取决于应用场景。

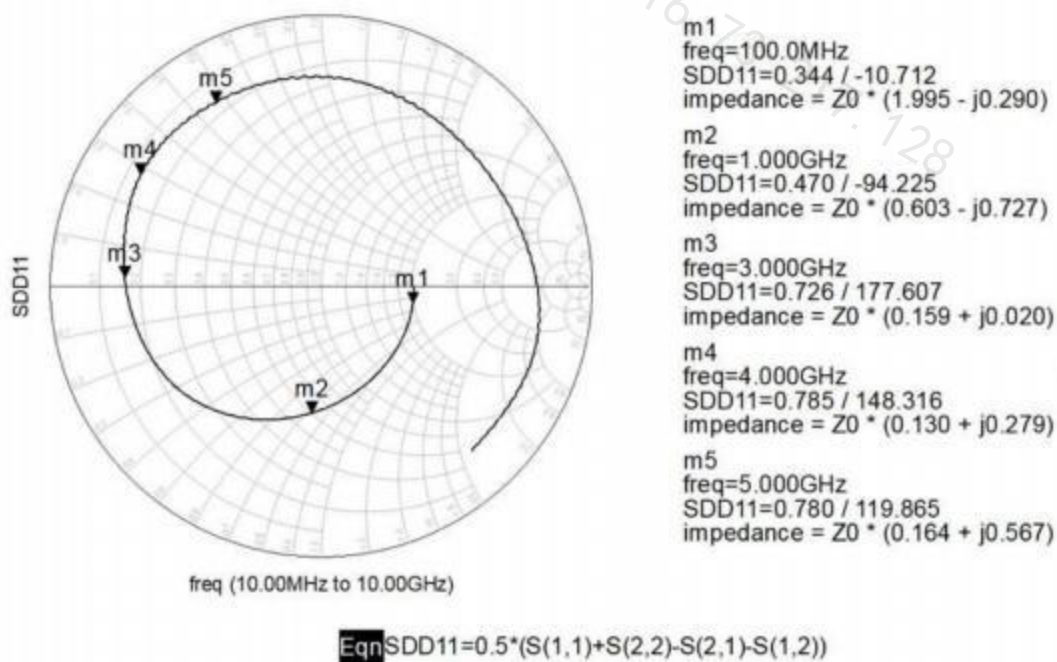


图 17. 差分输入端 VIN± 输入回波损耗 (SDD11)

为了获得最佳动态性能，驱动 VIN+x 和 VIN-x 的源阻抗必须匹配，以使共模建立误差对称。ADC 的共模抑制降低了这些误差。内部基准缓冲器创建一个差分基准，用于定义数据转换器内核的差分输入范围。

通过将数据转换器设置为最大差分输入信号范围来实现最大 SNR 性能。对于 CYD9689B，可用范围可通过 SPI 端口从 1.13Vp-p 到 2.04Vp-p 差分进行编程，默认为 1.7Vp-p 差分。

差分输入放大器

CYD9689B 有多种驱动方式，可以是有源驱动，也可以是无源驱动。通过差分驱动模拟输入可实现最佳性能。

对于 SNR 和 SFDR 是关键参数的应用，建议采用差分变压器耦合输入配置（见图 18 和表 19），因为大多数放大器的噪声性能不足以实现 CYD9689B 的真正性能。

对于低至中频段频率，建议使用双巴伦或双变压器网络（见图 18 和表 19），以实现 CYD9689B 的最佳性能。对于第三或第四奈奎斯特区中的较高频率，应移除一些前端无源元件，以确保宽带工作（见图 40 和表 19）。

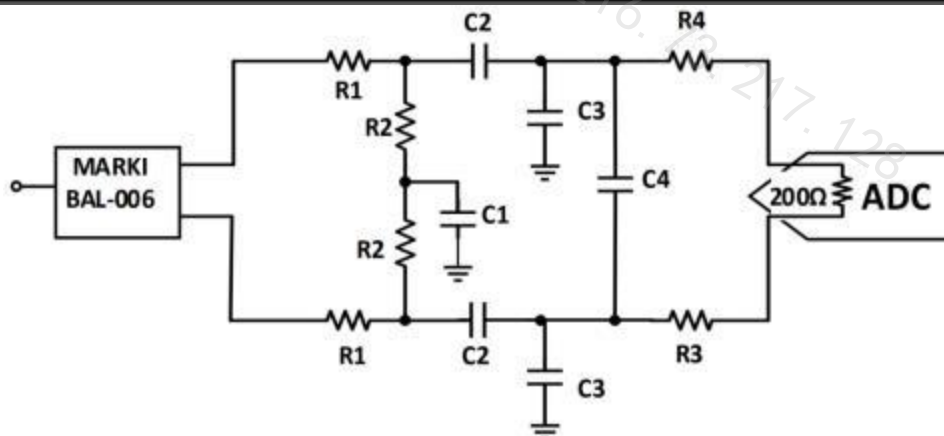


图 18. 差分变压器耦合配置

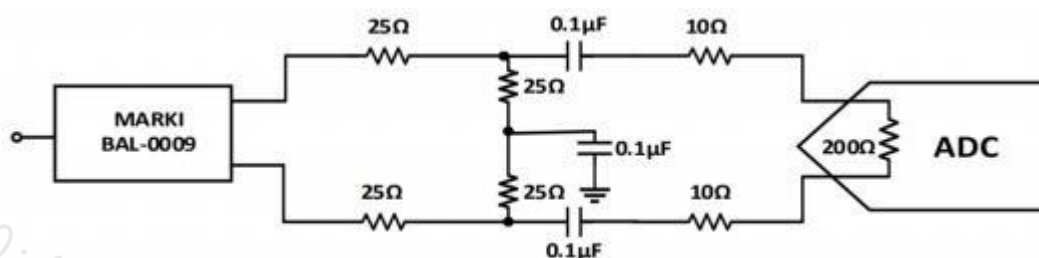


图 19. 频率 > 5GHz 的输入网络配置

表 9. 差分变压器耦合输入配置元器件值

频率范围 变压器 R1	变换	R1	R2	R3	C1	C2	C3	C4
<5000MHz	BAL-0006	25Ω	25Ω	10Ω	0.1μF	0.1μF	0.4pF	0.4pF
>5000MHz	BAL-0009	25Ω	25Ω	10Ω	0.1μF	0.1μF	Open	Open

输入共模

CYD9689B 的模拟输入在内部偏置到输入共模电压值，如图 21 所示。输入端共模电压范围有限，如果输入缓冲器输入端共模电压相较于共模缓冲器生成的参考共模电压偏移超过 50mV，性能会受到很大影响。

对于直流耦合应用，推荐的操作步骤是使用本节中列出的 SPI 地址写入对应值将共模电压值导出到 VREF 引脚。信号输入端的共模电压必须设置为 VREF 引脚输出的共模电压值，以确保 ADC 正常工作。

使用寄存器 0x1908 断开内部共模缓冲器与模拟输入的连接。

在执行 SPI 写操作配置为直流耦合运行模式时，应按顺序使用以下寄存器设置：

1. 将寄存器 0x1908 的位 2 置 1，以断开内部共模缓冲器与模拟输入的连接。
2. 将寄存器 0x18A6 设为 0x00 可关闭基准电压源。
3. 将寄存器 0x18E6 设为 0x00，以关闭温度二极管输出。
4. 将寄存器 0x18E3 的位 6 设为 1，以打开 VCM 输出。
5. 将寄存器 0x18E3 的位[5: 0]设置为缓冲电流设置（复制寄存器 0x1A4C 和寄存器 0x1A4D 的缓冲电流设置，以提高共模输出的精度）。

- 6.当通道 A 选择 0x1908=1，通道 B 选择 0x1908=0，共模输出电压为通道 A 的共模电压；当通道 A 选择 0x1908=0，通道 B 选择 0x1908=1，共模输出电压为通道 B 的共模电压。
- 7.当通道 A 和通道 B 同时选择 0x1908=0 或者 0x1908=1，共模输出电压由通道 A 和通道 B 的 pdwn 决定，当通道 A 的 0x003F=0x80，共模输出电压为 cha 的输出。
- 8.当通道 A 和通道 B 同时选择 0x1908=0 或者 0x1908=1，通道 A 的 0x003F=0x00，共模输出电压由通道 B 的 0x003F 决定，当 0x003F=0x00，通道 B 不输出共模输出电压，当 0x003F=0x80，通道 B 输出共模输出电压。

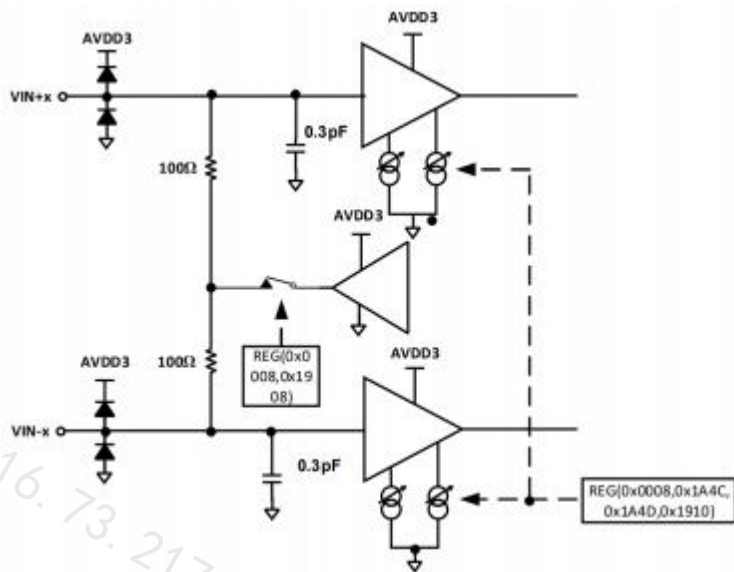


图 20.模拟输入控制

CYD9689B 输入缓冲器提供灵活的模拟输入控制，如缓冲电流，直流耦合模式和输入满量程调整。所有可用控制选项如图 17 所示，通过调整寄存器 0x1A4C 和寄存器 0x1A4D，可以调整每个通道上的缓冲器工作点，以优化各输入频率和目标带宽上的 SFDR。使用寄存器 0x1910 可以更改内部参考电压。更改内部参考电压会导致输入满量程电压发生变化。当修改寄存器 0x1A4C 和寄存器 0x1A4D 中的输入缓冲电流时，AVDD3 电源消耗的电流会发生变化。有关输入缓冲器电流配置的完整列表，请参阅表 46。

表 10 显示了各种 Nyquist 区的缓冲电流的推荐值。

表 10.输入频率的 SFDR 优化

产品	频率	输入缓冲器电流控制设置、寄存器 0x1A4C 和寄存器 0x1A4D
CYD9689B-2600	DC to 1.3GHz 1.3 to 2.6GHz >2.6GHz	640 uA 1000 uA (默认) 1240 uA
CYD9689B-2000	DC to 1.0GHz 1.0 to 2.0GHz >2.0GHz	640 uA 880 uA (默认) 1360 uA

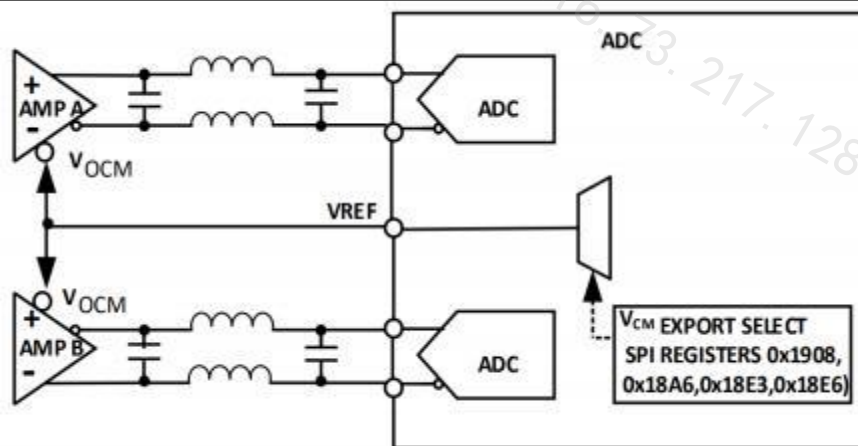


图 21. 直流耦合应用

抖动注入

CYD9689B 内置片内抖动电路，可提高 ADC 线性度和 SFDR，尤其是在较小信号电平下。一个已知但随机的白色噪声量注入 CYD9689B 的输入端。该抖动改善了 ADC 传递函数内的小信号线性度，并以数字方式精确地减去。抖动默认开启，不会降低 ADC 输入动态范围。数据手册的规格和限值在抖动开启时获得。默认情况下，抖动处于打开状态。不建议将其关闭。

绝对最大输入摆幅

CYD9689B 输入端允许的绝对最大输入摆幅为 5.8Vp-p 差分。在此电平附近或在此电平下工作的信号可能会对 ADC 造成永久性损坏。有关更多信息，请参阅表 6。

基准电压源

CYD9689B 内置一个稳定、精确的 0.5V 基准电压源。数据转换器的满量程输入范围此内部 0.5V 基准设置。满量程输入范围可通过数据转换器输入满量程控制寄存器（寄存器 0x1910）进行调整。有关调整输入摆幅的更多信息，请参阅表 46。图 23 显示了内部 0.5V 基准控制装置的框图。SPI 寄存器 0x18A6 使用户控制数据转换器能够使用此内部 0.5V 基准，或使用外部提供的 0.5V 基准。使用外部电压基准时，请提供 0.5V 基准电压。满量程范围调整通过 SPI 进行，与参考电压无关。有关调整 CYD9689B 满量程电平的更多信息，请参阅寄存器映射表。

使用外部电压基准所需的 SPI 写入顺序如下：

1. 将寄存器 0x18E3 设置为 0x00 以关闭 VCM 输出。
2. 将寄存器 0x18E6 设置为 0x00 以关闭温度二极管输出。
3. 将寄存器 0x18A6 设置为 0x01 以使能外部电压基准电压源。

在某些应用中，为了提高 ADC 的增益精度或改善温度漂移特性，可能需要使用外部基准电压源。在某些应用中，可能需要使用外部基准电压源，以提高 ADC 的增益精度或改善热漂移特性。图 22 显示了内部 0.5V 基准的典型漂移特性。

外部基准电压源必须是稳定的 0.5V 基准电压源。图 24 显示了如何为 CYD9689B 提供外部 0.5V 基准

电压源。虚线显示的是 CYD9689B 内未使用的模块，而使用外部基准电压源。

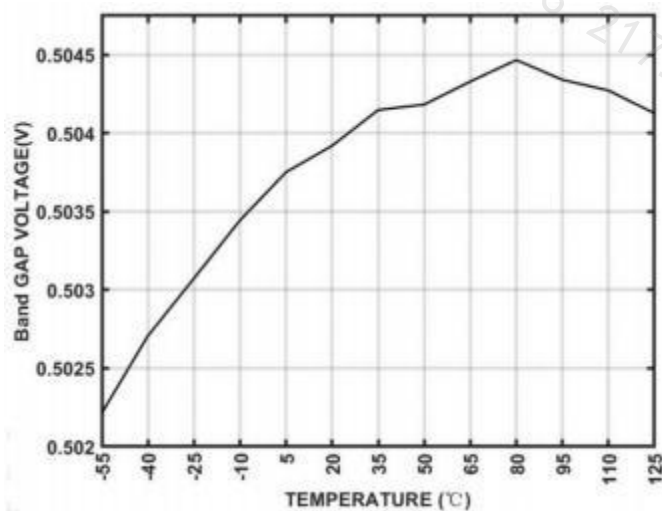


图 22. 典型参考电压 (VREF) 温漂

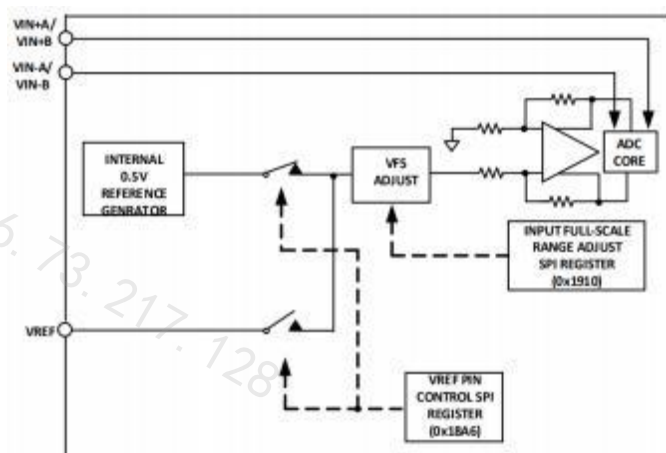


图 23. 内部参考配置和控制

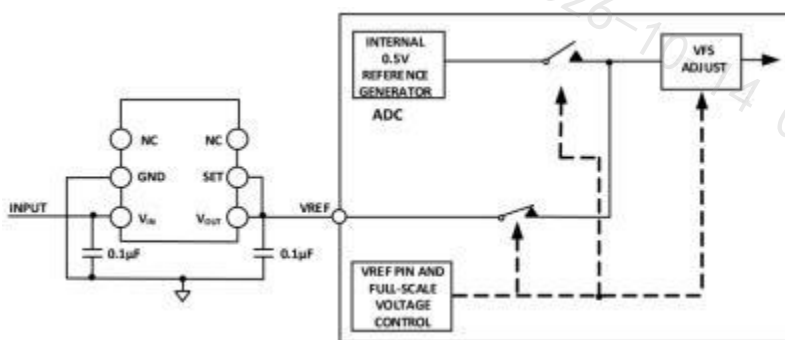


图 24. 采用外部基准

直流偏移校准

CYD9689B 内置一个数字滤波器，用于消除 ADC 输出的直流失调。对于交流耦合应用，可通过将寄存器 0x0701 的位 7 置 1 和寄存器 0x073B 的位 7 置 0 使能该滤波器。滤波器计算平均直流信号，然后从 ADC 输出中以数字方式减去该平均直流信号。因此，输出端的直流失调改善至优于 70dBFS。由于滤波器不区分直流信号分量，因此当不关心直流信号分量时，可以使用此功能。该滤波器可校正

高达±512 个码字的直流范围，超过该值时会饱和。

时钟输入考虑

为获得最佳性能，应使用差分信号驱动 CYD9689B 采样时钟输入（CLK+和CLK—）。该信号通常通过变压器或时钟驱动器 交流耦合到 CLK+和CLK—引脚。这些引脚在芯片内部被偏置，不需要额外的偏置。

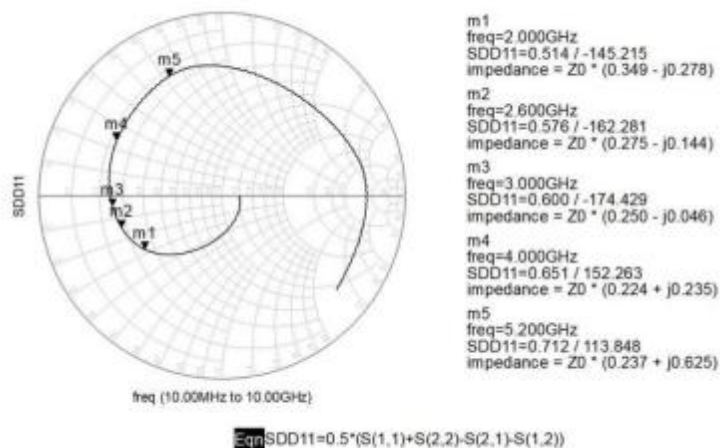


图 25. 差分时钟输入端 CLK±输入回波损耗（SDD11）

图 26 显示了为 CYD9689B 提供时钟的首选方法。低抖动时钟源使用射频变压器从单端信号转换为差分信号。

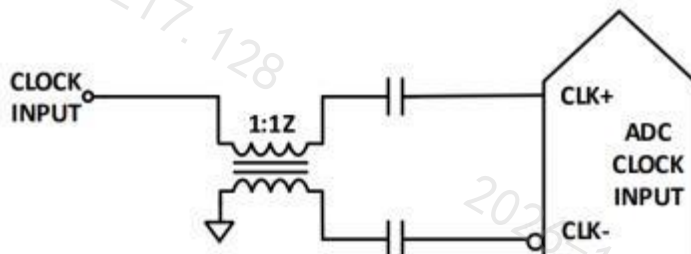


图 26.变压器耦合差分时钟

另一种选择是将差分 CML 或 LVPECL 信号交流耦合到采样 时钟输入引脚，如图 27 和图28 所示。

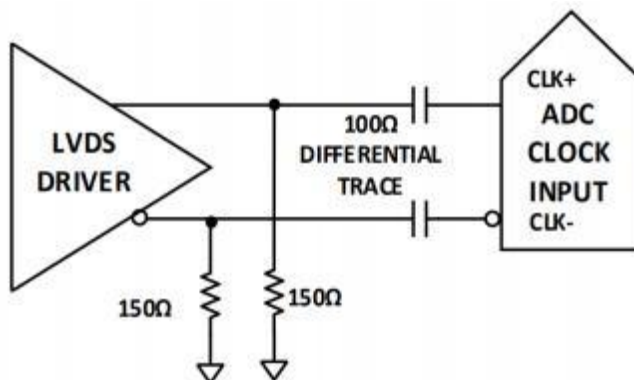


图 27.差分 LVPECL 采样时钟

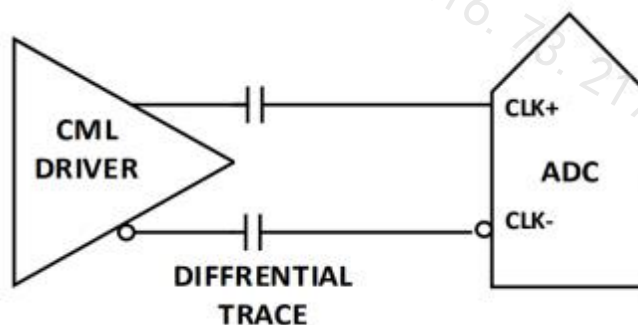


图 28. 差分 CML 采样时钟

在某些情况下，RF DAC 系列具有一个频率合成器，可以输出时钟输出为 CYD9689B 提供时钟。图 29 显示了频率合成器时钟输出时钟的布局。

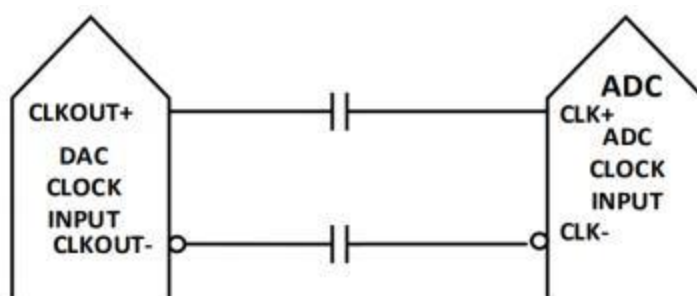


图 29. 时钟输出为 CYD9689B 提供时钟

时钟占空比注意事项

典型的高速 ADC 使用两个时钟边沿来产生各种内部时序信号。CYD9689B 包含一个内部时钟分频器和一个由 DCS1 和 DCS2 组成的占空比稳定器，默认启用。在不能保证时钟占空比为 50% 的应用中，建议使用更高的倍频时钟输入并使用时钟分频器。当无法提供更高频率的时钟时，建议使用寄存器 0x011C 和 寄存器 0x011E 打开 DCS。配置该寄存器后可能需要 datapath reset。图 30 显示了 CYD9689B 时钟输入的不同控制。分频器的输出为内部 ADC 提供 50% 占空比、高转换速率（快速边沿）时钟信号。有关使用此功能的更多详细信息，请参阅寄存器映射表部分。

输入时钟分频器

CYD9689B 包含一个输入时钟分频器，能够将输入时钟除以 1、2 或 4。使用寄存器 0x0108 选择分频器比率（参见图 30）。CLK±输入的最大频率为 5.2GHz，这是分频器的极限。在时钟输入是采样时钟的倍数的应用中，请注意在应用时钟信号之前将适当的分频比编程到时钟分频器中，这可确保控制器 件启动期间的电流瞬变。

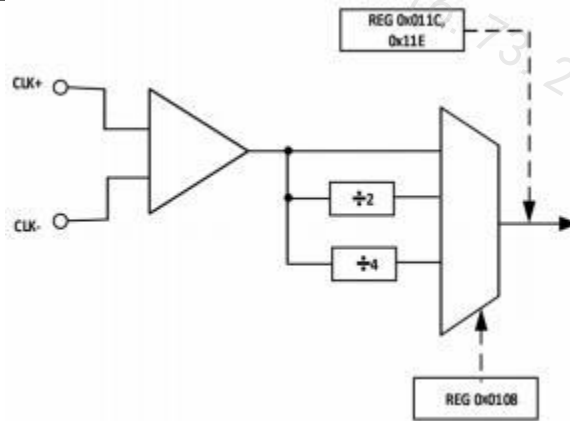


图 30.时钟分频器电路

CYD9689B 时钟分频器可使用外部 SYSREF±输入进行同步。有效的 SYSREF±使时钟分频器复位到可编程状态。此同步特性允许多个器件的时钟分频器对齐，以保证同步输入采样。

输入时钟分频器 1/2 周期延迟调整

CYD9689B 中的输入时钟分频器以输入时钟周期的 1/2 为增量提供相位延迟。配置寄存器 0x0109 为两个通道同时启用此延迟。配置 0x0008 为 03，同时更改两个通道的此寄存器不会影响 CYD9689B 链路的稳定性。

时钟精细延迟和超精细延迟调整

通过写入寄存器 0x0110、寄存器 0x0111 和寄存器 0x0112 来即时调整 CYD9689B 采样边沿。寄存器 0x0110 的 Bits[2:0]可以选择精细延迟，或带有超精细延迟的精细延迟。精细延迟允许用户通过 16 步或 192 步延迟选项来延迟时钟边沿。superfine delay 是一个无符号的控制，以每个 0.25ps 的超精细步长调整时钟延迟。

寄存器 0x0112，Bits[7:0]为用户提供了以 192 个延迟步长延迟时钟的选项。寄存器 0x0111，Bits[7:0]为用户提供了以 128 个超细步长延迟时钟的选项。这些值可以为每个通道单独编程。要使用 superfine delay 选项，请将寄存器 0x0110，Bits[2:0]中的时钟延迟控制设置为 0x2 或 0x6。图 31 显示了 CYD9689B 中时钟分频器可用的控件。

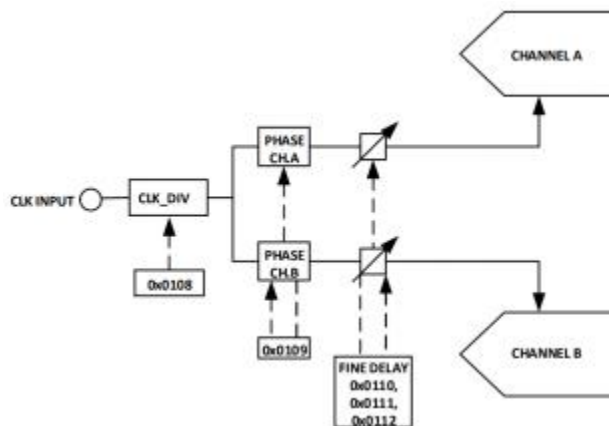


图 31.时钟分频器相位和延迟控制

clock delay 调整在 SPI 写入使能后立即生效。在寄存器 0x0110 中启用 clock fine delay adjust 会导致 datapath reset。但是，寄存器 0x0111 和寄存器 0x0112 值的更改不会影响 CYD9689B 链路的稳定性。

时钟系统考虑

CYD9689B 在模拟电源中具有许多不同的域，用于控制数据转换的各个模块。时钟域由模拟电源 AVDD1 (0.975V) 上的引脚 A4、引脚 A5、引脚 A10、引脚 A11、引脚 B4 和引脚 B11 和模拟地 (AGND) 引脚 A6、引脚 A9、引脚 B6、引脚 B6、引脚 B8、引脚 B9、引脚 C6、引脚 C7、引脚 C8、引脚 C9、引脚 D7 和引脚 D8 提供。为了最小化时钟电源域和其他模拟域之间的耦合，建议为引脚 A4 和引脚 A11 以及引脚 B4 和引脚 B11 添加电源 Q 因子降低电路 (de-Q)，如图 33 所示。

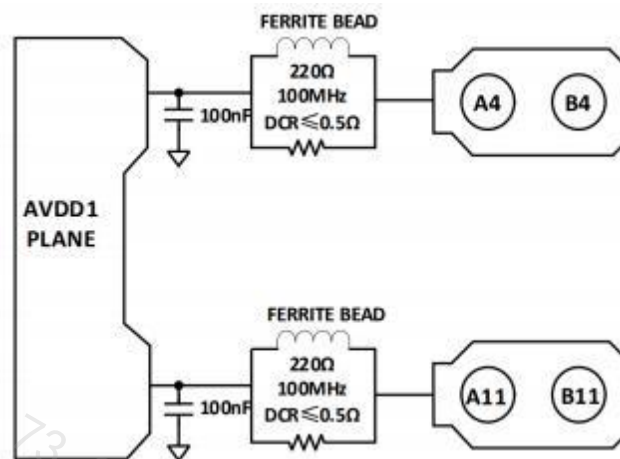


图 32. 针对时钟域电源的 De-Q 网络推荐

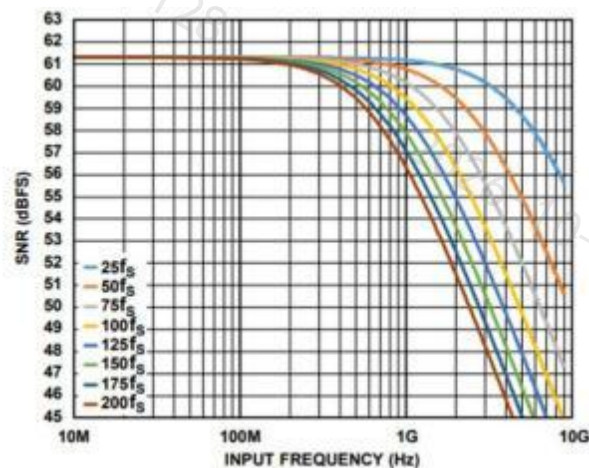


图 33. 2.6GSPS 下信噪比退化与输入频率及均方根抖动的估计关系

抖动考虑

高速、高分辨率 ADC 对时钟输入质量非常敏感。在给定输入频率 (f_A) 下，仅由孔径抖动 (t_j) 引起的 SNR 退化可通过下式计算：

$$SNR = -20\log(2 \times \pi \times f_{in} \times t_{j,rms})$$

上式中，均方根孔径抖动表示所有抖动源的总均方根，包括时钟输入、模拟输入信号和 ADC 孔径抖动规格。中频欠采样应用对抖动特别敏感（见图 34）。

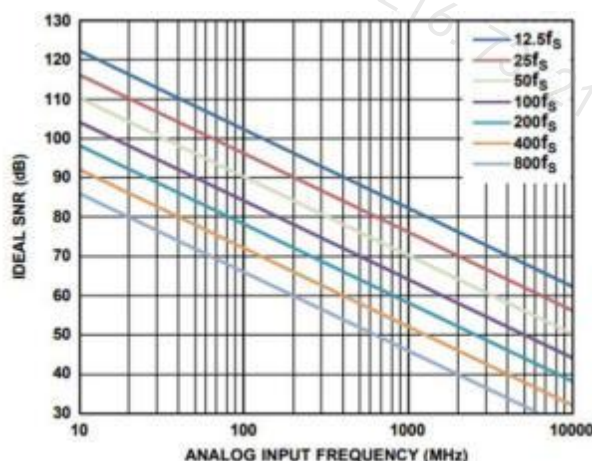


图 34.理想信噪比与模拟输入频率及抖动的对比

在孔径抖动可能影响 CYD9689B 动态范围的情况下，将时钟输入视为模拟信号。将时钟驱动器的电源与数据转换器输出驱动器电源分开，以避免数字噪声调制时钟信号。如果时钟是从另一种类型的源（通过门控、分频或其他方法）生成的，则在最后一步使用原始时钟对时钟重新同步。图 32 显示了不同时钟抖动值下，CYD9689B 在输入频率范围内的估计 SNR。SNR 可以通过使用下式来估计：

$$\text{SNR(dBFS)} = -10\log\left(10^{\frac{-\text{SNR}_{\text{ADC}}}{10}} + 10^{\frac{-\text{SNR}_{\text{JITTER}}}{10}}\right)$$

关断/待机模式

CYD9689B 有一个 PDWN/STBY 引脚，用于将器件配置为关断或待机模式。默认操作为掉电。PDWN/STBY 引脚为逻辑高电平引脚。在关断模式下，JESD204B 链路中断。关断选项也可通过寄存器 0x003F 和寄存器 0x0040 设置。在待机模式下，JESD204B 链路不会中断，并为所有转换器 样本传输零。可通过寄存器 0x0571 的位 7 选择/K/字符来更改此状态。

温度二极管

CYD9689B 内置基于二极管的温度传感器。二极管输出电压与晶片的温度相称。晶片上有多个二极管，但晶片中心位置的温度二极管输出的结果可以视作整个晶片的温度。但是，在仅使用一个通道（另一个通道处于关断状态）的应用中，建议读取与启用通道对应的温度二极管。图 35 显示了 CYD9689B 中二极管的位置，其电压可以输出到 VREF 引脚。在每个位置，都有一对二极管，其中一个二极管的大小是另一个二极管的 20 倍。建议在测量某一位置温度时同时测量两个二极管的电压，以获得芯片温度的准确估计。

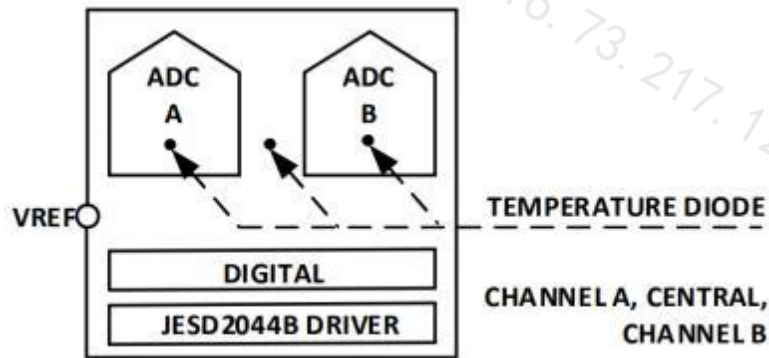


图 35. 芯片中的温度二极管位置

温度二极管电压可以通过 SPI 导出到 VREF 引脚。使用寄存器 0x18E6 来启用或禁用温度二极管。需要注意的是，其他电压可能会同时导出到 VREF 引脚，这可能会导致输出电压错误。为确保正确读数，请按照本节所述关闭所有其他电压输出电路。图 36 显示了使能二极管电压读出所需的控制框图。

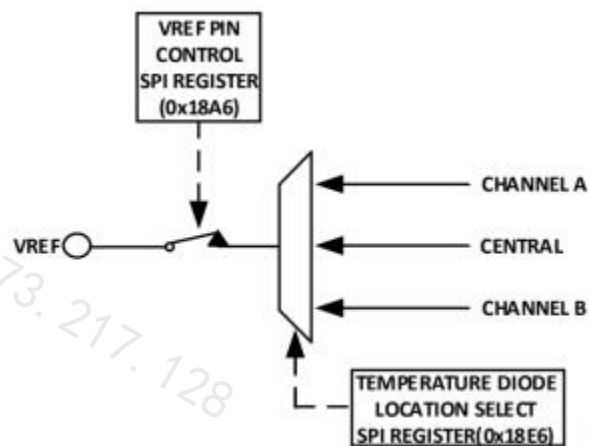


图 36. 寄存器控制以在 VREF 引脚上输出温度二极管电压

导出中央温度二极管所需的 SPI 写入如下（有关更多信息，请参见表 46）：

1. 将寄存器 0x0008 设置为 0x03 以选择两个通道。
2. 将寄存器 0x18E3 设置为 0x00 以关闭 VCM 输出。
3. 将寄存器 0x18A6 设置为 0x00 以关闭电压基准导出。
4. 将寄存器 0x18E6 设置为 0x01 以打开中央 1× 温度二极管的电压输出。温度二极管的典型电压响应如图 37 所示。虽然该电压代表芯片温度，但建议同时测量同一处位置的两个二极管以提高精度。以下步骤说明了如何启用 20× 二极管。
5. 将寄存器 0x18E6 设置为 0x02 以打开此位置的第二个中心温度二极管，其大小为第一个的 20 倍。

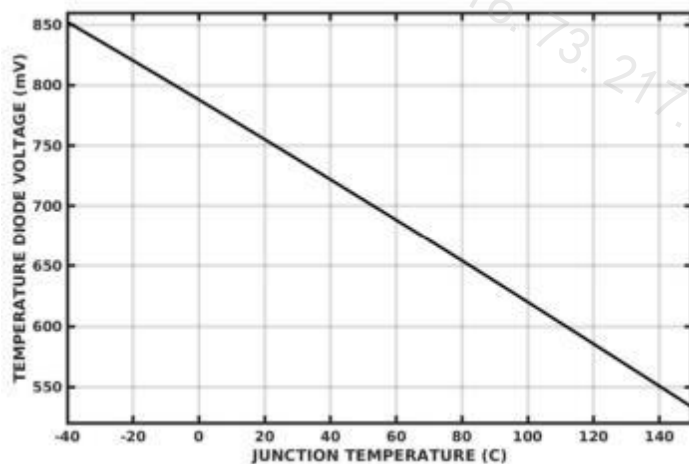


图 37.1× 温度二极管的典型电压响应

测得的电压差(ΔV)与以摄氏度为单位的结温之间的关系如图 38 所示。

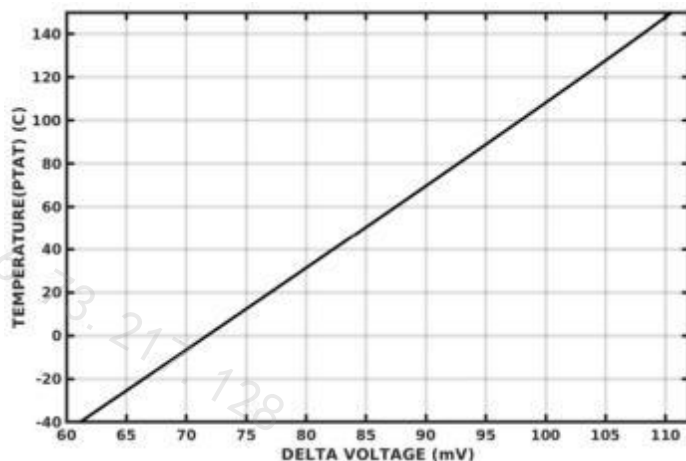


图 38.结温和电压的关系曲线(mV)

ADC 超摆幅和快速检测

在接收器应用中，期望有一种可靠地确定转换器是否要限幅的机制。JESD204B 输出中的标准超量程位提供有限的模拟输入状态的信息。因此，将可编程阈值设置为低于满量程是有帮助的，这样可以在削顶实际发生之前留出时间来降低增益。此外，由于输入信号的压摆率很高，因此该功能的延迟是主要问题。高度流水线化的转换器可能具有显著的延迟。CYD9689B 内置单个通道的快速检测电路，用于监控阈值并置高 FD_A、FD_B 引脚。

ADC 超量程

当在ADC输入端检测到超量程时，ADC 超量程指示器置高。超量程指示符可作为控制位嵌入JESD204B 链路中（CSB> 0 时）。此超量程指示器的延迟与采样延迟匹配。CYD9689B 还可以记录 8 个虚拟转换器中任何一个的超量程情况。有关虚拟转换器的更多信息，请参阅图 47。在寄存器 0x0563 中存储每个虚拟转换器的超量程状态，置高后不会更新。可以使用寄存器 0x0562 清除寄存器 0x0563 的内容，只需切换与虚拟转换器对应的位即可完成清除。

快速阈值检测 (FD_A、FD_B)

只要输入信号的绝对值超过可编程阈值上限，寄存器 0x0040 中的快速检测 (FD) 位就会立即置高。仅当输入信号的绝对值低于下限阈值且持续时间大于可编程驻留时间时，FD 位才会被置低。此功能提供迟滞，并防止 FD 位过度切换。上阈值寄存器，下阈值寄存器和驻留时间寄存器的工作原理如图 39 所示。

如果输入幅度超过快速检测上限阈值寄存器（位于寄存器 0x0247 和寄存器 0x0248）中的编程值，则 FD 指示器置高。所选阈值寄存器与 ADC 输出端的信号幅度进行比较。快速上阈值检测具有 72 个时钟周期（最大）的延迟。近似上阈值幅度由下式定义：

$$\text{上阈值幅度(dBFS)} = 20\log(\text{上阈值幅度}/2^{13})$$

直到信号小于下阈值持续时间超过驻留时间时，FD 指示器才会被置 0。下阈值在快速检测下阈值寄存器（寄存器 0x0249 和寄存器 0x024A）中配置。快速检测下限阈值寄存器是一个 13 位寄存器，用于与 ADC 输出端的信号幅度进行比较。这种比较受 ADC 流水线延迟的影响，但转换器分辨率足够精确。下阈值幅度定义为：

$$\text{下阈值幅度 (dBFS)} = 20\log(\text{下阈值幅度}/2^{13})$$

例如，要将上阈值设置为 -6 dBFS，请将 0xFFF 写入寄存器 0x0247 和寄存器 0x0248。要将下阈值设置为 -10 dBFS，请将 0xA1D 写入寄存器 0x0249 和寄存器 0x024A。通过设置快速检测驻留时间寄存器（寄存器 0x024B 和寄存器 0x024C），驻留时间可设置在 1 至 65535 个采样时钟周期范围内。有关详细信息，请参见“寄存器映射”部分（表 39 中的寄存器 0x0040 和寄存器 0x0245 至寄存器 0x024C）。

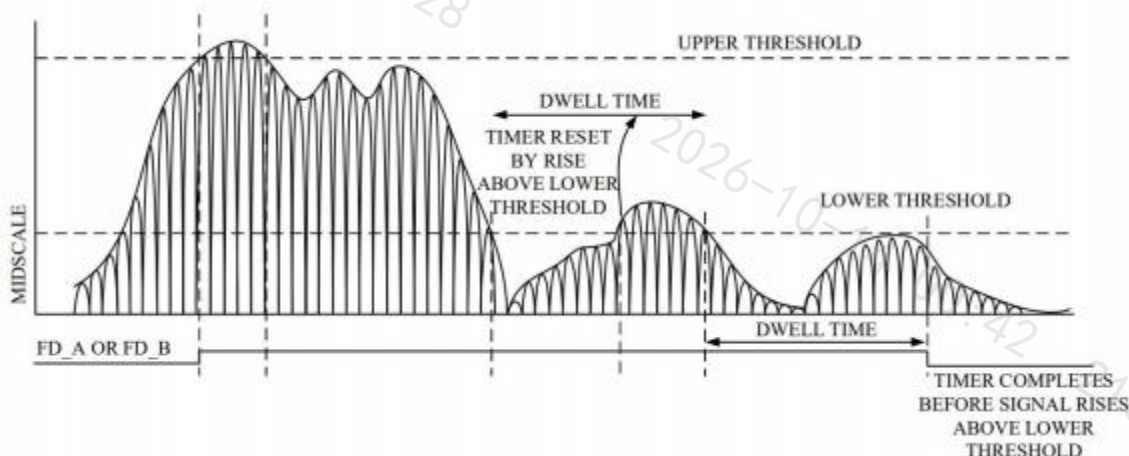


图 39. FD_A 和 FD_B 信号的阈值设置

ADC 应用模式和 JESD204B Tx 转换器映射

CYD9689B 包含一个可配置的信号路径，允许为不同的应用启用不同的功能。这些功能使用芯片应用模式寄存器 Register 0x0200 进行控制。芯片工作模式由该寄存器中的 Bits[3:0] 控制，芯片是否忽略 Q 路由 Bit 5 控制。

CYD9689B 包含以下模式：

- 全带宽模式：两个 14 位 ADC 内核以全采样速率运行。
- DDC 模式：多达四个数字下变频器（DDC）通道。

选择芯片应用模式后，使用寄存器 0x0201 Bits[3: 0]中的芯片抽取率设置输出抽取率。

输出采样率= ADC 采样率/芯片抽取率。

为了支持不同的应用层模式，CYD9689B 将每个采样流（实数、I 或 Q）视为来自单独的虚拟转换器。

表 10. 虚拟转换器映射

支持的 虚拟转 换器数 量	芯片工作模式 (Reg. 0x0200, 位[3: 0])	忽略 Q 路 (0x0200,位 5)	虚拟转换器映射							
			0	1	2	3	4	5	6	7
1 到 2	全带宽模式 (0x0)	实数或复 数 (0x0)	ADC A samples	ADC B samples	Unused	Unused	Unused	Unused	Unused	Unused
1	一种 DDC 模式 (0x1)	实数 (仅限 I 路) (0x1)	DDC0 I samples	Unused	Unused	Unused	Unused	Unused	Unused	Unused
2	一种 DDC 模式 (0x2)	复数 (I/Q) (0x0)	DDC0 I samples	DDC0 Q samples	Unused	Unused	Unused	Unused	Unused	Unused
2	双 DDC 模式 (0x2)	实数 (仅限 I 路) (0x1)	DDC0 I samples	DDC1 I samples	Unused	Unused	Unused	Unused	Unused	Unused
4	双 DDC 模式 (0x2)	复数 (I/Q) (0x0)	DDC0 I samples	DDC0 Q samples	DDC1 I samples	DDC1 Q samples	Unused	Unused	Unused	Unused
4	四 DDC 模式 (0x3)	实数 (仅限 I 路) (0x1)	DDC0 I samples	DDC1 I samples	DDC2 I samples	DDC3 I samples	Unused	Unused	Unused	Unused
8	四 DDC 模式 (0x3)	复数 (I/Q) (0x0)	DDC0 I samples	DDC0 Q samples	DDC1 I samples	DDC1 Q samples	DDC2 I samples	DDC2 Q samples	DDC3 I samples	DDC3 Q samples

表 10 显示了禁用通道交换时所需的虚拟转换器数量和传输层映射。图 37 显示了使用复数输出时的虚拟转换器及其与 DDC 输出的关系。每个 DDC 通道为复数数据（实数+虚数）输出两个采样流（I/Q），或为实数（I）数据输出一个采样流。CYD9689B 可以配置使用多达 8 个虚拟转换器，具体取决于 DDC 配置。I/Q 样本始终成对映射，I 样本映射到第一个虚拟转换器，Q 样本映射到第二个虚拟转换器。通过这种传输层映射，无论单个实际转换器与产生 I/Q 输出的数字下变频器模块一起使用，还是将模拟下变频与两个产生 I/Q 输出的实际转换器一起使用，虚拟转换器的数量都是相同的。图 38 显示了 I/Q 传输层映射中描述的两个场景的框图。

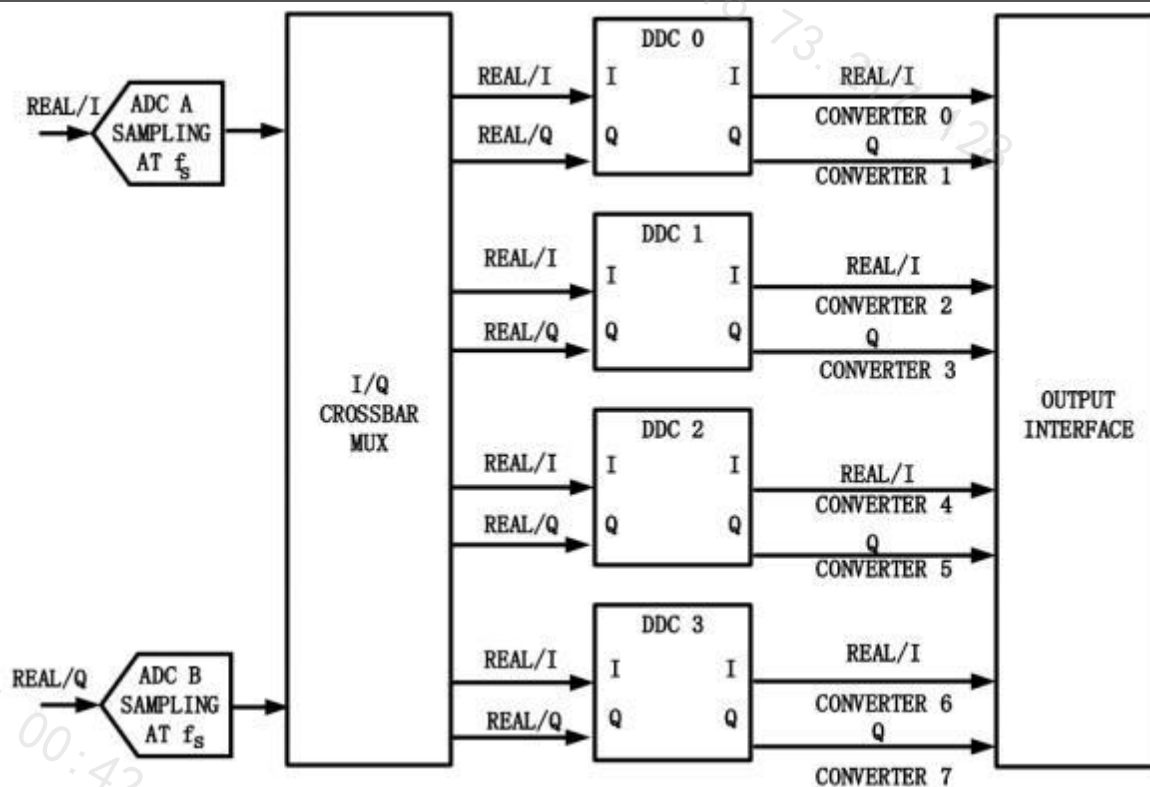


图 40.DDC 和虚拟转换器映射

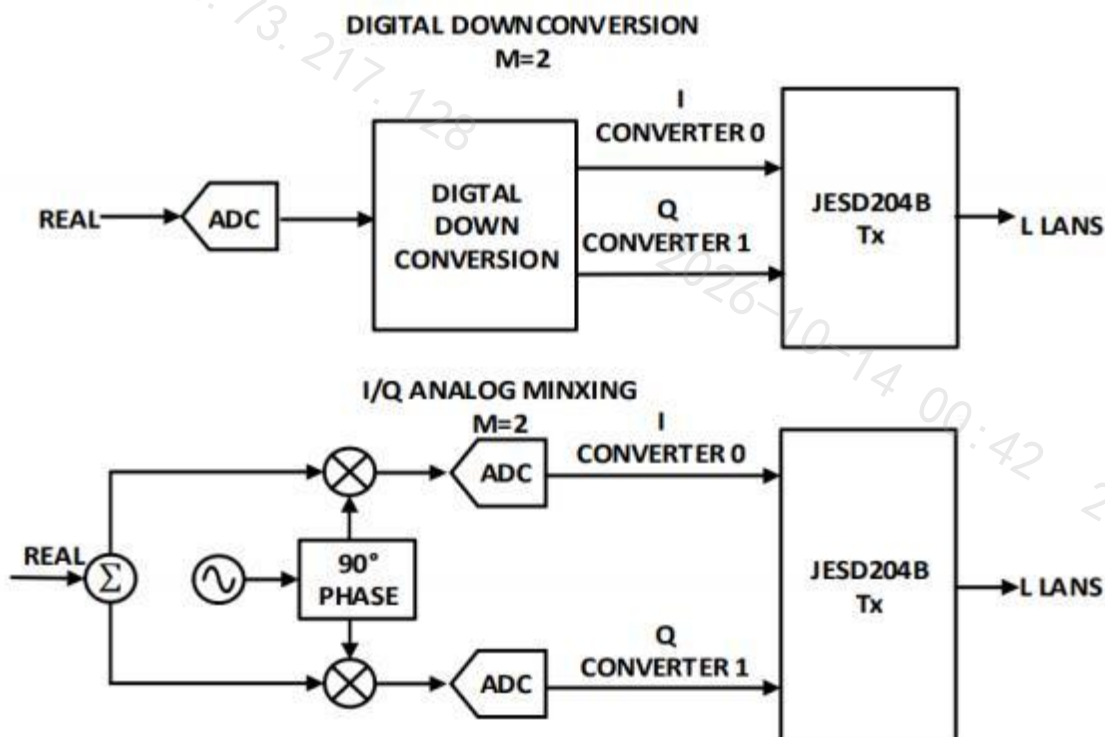


图 41. I/Q 传输层映射

FIR 滤波器

概述

CYD9689B 支持以下工作模式（星号（*）表示卷积）：

- I/Q 通道 48 抽头实数滤波器（参见图 42）
- $DOUT_I[n] = DIN_I[n] * XY_I[n]$
- $DOUT_Q[n] = DIN_Q[n] * XY_Q[n]$
- 96 抽头实数滤波器，用于 I 或 Q 通道（参见图 43）
- $DOUT_I[n] = DIN_I[n] * XY_I[n]$
- $DOUT_Q[n] = DIN_Q[n] * XY_Q[n]$
- I/Q 通道级联 24 抽头实数滤波器（参见图44）
- $DOUT_I[n] = DIN_I[n] * X_I[n] * Y_I[n]$
- $DOUT_Q[n] = DIN_Q[n] * X_Q[n] * Y_Q[n]$
- 使用两个 48 抽头实数滤波器构成的半复数滤波器 I/Q 通道（参见图45）
- $DOUT_I[n] = DIN_I[n] * DOUT_Q[n] = DIN_Q[n] * XY_Q[n] + DIN_I[n] * XY_I[n]$
- 使用4 个 24 抽头实数滤波器构成的复数滤波器 I/Q 通道（参见图 46）
- $DOUT_I[n] = DIN_I[n] * X_I[n] + DIN_Q[n] * Y_Q[n]$ ● $DOUT_Q[n] = DIN_Q[n] * X_Q[n] + DIN_I[n] * Y_I[n]$

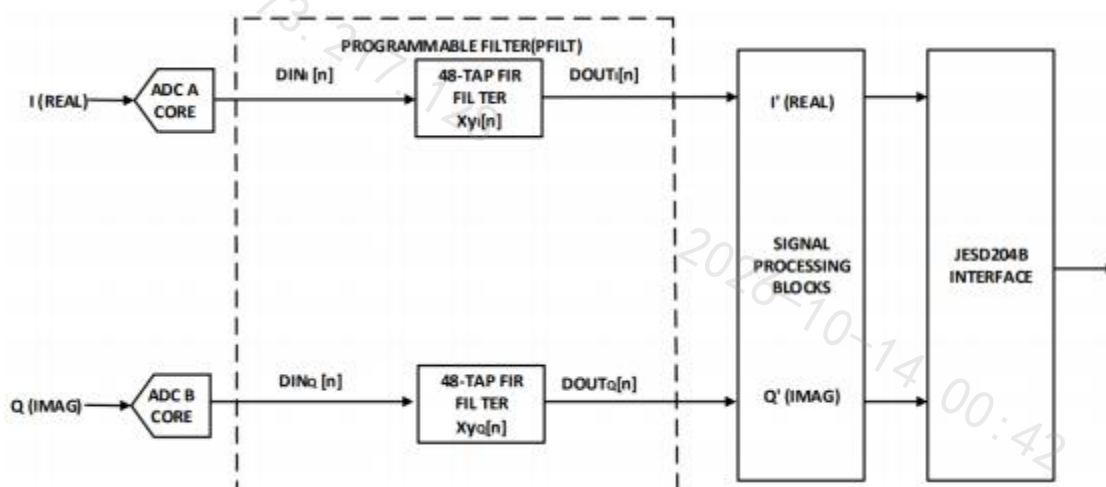


图 42. 48 抽头实数滤波器配置

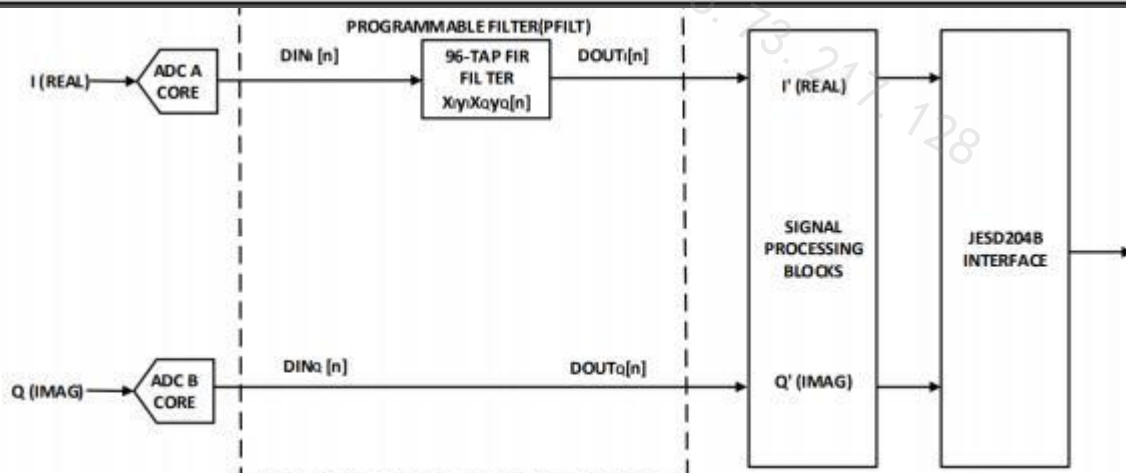


图 43.96 抽头实数滤波器配置

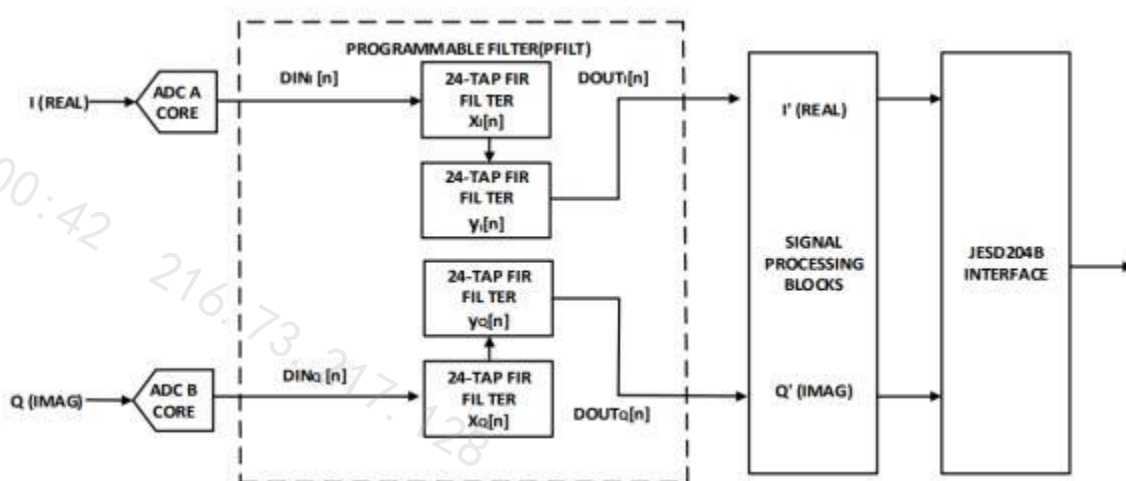


图 44.级联 24 抽头实数滤波器配置

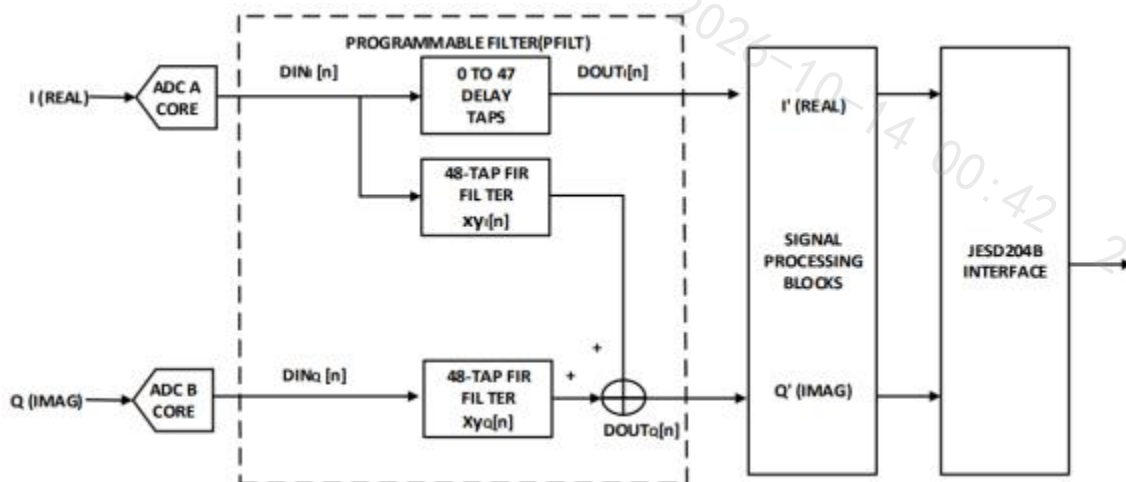


图 45.48 抽头半复数滤波器配置

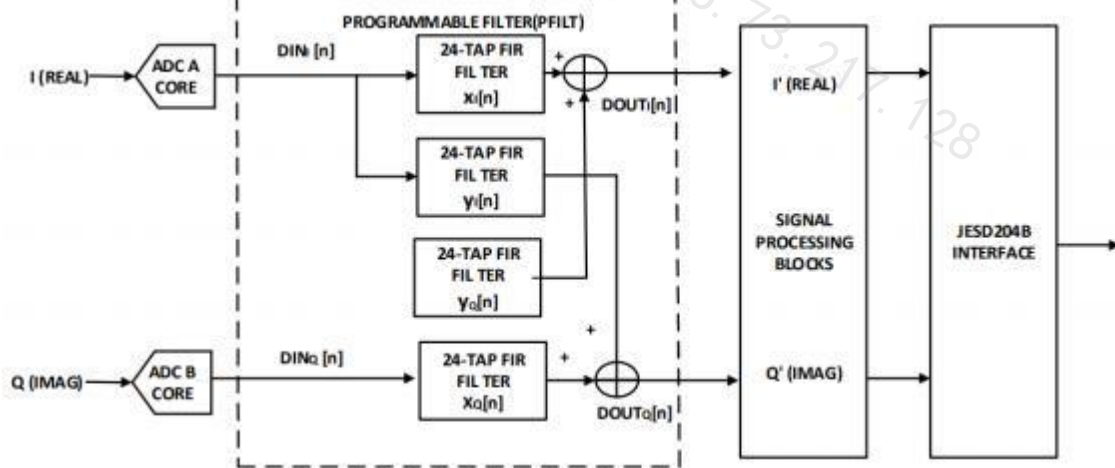


图 46.24 抽头全复数滤波器配置

可编程滤波器配置说明

使用以下过程设置可编程 FIR 滤波器：

1. 使能器件的采样时钟。
2. 按如下方式配置模式寄存器：
 - a. 将器件索引设置为通道 A（I path）（寄存器 0x0008 = 0x01）。
 - b. 在寄存器 0x0DF8 和寄存器 0x0DF9 中设置 I 路径模式（I mode）和增益（参见表 12 和表 13）。
 - c. 将器件索引设置为通道 B（Q path）（寄存器 0x0008 = 0x02）。
 - d. 在寄存器 0x0DF8 和寄存器 0x0DF9 中设置 Q 路径模式（Q mode）和增益。
3. 等待至少 5 μ s 以让可编程滤波器上电。
4. 将 I path 可编程滤波器系数编程到寄存器，如下所示：
 - a. 将器件索引设置为通道 A（I path）（寄存器 0x0008 = 0x01）。
 - b. 将寄存器 0x0E00 中的 XI 滤波器系数编程为寄存器 0x0E2F（参见表 14 和表 15）。
 - c. 将寄存器 0x0F00 中的 YI 滤波器系数编程为寄存器 0x0F2F（参见表 14 和表 15）。
 - d. 在寄存器 0x0F30 中对抽头延迟进行编程（请注意，此步骤是可选的）。
5. 将 Q path 可编程滤波器系数编程到寄存器，如下所示：
 - a. 将器件索引设置为通道 B（Q path）（寄存器 0x0008 = 0x02）。
 - b. 在寄存器 0x0DF8 和寄存器 0x0DF9 中设置 Q 路径模式和增益（参见表 12 和表 13）。
 - c. 将寄存器 0x0E00 中的 XQ 滤波器系数编程为寄存器 0x0E2F（参见表 14 和表 15）。
 - d. 将寄存器 0x0F00 中的 YQ 滤波器系数编程为寄存器 0x0F2F（参见表 14 和表 15）。
 - e. 在寄存器 0x0F30 中对抽头延时进行编程（请注意，此步骤是可选的）。
6. 使用以下任一方法设置芯片传输寄存器（请注意，设置芯片传输寄存器会将上述滤波器系数应用于滤波器）：
 - a. 通过寄存器映射，写入芯片传输寄存器（寄存器 0x000F = 0x01）。

b.通过 GPIO 引脚，如下所示：

- i.将其中一个 GPIO 引脚配置为寄存器 0x0040 中的 chip transfer bit 到寄存器 0x0042。
- ii.切换 GPIO 引脚以启动芯片传输（触发上升沿）。

7. 当寄存器 0x0DF8 中的 I 或 Q 路径模式寄存器发生变化时，必须重新编程所有系数。

表 11.寄存器 0x0DF8 定义

位(s)	描述
[7:3]	保留
[2:0]	滤波器模式 (I 模式 或 Q 模式) 000:旁路滤波器 001:24 抽头实数滤波器(仅限 X) 010:48 抽头实数滤波器 (X 和Y) 100:级联的 24 抽头实数滤波器 (X 和 Y 级联) 101:24 抽头复数滤波器（另一个通道的滤波器模式必须设置为 101） 110:48 抽头半复数滤波器+48 拍延迟线（X 和 Y）（另一个通道的滤波器模式也必须设置为 010） 111:实数 96 抽头滤波器（XI、YI、XQ 和 YQ 一起）（另一个通道的滤波器模式必须设置为 000）

表 12.寄存器 0x0DF9 定义

位(s)	描述
7	保留
[6:4]	Y 滤波器增益 110: _12 dB 损耗 111: _6 dB 损耗 000: 0 dB 增益 001: 6 dB 增益 010: 12 dB 增益
3	保留
[2:0]	X 滤波器增益 110: _12 dB 损耗 111: _6 dB 损耗 000: 0 dB 增益 001: 6 dB 增益 010: 12 dB 增益

表 13和表 14 显示了寄存器 0x0E00 到寄存器 0x0F30 中的系数表。请注意，所有系数均为 Q1.15 格式（符号位+15 个小数位）。

表 13. I 系数表 (器件选择= 0x1) ¹

地址	24 抽头实数滤波器 (I 模式 [2:0]= 0x1)	48 抽头实数滤波器 (I 模式 [2:0]= 0x2)	级联 24 抽头实数滤波器 (I 模式 [2:0]= 0x4)	24 抽头复数滤波器 (I 模式 [2:0]=0x5 和 Q 模式 [2:0]= 0x5)	48 抽头半复数滤波器 (I 模式 [2:0]=0x6 和 Q 模式 [2:0]= 0x2) ²	I 路径 96 抽头滤波器 (I 模式 [2:0] = 0x7 和 Q 模式 [2:0] = 0x0) ³	Q 路径 96 抽头滤波器 (I 模式 [2:0] = 0x0 和 Q 模式 [2:0] = 0x7) ³
0x0E00	XI C0 [7:0]	XI C0 [7:0]	XI C0 [7:0]	XI C0 [7:0]	XI C0 [7:0]	XI C0 [7:0]	XQ C48 [7:0]
0x0E01	XI C0 [15:8]	XI C0 [15:8]	XI C0 [15:8]	XI C0 [15:8]	XI C0 [15:8]	XI C0 [15:8]	XQ C48 [15:8]
0x0E02	XI C1 [7:0]	XI C1 [7:0]	XI C1 [7:0]	XI C1 [7:0]	XI C1 [7:0]	XI C1 [7:0]	XQ C49 [7:0]
0x0E03	XI C1 [15:8]	XI C1 [15:8]	XI C1 [15:8]	XI C1 [15:8]	XI C1 [15:8]	XI C1 [15:8]	XQ C49 [15:8]
...	...	...	...	...	...	...	...
0x0E2E	XI C23 [7:0]	XI C23 [7:0]	XI C23 [7:0]	XI C23 [7:0]	XI C23 [7:0]	XI C23 [7:0]	XQ C71 [7:0]
0x0E2F	XI C23 [15:0]	XI C23 [15:0]	XI C23 [15:0]	XI C23 [15:0]	XI C23 [15:0]	XI C23 [15:0]	XQ C71 [15:0]
0x0F00	闲置	YI C24 [7:0]	YI C0 [7:0]	YI C0 [7:0]	YI C24 [7:0]	YI C24 [7:0]	YQ C72 [7:0]
0x0F01	闲置	YI C24 [15:8]	YI C0 [15:8]	YI C0 [15:8]	YI C24 [15:8]	YI C24 [15:8]	YQ C72 [15:8]
0x0F02	闲置	YI C25 [7:0]	YI C1 [7:0]	YI C1 [7:0]	YI C25 [7:0]	YI C25 [7:0]	YQ C73 [7:0]
0x0F03	闲置	YI C25 [15:8]	YI C1 [15:8]	YI C1 [15:8]	YI C25 [15:8]	YI C25 [15:8]	YQ C73 [15:8]
...	...	...	...	...	...	...	...
0x0F2E	闲置	YI C47 [7:0]	YI C23 [7:0]	YI C23 [7:0]	YI C47 [7:0]	YI C47 [7:0]	YQ C95 [7:0]
0x0F2F	闲置	YI C47 [15:0]	YI C23 [15:0]	YI C23 [15:0]	YI C47 [15:0]	YI C47 [15:0]	YQ C95 [15:0]
0x0F30	闲置	闲置	闲置	闲置	I 路径抽头延迟 0: 0 抽头延迟 (与滤波器中的 C0 匹配) 1: 1 抽头延迟 ...47: 47 个抽头延迟	闲置	闲置

1. XI Cn 表示 I 路径 X 系数 n, YI Cn 表示 I 路径 Y 系数 n。

2. 在 48 抽头半复数滤波器模式下使用 I 路径时, Q 路径必须处于单个 48 抽头滤波器模式。

3. 在 96 抽头滤波器模式下使用 I 路径时, Q 路径必须处于旁路模式。

表 14. I 系数表 (器件选择= 0x2) ¹

地址	24 抽头实数滤波器 (Q 模式 [2:0]= 0x1)	48 抽头实数滤波器 (Q 模式 [2:0]= 0x2)	级联 24 抽头实数滤波器 (Q 模式 [2:0]= 0x4)	24 抽头复数滤波器 (Q 模式 [2:0]=0x5 和 I 模式 [2:0]= 0x5)	48 抽头半复数滤波器 (Q 模式 [2:0]=0x6 和 I 模式 [2:0]= 0x2)=0x2) ²	I 路径 96 抽头实数滤波器 (Q 模式 [2:0] = 0x0 和 I 模式 [2:0] = 0x7) ³	Q 路径 96 抽头实数滤波器 (Q 模式 [2:0] = 0x7 和 I 模式 [2:0] = 0x0) ³
0x0E00	XQ C0 [7:0]	XQ C0 [7:0]	XQ C0 [7:0]	XQ C0 [7:0]	XQ C0 [7:0]	XI C48 [7:0]	XQ C0 [7:0]
0x0E01	XQ C0 [15:8]	XQ C0 [15:8]	XQ C0 [15:8]	XQ C0 [15:8]	XQ C0 [15:8]	XI C48 [15:8]	XQ C0 [15:8]
0x0E02	XQ C1 [7:0]	XQ C1 [7:0]	XQ C1 [7:0]	XQ C1 [7:0]	XQ C1 [7:0]	XI C49 [7:0]	XQ C1 [7:0]
0x0E03	XQ C1 [15:8]	XQ C1 [15:8]	XQ C1 [15:8]	XQ C1 [15:8]	XQ C1 [15:8]	XI C49 [15:8]	XQ C1 [15:8]
...	...	...	...	...	...	...	...
0x0E2E	XQ C23 [7:0]	XQ C23 [7:0]	XQ C23 [7:0]	XQ C23 [7:0]	XQ C23 [7:0]	XI C71 [7:0]	XQ C23 [7:0]
0x0E2F	XQ C23 [15:0]	XQ C23 [15:0]	XQ C23 [15:0]	XQ C23 [15:0]	XQ C23 [15:0]	XI C71 [15:0]	XQ C23 [15:0]
0x0F00	闲置	YQ C24 [7:0]	YQ C0 [7:0]	YQ C0 [7:0]	YQ C24 [7:0]	YI C72 [7:0]	YQ C24 [7:0]
0x0F01	闲置	YQ C24 [15:8]	YQ C0 [15:8]	YQ C0 [15:8]	YQ C24 [15:8]	YI C72 [15:8]	YQ C24 [15:8]
0x0F02	闲置	YQ C25[7:0]	YQ C1[7:0]	YQ C1[7:0]	YQ C25[7:0]	YI C73[7:0]	YQ C25 [7:0]
0x0F03	闲置	YQ C25 [15:8]	YQ C1 [15:8]	YQ C1 [15:8]	YQ C25 [15:8]	YI C73 [15:8]	YQ C25 [15:8]
...	...	...	...	...	...	...	...
0x0F2E	闲置	YQ C47 [7:0]	YQ C23 [7:0]	YQ C23 [7:0]	YQ C47 [7:0]	YI C95 [7:0]	YQ C47 [7:0]
0x0F2F	闲置	YQ C47 [15:0]	YQ C23[15:0]	YQ C23[15:0]	YQ C47 [15:0]	YI C95 [15:0]	YQ C47 [15:0]
0x0F30	闲置	闲置	闲置	闲置	Q 路径点击延迟 0: 0 抽头延迟 (与滤波器中的 C0 匹配) 1: 1 抽头延迟 ...47: 47 抽头延迟	闲置	闲置

1.XQ Cn 表示 Q 路径 X 系数 n, YQ Cn 表示 Q 路径 Y 系数 n。

2.在 48 抽头半复数滤波器模式下使用 I 路径时, Q 路径必须处于单个 48 抽头滤波器模式。

3.在 96 抽头滤波器模式下使用 I 路径时, Q 路径必须处于旁路模式。

数字下变频器（DDC）

CYD9689B 包含四个数字下变频器（DDC0 至 DDC3），用于滤波并降低输出数据速率。该数字处理部分包括数控振荡器（NCO）、多个抽取 FIR 滤波器、增益控制模块和一个复数到实数转换模块。每个处理模块都有控制线，可独立启用或禁用，以实现所需的处理功能。数字下变频器可配置为输出实数数据或复数输出数据。DDC 输出 16 位数据流。为此，即使模拟内核仅输出 14 位，转换器位数 N 也默认设置为 16。在全带宽模式中，ADC 输出为 14 位字后跟两个零，除非启用了尾位。

DDC I/Q 输入选择

CYD9689B 有两个 ADC 通道和四个 DDC 通道。每个 DDC 通道有两个输入端口，通过 I/Q 交叉开关可支持实数和复数输入。对于实数信号，两个 DDC 输入端口必须选择相同的 ADC 通道（即 DDC 输入端口 I = ADC 通道 A，DDC 输入端口 Q = ADC 通道 A）。对于复数信号，每个 DDC 输入端口必须选择不同的 ADC 通道（即 DDC 输入端口 I = ADC 通道 A，DDC 输入端口 Q = ADC 通道 B）。每个 DDC 的输入由 DDC 输入选择寄存器（寄存器 0x0311、0x0331、0x0351 和 0x0371）控制。有关如何配置 DDC 的信息，请参见表 46。

DDC I/Q 输出选择

每个 DDC 通道有两个输出端口，可支持实数和复数输出。对于实数输出信号，仅使用 DDC 输出端口 I（DDC 输出端口 Q 无效）。对于复数 I/Q 输出信号，同时使用 DDC 输出端口 I 和 DDC 输出端口 Q。每个 DDC 通道的 I/Q 输出由 DDC 复数到实数使能位（寄存器 0x0310、0x0330、0x0350 和 0x0370 的第 3 位）控制。芯片模式寄存器（寄存器 0x0200 的第 5 位）中的 Q 忽略位控制所有 DDC 通道的芯片输出多路复用。当所有 DDC 通道使用实数输出时，将此位设为高电平可忽略所有 DDC 的 Q 输出端口。当任何 DDC 通道设置为使用复数 I/Q 输出时，用户必须清除此位以使用 DDC 输出端口 I 和 DDC 输出端口 Q。有关更多信息，请参见图 62。

DDC 概述

四个 DDC 模块用于提取 ADC 采集的完整数字频谱的一部分。它们适用于需要宽带宽输入信号的 IF 采样或过采样基带无线电。每个 DDC 模块都包含以下信号处理阶段：

- 频率转换阶段（可选）
- 滤波阶段
- 增益阶段（可选）
- 复数到实数的转换阶段（可选）

DDC 频率转换阶段（可选）

该阶段由一个相位相干 NCO 和正交混频器组成，可用于对实数或复数输入信号进行频率转换。NCO 允许进行无限次频率跳变，且所有跳变都参考同一同步事件。它还包括 16 个影子寄存器，用于快速切换应用。该阶段将可用数字频谱的一部分下变频至基带。

DDC 滤波阶段

在将信号下变频至基带后，该阶段使用多个低通有限脉冲响应（FIR）滤波器对频谱进行抽取以实现速率转换。抽取过程降低了输出数据速率，进而降低了输出接口速率。

DDC 增益阶段（可选）

由于将实数输入信号下变频至基带会产生损耗，因此该级通过增加0 dB 或6 dB 的增益来进行补偿。

DDC 复数到实数转换阶段（可选）

当需要实数输出时，该阶段通过执行 $f_s/4$ 混频操作和滤波器来去除信号的复数分量，从而将复数输出转换为实数。图 47 展示了 CYD9689B 中实现的 DDC 的详细框图。图 48 展示了四个 DDC 通道之一在使用实数输入信号和四个半带滤波器（HB4 + HB3 + HB2 + HB1）时的示例用法，同时显示了复数（抽取率为 16）和实数（抽取率为8）输出选项。

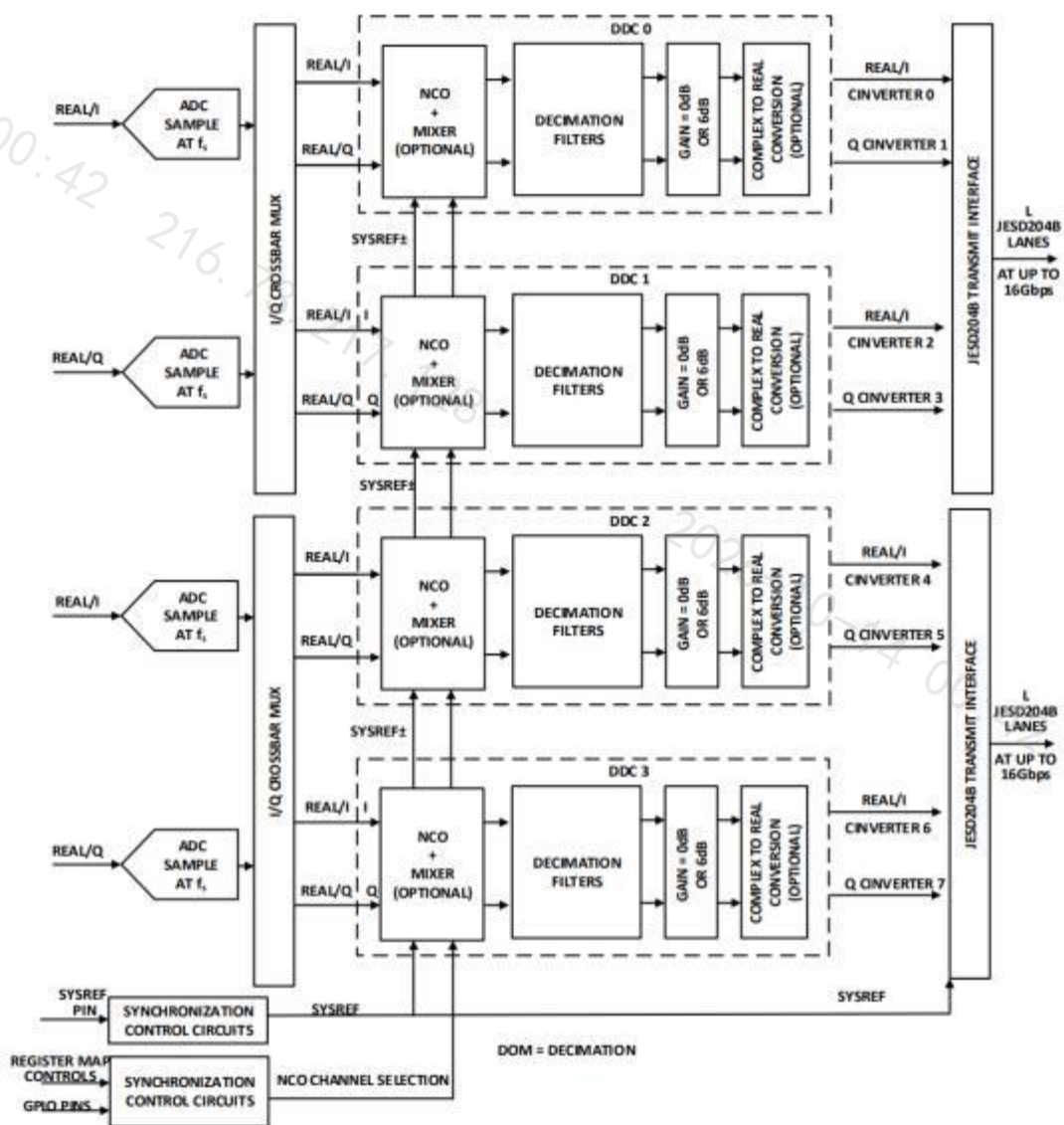


图 47.DDC 详细框图

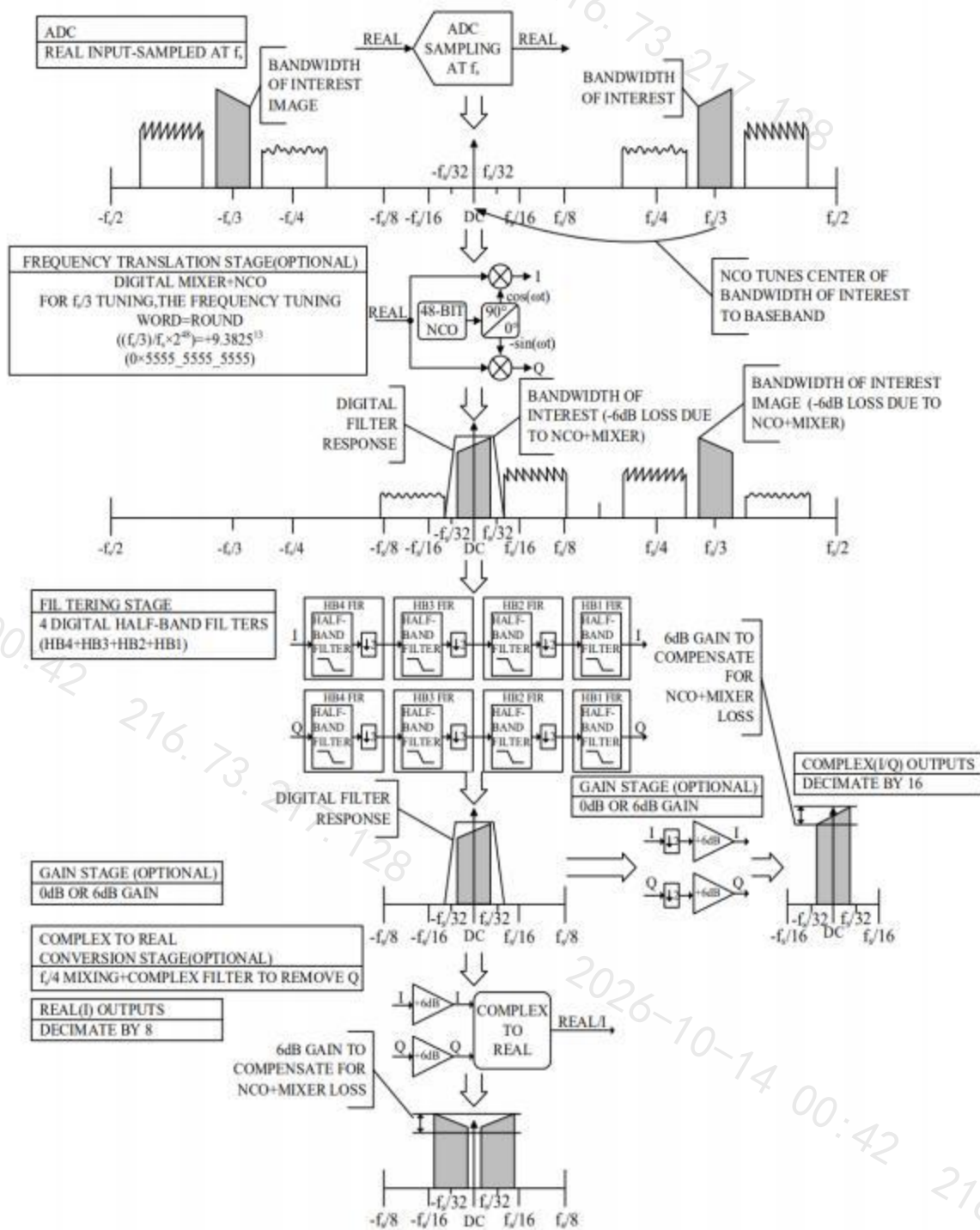


图 48. DDC 运算理论示例（实数输入）

DDC 频率转换

DDC 频率转换概述

频率转换通过使用 48 位复数 NCO 和数字正交混频器来实现。该阶段将实数或复数输入信号从中频转换为基带复数数字输出（载波频率= 0 Hz）。每个 DDC 的频率转换级可通过 DDC 控制寄存器（寄存器 0x0310、0x0330、0x0350 和 0x0370）的[5:4]位单独控制，并支持四种不同的 IF 模式：

- 可变 IF 模式
- 0 Hz IF 或零中频（ZIF）模式
- $f_s/4$ Hz IF 模式
- 测试模式

可变 IF 模式

在该模式下，启用 NCO 和混频器。NCO 输出频率可用于数字调谐 IF 频率。

0 Hz IF（ZIF）模式

在该模式下，混频器被旁路，NCO 被禁用。

$f_s/4$ Hz IF 模式

在该模式下，启用混频器和 NCO，以 $f_s/4$ 模式进行下变频，可节省功耗。

测试模式

在该模式下，输入样本被强制设置为 0.999 至正满量程。启用 NCO。此测试模式允许 NCO 直接驱动抽取滤波器。图 49 和图 50 分别展示了实数和复数输入的频率转换阶段的示例。

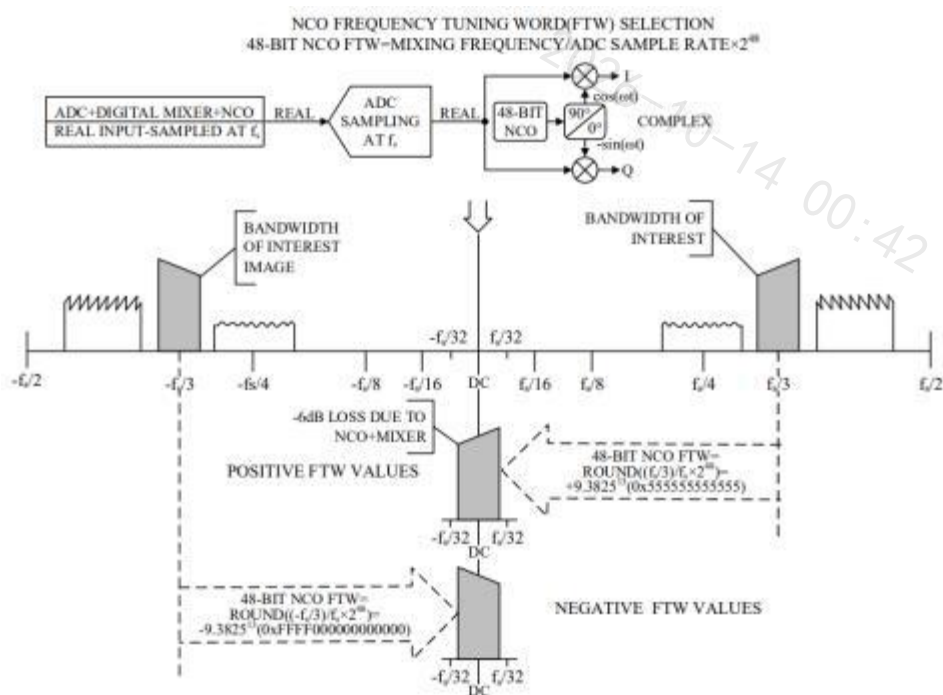


图 49.DDC NCO 频率调谐字选择—实数输入

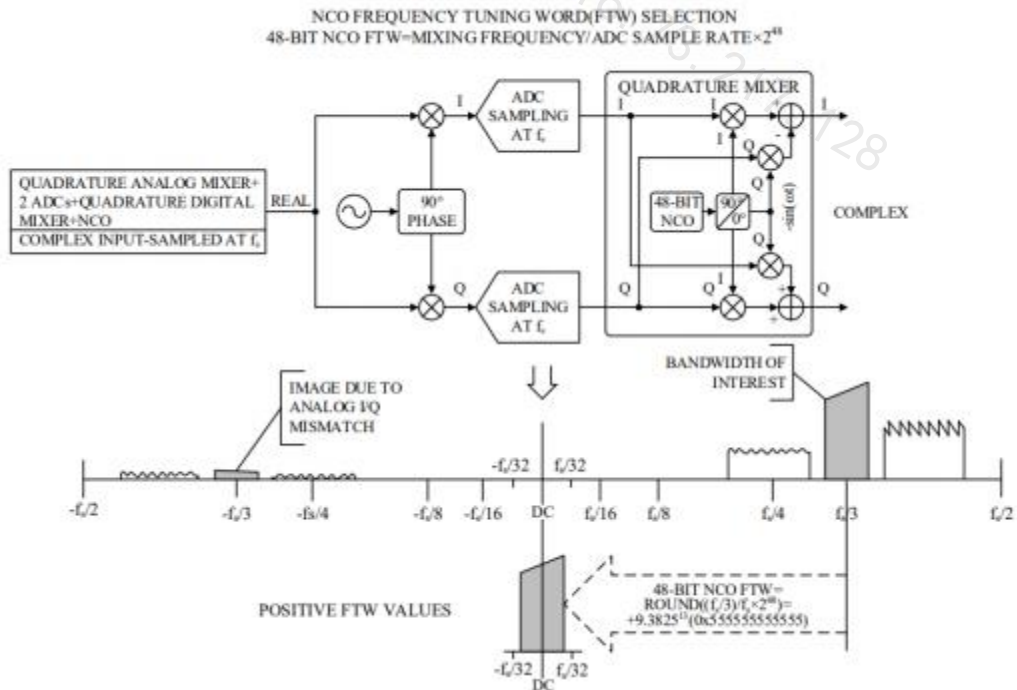


图 50.DDC NCO 频率调谐字选择—复数输入

DDC NCO 描述

每个 DDC 包含一个 NCO。每个 NCO 通过创建复数指数频率 ($e^{-j(1)t}$) 来实现频率转换过程, 该频率可与输入信号频谱混合, 将感兴趣的频带转换为直流, 以便后续低通滤波器模块进行滤波以防止混叠。

在可变 IF 模式下, NCO 支持两种不同的附加模式。

DDC NCO 可编程模数模式

此模式支持精度 >48 位的频率调谐精度, 适用于在单个载波频率下需要精确有理 (M/N) 频率合成的应用。在此模式下, 需要设置以下参数:

- 48 位频率调谐字 (FTW)
- 48 位模数 A 字 (MAW)
- 48 位模数 B 字 (MBW)
- 48 位相位偏移字 (POW)

DDC NCO 相干模式

此模式允许进行无限次频率跳变, 且相位参考时间 0 的单个同步事件。在需要在不同频带之间切换时保持相位相干性的情况下, 此模式非常有用。在这种模式下, 用户可以切换到任何调谐频率而无需重置 NCO。尽管只需要一个 FTW, 但 NCO 包含 16 个影子寄存器, 用于快速切换应用。影子寄存器的选择可通过 CMOS GPIO 引脚或 SPI 寄存器映射进行控制。在此模式下, 需要设置以下参数:

- 最多 16 个 48 位 FTW。
- 最多 16 个 48 位 POW。
- 在相干模式下, 48 位 MAW 必须设置为零

图 51 展示了一个 NCO 及其与设计其余部分连接的框图。相干相位累加器模块包含允许无限次频率跳变的逻辑。图 48 中的灰色线表示 SPI 控制线。

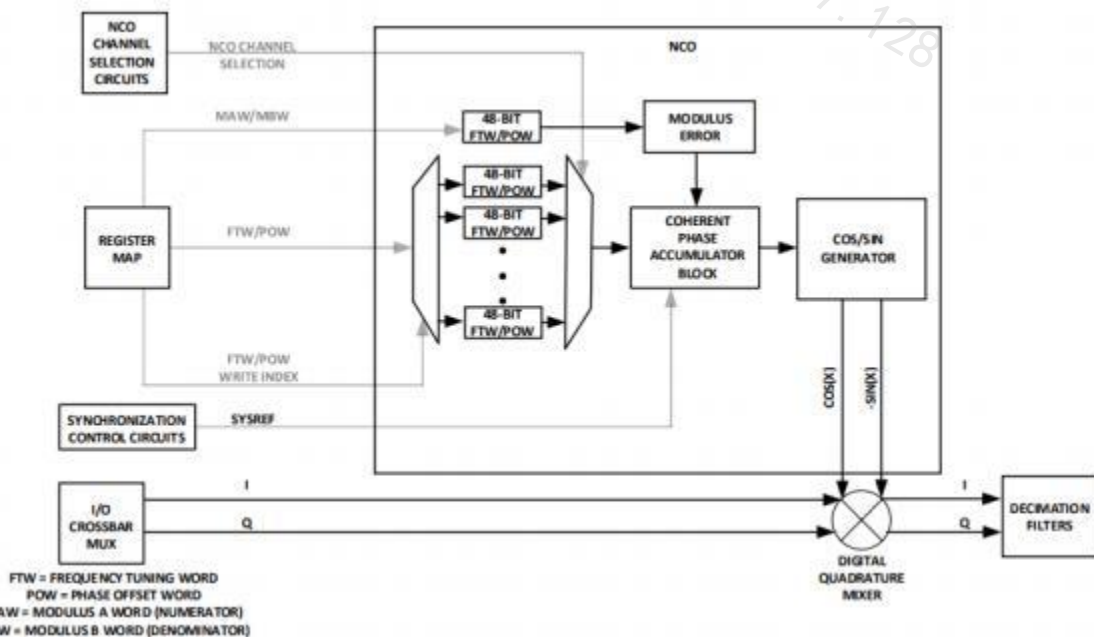


图 51.NCO + Mixer 框图

NCO FTW/POW/MAW/MAB 描述

NCO 频率值由以下设置决定:

- 输入 FTW 的 48 位二进制补码数
- 输入 MAW 的 48 位无符号数
- 输入 MBW 的 48 位无符号数

在 $-f_s/2$ 至 $+f_s/2$ (不包括 $f_s/2$) 范围内的频率表示如下:

- FTW = 0x8000_0000_0000 和 MAW = 0x0000_0000_0000 表示 $-f_s/2$ 的频率。
- FTW = 0x0000_0000_0000 和 MAW = 0x0000_0000_0000 表示直流 (频率为 0 Hz)。
- FTW = 0x7FFF_FFFF_FFFF 和 MAW = 0x0000_0000_0000 表示 $+f_s/2$ 的频率。

NCO FTW/POW/MAW/MAB 可编程模数模式

对于可编程模值模式, MAW 必须设置为非零值 (即不等于 0x0000_0000_0000)。仅当需要大于 48 位的频率精度时, 才需要使用此模式。一个需要大于 48 位精度的有理频率合成要求的例子如下, 载波频率为采样率的 $1/3$ 。当需要的频率精度小于或等于 48 位时, 必须使用相干模式 (请参阅“数控振荡器 (NCO) 频率控制字 (FTW)/相位偏移字 (POW)/模数控制字 (MAW)/模数基值 (MAB) 相干模式”部分)。在可编程模数模式下, FTW、MAW 和 MBW 必须满足以下四个方程:

$$\frac{\text{mod}(f_c, f_s)}{f_s} = \frac{M}{N} = \frac{\text{FTW} \times \frac{\text{MAW}}{\text{MBW}}}{2^{48}}$$

$$\text{FTW} = \text{floor}\left(2^{48} \frac{\text{mod}(f_c, f_s)}{f_s}\right)$$

$$MAW = \text{mod}(2^{48} \times M, N)$$

$$MAW = N$$

其中:

f_c 是所需的载波频率。

f_s 是 ADC 采样频率。

M 是表示频率比的有理分子的整数。

N 是表示频率比的有理分母的整数。

FTW 是代表 NCO FTW 的 48 位 2 补码数。

MAW 是表示 NCO MAW 的 48 位无符号数字（必须为 $<2^{47}$ ）。

MBW 是表示 NCO MBW 的 48 位无符号数字。

$\text{mod}(x)$ 是余数函数。

例如, $\text{mod}(110,100) = 10$, 对于负数, $\text{mod}(-32,10) = -2$ 。

$\text{floor}(x)$ 定义为小于或等于 x 的最大整数。例如, $\text{floor}(3.6) = 3$ 。

请注意, 方程 1 至方程 4 适用于数字域中的信号混叠（即在对模拟信号进行数字化时引入的混叠）。

M 和 N 应化为最简整数。MAW 和 MBW 也应化为最简整数。当 MAW 设置为零时, 可编程模量逻辑自动禁用。

例如, 如果 ADC 采样频率 (f_s) 为 3000MSPS, 载波频率 (f_c) 为 1001.5 MHz, 则:

$$\frac{\text{mod}(1001.5, 3000)}{3000} = \frac{M}{N} = \frac{2003}{6000}$$

$$FTW = \text{floor}\left(2^{48} \frac{\text{mod}(1001.5, 3000)}{3000}\right) = 0x5576-19F0-FB38$$

$$MAW = \text{mod}(2^{48} \times 2003, 6000) = 0x0000-0000-0F80$$

$$MBW = 0x0000-0000-1770$$

实际载波频率可以根据以下公式计算:

$$f_{c_ACTUAL} = \frac{FTW + \frac{MAW}{MBW} \times f_s}{2^{48}}$$

对于前面的示例, 实际载波频率 (f_{c_ACTUAL}) 为

$$f_{c_ACTUAL} = \frac{0x5576-19F0-FB38 \times \frac{0x0000-0000-0F80}{0x0000-0000-1770}}{2^{48}} = 1001.5\text{MHz}$$

每个 NCO 都有一个 48 位 POW, 用于在多个芯片之间或芯片内部的各个 DDC 通道之间建立已知的相位关系。在可编程模值模式下, FTW 和 POW 寄存器可在任何时候进行更新, 同时 NCO 仍能保持可确定的相位输出结果。不过, 为确保 NCO 正常运行, 更新 MAW 和 MBW 寄存器时必须遵循以下步骤:

1. 对所有 DDC 的 MAW 和 MBW 寄存器进行写入操作。
2. 通过 SPI 访问的 DDC 软复位位或通过置高 SYSREF $\pm$ 引脚来同步 NCO（请参阅“寄存器映射表”部分）。

NCO 通道选择

NCO 同步

每个 NCO 都包含一个单独的相位累加器字 (PAW)。每个 PAW 的初始复位值都设置为零，并在每个时钟周期递增。NCO 的瞬时相位是使用 PAW、FTW、MAW、MBW 和 POW 计算的。在该架构下，FTW 和 POW 寄存器可以随时更新，同时仍保持 NCO 的 PAW 中的确定性相位结果。可以使用两种方法同步芯片内的多个 PAW：

- 使用 SPI 修改 DDC 同步控制寄存器（寄存器 0x0300，第 4 位）中的 DDC 软复位控制位来复位芯片中的所有 PAW。此复位是通过将 DDC 软复位控制位设置为高电平，然后再将此位设置为低电平来实现的。注意，此方法只能用于同步同一芯片内的 DDC 通道。
- 使用 SYSREF $\pm$ 引脚。使能 SYSREF $\pm$ 控制寄存器（寄存器 0x0120 和寄存器 0x0121）使 DDC 同步，并且在 DDC 同步控制寄存器（寄存器 0x0300，位[1: 0]）中启用 DDC 同步时，任何后续的 SYSREF $\pm$ 事件都会重置一次芯片中的所有 PAW。若希望触发 NCO 的二次同步，需要配置寄存器 0x0040 为 3E，寄存器 0x0041 为 08 后再将寄存器 0x0041 配置为 00，以触发 DDC 部分的再次同步（注意：该操作不需要使用到 MNT0/SNTI）。请注意，此方法可用于同步同一芯片内的 DDC 通道或不同芯片内的 DDC 通道。

NCO 多芯片同步

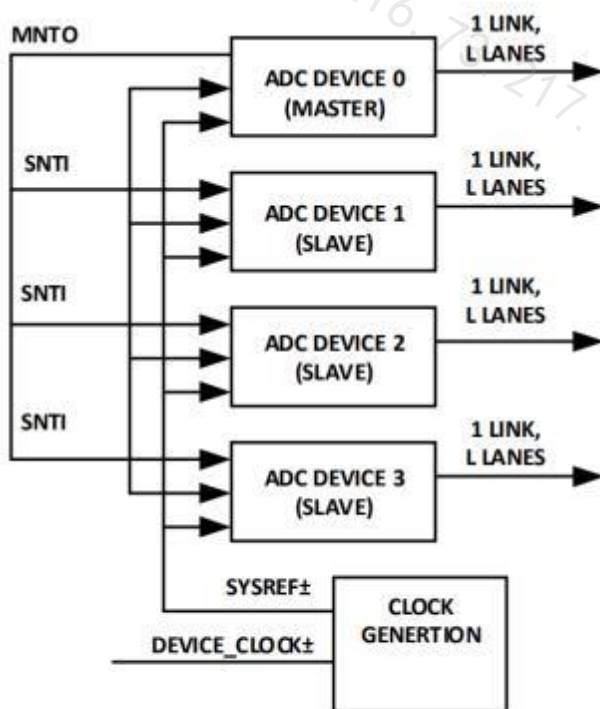
在某些应用中，需要同步系统中多个器件内的所有 NCO 和本地多帧时钟 (LMFC)。对于系统中需要多个 NCO 调谐频率的应用，设计人员可能需要同时在所有器件上生成相同的 SYSREF 脉冲（至少四个 SYSREF 脉冲）。对于许多系统，由于以下因素，在所有器件上接收单次 SYSREF 脉冲具有挑战性：

- 启用或禁用 SYSREF 脉冲通常是一个异步事件
- 并非所有时钟生成芯片都支持此功能。

由于这些原因，CYD9689B 包含一个同步触发机制，该机制允许以下功能：

- 系统启动时同步所有多芯片 NCO 和 LMFC。
- 在正常运行期间，配置寄存器 0x0571 为 15 进行 JESD204B 的链路关断，应用新的调谐频率后，配置寄存器 0x0571 为 14 进行 JESD204B 的链路开启，触发所有多芯片的再次同步（JESD204B 链路部分）。

同步触发机制使用主/从实现，如图 52 所示。



MNTI = MASTER NEXT TRIGGER OUTPUT(CMOS)
SNTI = SLAVE NEXT TRIGGER INPUT (CMOS)

图 52.使用主/从同步触发的系统

每个器件都有一个内部下一次同步触发使能（NSTE）信号，用于控制下一个 SYSREF 信号是否导致同步事件。从 ADC 器件必须从外部输入（SNTI）引脚获取其 NSTE。主设备可以使用外部输出（MNTI）引脚（默认设置），也可以使用外部 SNTI 引脚。参见表 46（寄存器 0x0041 和寄存器 0x0042）来配置用于此操作的 FD/GPIO 引脚。

NCO 多芯片同步器

图 53 显示了一个时序图以及在启动时使用 SYSREF 触发 NCO 多芯片同步所需的事件序列。使用此启动顺序可同时同步系统中的所有 NCO 和 LMFC。

正常运行期间的 NCO 多芯片同步

请参阅设置多通道 NCO 功能部分。

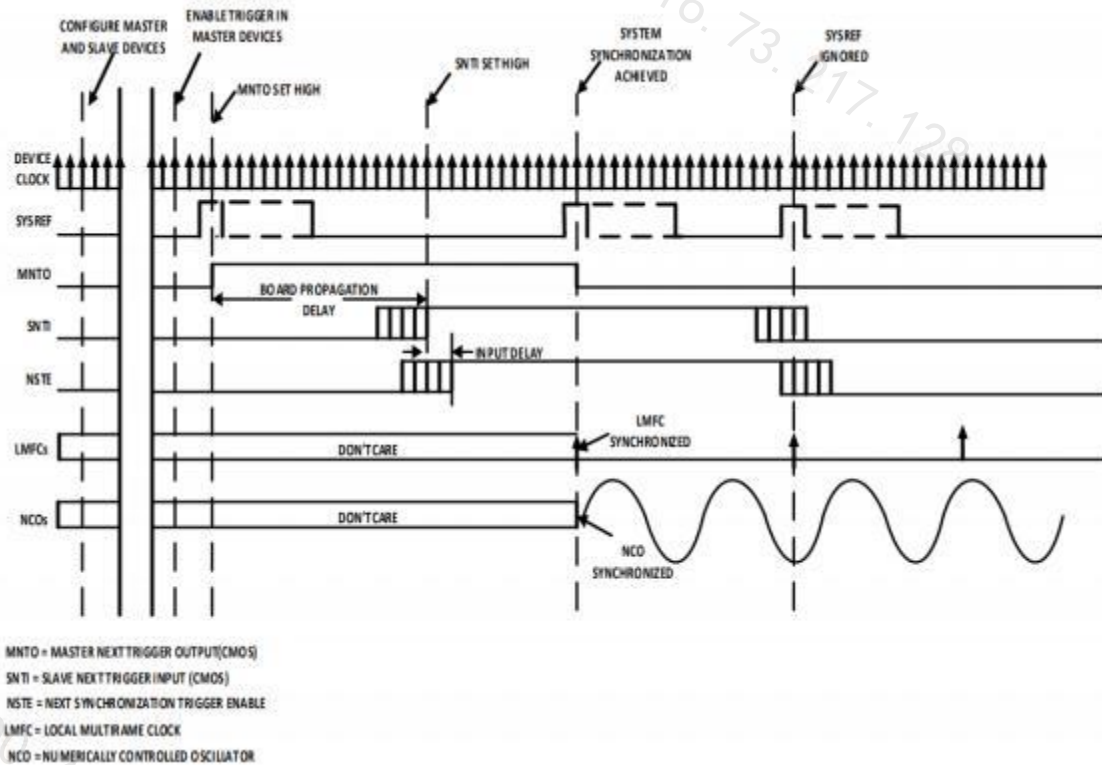


图 53. 开启 NCO 多芯片同步（使用触发信号和 SYSREF）

DDC 混频器说明

如果未旁路（寄存器 $0x0200 \neq 0x00$ ），数字正交混频器将执行与模拟正交混频器类似的操作。它通过使用 NCO 频率作为本振来执行输入信号（实数或复数）的下变频。对于实数输入信号，执行实数混频器操作（具有两个乘法器）。对于复数输入信号，执行复数混频器操作（具有四个乘法器和两个加法器）。可以使用 DDC 控制寄存器的第 7 位（寄存器 $0x0310$ 、寄存器 $0x0330$ 、寄存器 $0x0350$ 和寄存器 $0x0370$ ）为每个 DDC 模块单独控制实数或复数输入的选择。

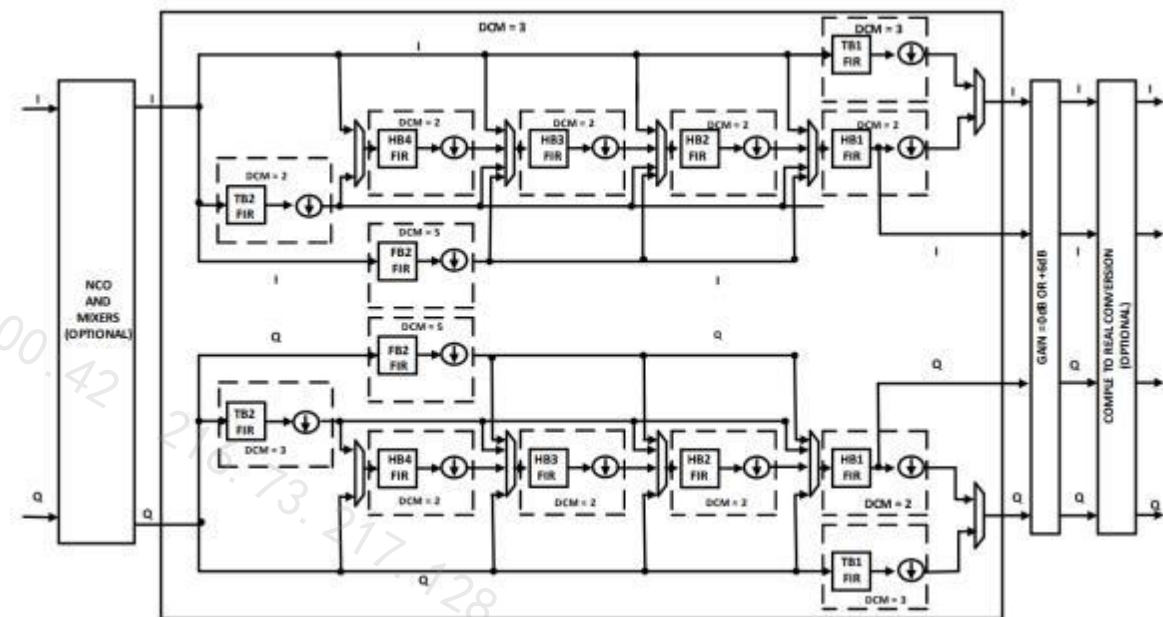
DDC NCO + 混频器损耗和 SFDR

当将实数输入信号混频到基带时，由于滤波负镜像，信号中会引入 -6dB 的损耗。NCO 引入了额外的 -0.05 dB 损耗。混频到基带的实数输入信号的总损耗为 -6.05 dB 。因此，建议用户通过在 DDC 的增益级中启用 6dB 的增益来补偿此损耗，以将信号的动态范围重新居中到输出位的满量程内（请参阅 DDC 增益级（可选）部分）。

当将复数输入信号（其中 I 和 Q DDC 输入来自不同的 ADC）混频到基带时，采样数据通过复数混合器后，每个 I/Q 采样数据能够达到的最大值是满量程的 1.414 倍。为避免 I/Q 采样数据的超范围并保持数据位宽与实际混频一致，混频器中为复数信号引入了 -3.06dB 的损耗。NCO 引入了额外的 -0.05 dB 损耗。混频到基带的复数输入信号的总损耗为 -3.11 dB 。对于所有输出频率，最差情况来自 NCO 的杂散信号将大于 102 dBc SFDR 。

DDC 抽取滤波器

在频率转换模块之后，有多个抽取滤波器模块将降低输出数据速率。在目标载波调谐到直流（载波频率=0 Hz）后，这些滤波器可以有效地降低采样速率，同时在目标带宽周围提供足够的混叠抑制，防止不需要的相邻载波。图 54 显示了抽取滤波器模块的简化框图，表 16 描述了不同有限脉冲响应（FIR）滤波器模块的滤波器特性。表 17 和表 18 显示了通过使用不同滤波器组合来选择的滤波器配置。在所有情况下，DDC 滤波级都提供 80% 的可用输出带宽、 ± 0.005 dB 的通带纹波和 >100 dB 的阻带混叠抑制。



FIR = 有限脉冲响应滤波器 DCM = 抽取

注 1. TB1 仅在 DCC0 和 DCC1 中受支持

图 54.DDC 抽取滤波器框图

表 15.DDC 抽取滤波器特性

滤波器名称	滤波器类型	抽取比	通带 (rad/ sec)	阻带 (rad/sec)	通带纹波 (dB)	阻带衰减 (dB)
HB4	FIR low-pass	2	$0.1 \times \pi/2$	$1.9 \times \pi/2$	$<\pm 0.001$	>100
HB3	FIR low-pass	2	$0.2 \times \pi/2$	$1.8 \times \pi/2$	$<\pm 0.001$	>100
HB2	FIR low-pass	2	$0.4 \times \pi/2$	$1.6 \times \pi/2$	$<\pm 0.001$	>100
HB1	FIR low-pass	2	$0.8 \times \pi/2$	$1.2 \times \pi/2$	$<\pm 0.001$	>100
TB2	FIR low-pass	3	$0.4 \times \pi/3$	$1.6 \times \pi/3$	$<\pm 0.002$	>100
TB1 ¹	FIR low-pass	3	$0.8 \times \pi/3$	$1.2 \times \pi/3$	$<\pm 0.005$	>100
FB2	FIR low-pass	5	$0.4 \times \pi/5$	$1.6 \times \pi/5$	$<\pm 0.001$	>100

1.TB1 仅在 DDC0 和 DDC1 中使用

表 16.DDC 滤波器配置 1

ADC 采样速率 (MSPS)	DDC 滤波器配置	实数 (I) 输出		复数 (I/Q) 输出		防混叠带宽 (MHz)	理想 SNR 提升 (dB)
		抽取比	采样率 (MSPS)	抽取比	采样率 (MSPS)		
f_s	HB1	1	f_s	2	$f_s/2$ (I) + $f_s/2$ (Q)	$f_s/2 \times 80\%$	1
	TB1 ³	N/A	N/A	3	$f_s/3$ (I) + $f_s/3$ (Q)	$f_s/3 \times 80\%$	2.7
	HB2 + HB1	2	$f_s/2$	4	$f_s/4$ (I) + $f_s/4$ (Q)	$f_s/4 \times 80\%$	4
	TB2 + HB1	3	$f_s/3$	6	$f_s/6$ (I) + $f_s/6$ (Q)	$f_s/6 \times 80\%$	5.7
	HB3 + HB2 + HB1	4	$f_s/4$	8	$f_s/8$ (I) + $f_s/8$ (Q)	$f_s/8 \times 80\%$	7
	FB2 + HB1	5	$f_s/5$	10	$f_s/10$ (I) + $f_s/10$ (Q)	$f_s/10 \times 80\%$	8
	TB2 + HB2 + HB1	6	$f_s/6$	12	$f_s/12$ (I) + $f_s/12$ (Q)	$f_s/12 \times 80\%$	8.8
	FB2 + TB1 ³	N/A	N/A	15	$f_s/15$ (I) + $f_s/15$ (Q)	$f_s/15 \times 80\%$	9.7
	HB4 + HB3 + HB2 + HB1	8	$f_s/8$	16	$f_s/16$ (I) + $f_s/16$ (Q)	$f_s/16 \times 80\%$	10
	FB2 + HB2 + HB1	10	$f_s/10$	20	$f_s/20$ (I) + $f_s/20$ (Q)	$f_s/20 \times 80\%$	11
	TB2 + HB3 + HB2 + HB1	12	$f_s/12$	24	$f_s/24$ (I) + $f_s/24$ (Q)	$f_s/24 \times 80\%$	11.8
	HB2 + FB2 + TB1 ³	N/A	N/A	30	$f_s/30$ (I) + $f_s/30$ (Q)	$f_s/30 \times 80\%$	12.7
	FB2 + HB3 + HB2 + HB1	20	$f_s/20$	40	$f_s/40$ (I) + $f_s/40$ (Q)	$f_s/40 \times 80\%$	14
	TB2 + HB4 + HB3 + HB2 + HB1	24	$f_s/24$	48	$f_s/48$ (I) + $f_s/48$ (Q)	$f_s/48 \times 80\%$	14.8

1.N/A 表示不适用。

2.由于过采样+滤波 = $10\log(\text{带宽}/f_s/2)$ 而实现的理想 SNR 改善。

3.TB1 仅在 DDC0 和 DDC1 中使用。

表 17.DDC 滤波器配置

ADC 采样速率 (MSPS)	DDC 滤波器配置	实数 (I) 输出		复数 (I/Q) 输出		防混叠带宽 (MHz)
		抽取比	采样率 (MSPS)	抽取比	采样率 (MSPS)	
f_s	HB1	1	f_s	2	$f_s/2$ (I) + $f_s/2$ (Q)	$f_s/2 \times 80\%$
	TB1 ²	N/A	N/A	3	$f_s/3$ (I) + $f_s/3$ (Q)	$f_s/3 \times 80\%$
	HB2 + HB1	2	$f_s/2$	4	$f_s/4$ (I) + $f_s/4$ (Q)	$f_s/4 \times 80\%$
	TB2 + HB1	3	$f_s/3$	6	$f_s/6$ (I) + $f_s/6$ (Q)	$f_s/6 \times 80\%$
	HB3 + HB2 + HB1	4	$f_s/4$	8	$f_s/8$ (I) + $f_s/8$ (Q)	$f_s/8 \times 80\%$
	FB2 + HB1	5	$f_s/5$	10	$f_s/10$ (I) + $f_s/10$ (Q)	$f_s/10 \times 80\%$
	TB2 + HB2 + HB1	6	$f_s/6$	12	$f_s/12$ (I) + $f_s/12$ (Q)	$f_s/12 \times 80\%$
	FB2 + TB1 ²	N/A	N/A	15	$f_s/15$ (I) + $f_s/15$ (Q)	$f_s/15 \times 80\%$
	HB4 + HB3 + HB2 + HB1	8	$f_s/8$	16	$f_s/16$ (I) + $f_s/16$ (Q)	$f_s/16 \times 80\%$
	FB2 + HB2 + HB1	10	$f_s/10$	20	$f_s/20$ (I) + $f_s/20$ (Q)	$f_s/20 \times 80\%$
	TB2 + HB3 + HB2 + HB1	12	$f_s/12$	24	$f_s/24$ (I) + $f_s/24$ (Q)	$f_s/24 \times 80\%$
	HB2 + FB2 + TB1 ²	N/A	N/A	30	$f_s/30$ (I) + $f_s/30$ (Q)	$f_s/30 \times 80\%$
	FB2 + HB3 + HB2 + HB1	20	$f_s/20$	40	$f_s/40$ (I) + $f_s/40$ (Q)	$f_s/40 \times 80\%$
	TB2 + HB4 + HB3 + HB2 + HB1	24	$f_s/24$	48	$f_s/48$ (I) + $f_s/48$ (Q)	$f_s/48 \times 80\%$

1.N/A 表示不适用。

2.TB1 仅在 DDC0 和 DDC1 中使用。

HB4 滤波器说明

第一个抽取率为 2 的半带低通 FIR 滤波器（HB4）为针对低功耗进行了优化的 11 抽头对称固定系数滤波器。HB4 滤波器仅在启用复数输出（抽取率为 16）或实数输出（抽取率为 8）时使用。否则，将绕过它。表 18 和图 55 显示了 HB4 滤波器的系数和响应。

表 18.HB4 滤波器系数

HB4 系数	归一化系数	十进制系数（15 位）
C1,C11	0.006042	99
C2,C10	0	0
C3,C9	-0.049377	-809
C4,C8	0	0
C5,C7	0.293334	4806
C6	0.5	8192

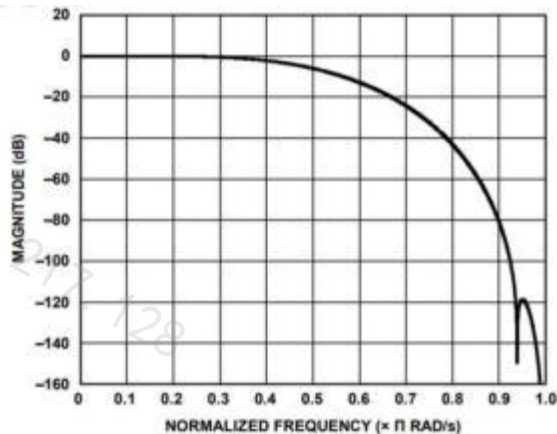


图 55.HB4 滤波器响应

HB3 滤波器说明

第二个抽取率为 2 的半带低通 FIR 滤波器（HB3）为针对低功耗进行优化的 11 抽头对称固定系数滤波器。HB3 滤波器仅在复数输出（抽取率为 8 或 16）或实数输出（抽取率为 4 或 8）时使用。否则，将绕过它。表 20 和图 56 显示了 HB3 滤波器的系数和响应。

表 19.HB3 滤波器系数

HB3 系数	归一化系数	十进制系数（17 位）
C1,C11	0.006637	435
C2,C10	0	0
C3,C9	-0.051055	-3346
C4,C8	0	0
C5,C7	0.294418	19295
C6	0.500000	32768

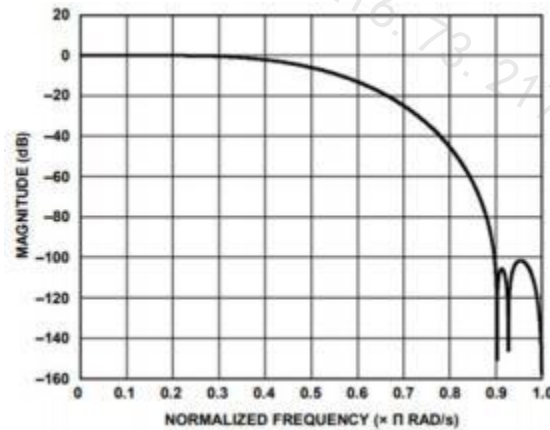


图 56.HB3 滤波器响应

HB2 滤波器说明

第三个抽取率为 2 的半带低通 FIR 滤波器（HB2）为针对低功耗进行了优化的 19 抽头对称固定系数滤波器。HB2 滤波器仅在复数或实数输出（抽取率为 4、8 或 16）启用时使用。否则，将绕过它。

表 20和图57 显示了 HB2 滤波器的系数和响应。

表 20.HB2 滤波器系数

HB2 系数	归一化系数	十进制系数（18 位）
C1,C19	0.000671	88
C2,C18	0	0
C3,C17	-0.005325	-698
C4,C16	0	0
C5	0.022743	2981
C6,C14	0	0
C7,C13	-0.074180	-9723
C8,C12	0	0
C9,C11	0.306091	40120
C10	0.5	65536

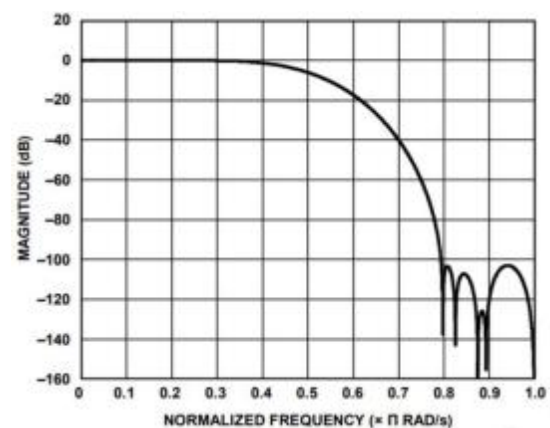


图 57.HB2 滤波器响应

HB1 滤波器说明

第四个也是最后一个抽取率为 2 的半带低通 FIR 滤波器（HB1）为针对低功耗进行了优化的 63 抽头对称固定系数滤波器。HB1 滤波器始终处于启用状态，无法绕过。表 21 和图 58 显示了 HB1 滤波器的系数和响应。

表 21.HB1 滤波器系数

HB1 系数	归一化系数	十进制系数（20 位）
C1,C63	-0.000019	-10
C2,C62	0	0
C3,C61	0.000072	38
C4,C60	0	0
C5,C59	0.000195	-102
C6,C58	0	0
C7,C57	0.000443	232
C8,C56	0	0
C9,C55	-0.000891	-467
C10,C54	0	0
C11,C53	0.001644	862
C12,C52	0	0
C13,C51	-0.00284	-1489
C14,C50	0	0
C15,C49	0.004654	2440
C16,C48	0	0
C17,C47	-0.007311	-3833
C18,C46	0	0
C19,C45	0.011122	5831
C20,C44	0	0
C21,C43	-0.016554	-8679
C22,C42	0	0
C23,C41	0.02442	12803
C24,C40	0	0
C25,C39	-0.036404	-19086
C26,C38	0	0
C27,C37	0.056866	29814
C28,C36	0	0
C29,C35	-0.101892	-53421
C30,C34	0	0
C31,C33	0.316883	166138
C32	0.5	262144

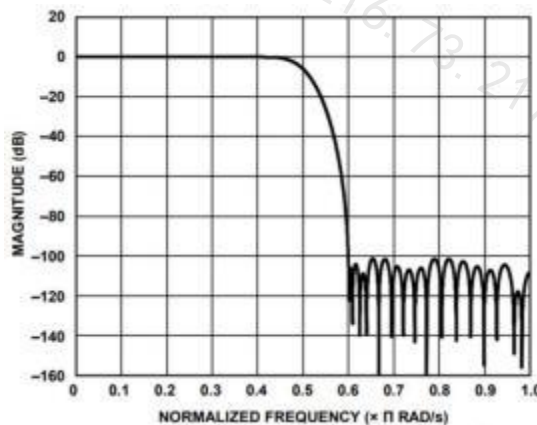


图 58.HB1 滤波器响应

TB2 滤波器描述

TB2 为针对低功耗进行了优化的 26 抽头对称固定系数滤波器。TB2 滤波器仅在抽取率为 6、12 或 24 时使用。表 22 和图 59 显示了 TB2 滤波器的系数和响应。

表 22.TB2 滤波器系数

TB2 系数	归一化系数	十进制系数 (19 位)
C1,C26	-0.000190	-50
C2,C25	-0.000793	208
C3,C24	-0.00113	-298
C4,C23	0.000915	240
C5,C22	0.006290	1649
C6,C21	0.009822	2575
C7,C20	0.000915	240
C8,C19	-0.023483	-6156
C9,C18	-0.043151	-11312
C10,C17	-0.019317	-5064
C11,C16	0.071327	18698
C12,C15	0.201171	52736
C13,C14	0.297756	78055

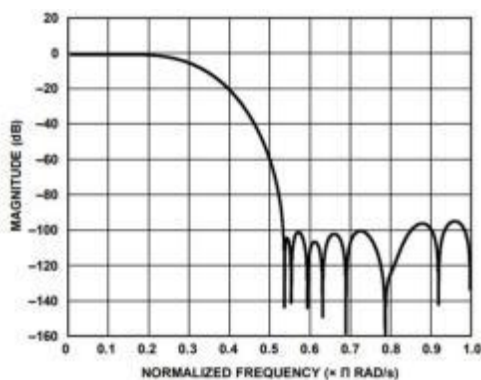


图 59.TB2 滤波器响应

TB1 滤波器描述

TB1 为使用 76 抽头对称固定系数抽取率为 3 的低通 FIR 滤波器。表 23 显示了 TB1 滤波器系数，图 60 显示了 TB1 滤波器响应。TB1 仅在 DDC0 和 DDC1 中使用。

表 23.TB1 滤波器系数

TB1 系数	十进制系数	量化系数 (22 位)
1,76	-0.000023	-96
2,75	-0.000053	-224
3,74	-0.000037	-156
4,73	0.000090	379
5,72	0.000291	1220
6,71	0.000366	1534
7,70	0.000095	398
8,69	-0.000463	-1940
9,68	-0.000822	-3448
10,67	-0.000412	-1729
11,66	0.000739	3100
12,65	0.001665	6984
13,64	0.001132	4748
14,63	-0.000981	-4114
15,62	-0.002961	-12418
16,61	-0.002438	-10226
17,60	0.001087	4560
18,59	0.004833	20272
19,58	0.004614	19352
20,57	-0.000871	-3652
21,56	-0.007410	-31080
22,55	-0.008039	-33718
23,54	0.000053	222
24,53	0.010874	45608
25,52	0.013313	55840
26,51	0.001817	7620
27,50	-0.015579	-65344
28,49	-0.021590	-90556
29,48	-0.005603	-23502
30,47	0.022451	94167
31,46	0.035774	150046
32,45	0.013541	56796
33,44	-0.034655	-145352
34,43	-0.066549	-279128

35,42	-0.035213	-147694
36,41	0.071220	298720
37,40	0.210777	884064
38,39	0.309200	1296880

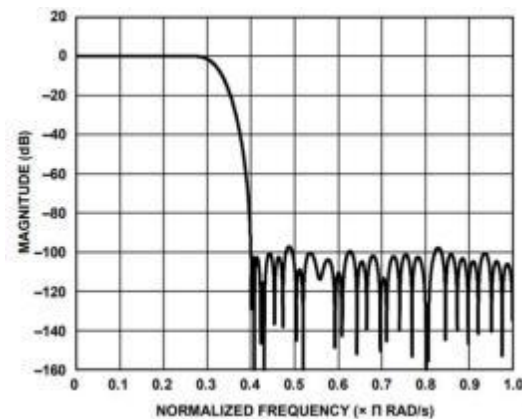


图 60.TB1 滤波器响应

FB2 滤波器说明

FB2 为使用 48 抽头对称固定系数抽取率为 5 的低通 FIR 滤波器。表 24 显示了 FB2 滤波器系数，图 61 显示了 FB2 滤波器响应。

表 24.FB2 滤波器系数

FB2 系数	十进制系数	量化系数 (21 位)
1,48	0.000007	7
2,47	_0.000004	_4
3,46	_0.000069	_72
4,45	_0.000244	_256
5,44	_0.000544	_570
6,43	_0.000870	_912
7,42	_0.000962	_1009
8,41	_0.000448	_470
9,40	0.000977	1024
10,39	0.003237	3394
11,38	0.005614	5887
12,37	0.006714	7040
13,36	0.004871	5108
14,35	_0.001011	_1060
15,34	_0.010456	_10964
16,33	_0.020729	_21736
17,32	_0.026978	_28288
18,31	_0.023453	_24592

19,30	_0.005608	_5880
20,29	0.027681	29026
21,28	0.072720	76252
22,27	0.121223	127112
23,26	0.162346	170232
24,25	0.185959	194992

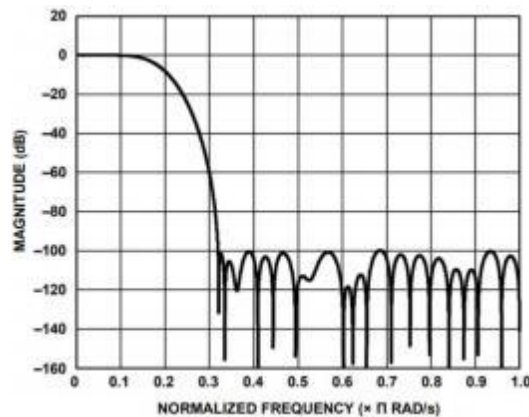


图 61.FB2 滤波器响应

DDC 增益级

每个 DDC 都包含一个独立的增益控制模块。增益可选择 0dB 或 6dB。当将实数输入信号混频到基带时，建议用户启用 6 dB 的增益，以将信号的动态范围重新居中到输出位的满量程内。当将复数输入信号混频到基带时，混频器已经将信号的动态范围重新居中到输出位的满量程内，不需要额外的增益。但是，可选的 6 dB 增益可补偿低信号幅度。使用复数到实数转换模块时，将旁路 HB1 FIR 滤波器的抽取功能。TB1 滤波器没有 6 dB 增益功能。

DDC 复数到实数的转换

每个 DDC 都包含一个独立控制的复数到实数转换模块。复数到实数转换模块重复使用滤波阶段的最后一个滤波器（HB1 FIR）以及 $f_s/4$ 复数混频器来上变频信号。对信号进行上变频后，复数混频器的 Q 部分不再需要并被丢弃。TB1 滤波器不支持复数到实数的转换。图62 显示了复数到实数转换的简化框图。

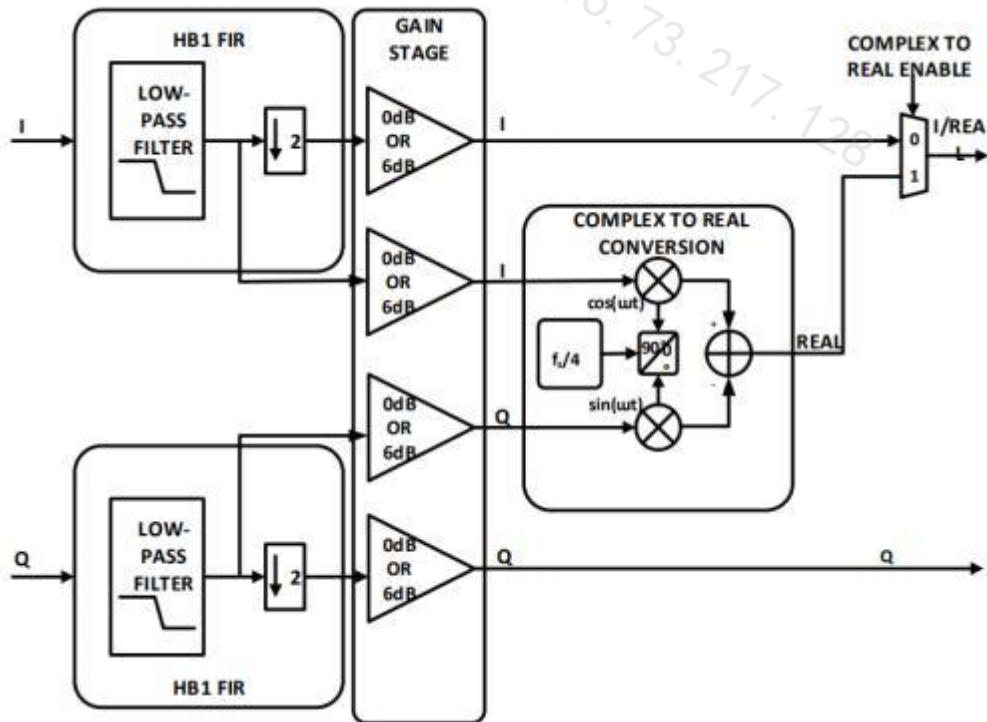


图 62.复数到实数转换模块

DDC 混合抽取设置

CYD9689B 还支持具有不同抽取率的 DDC。在这种情况下，芯片抽取比率必须设置为所有 DDC 通道中最低的抽取比率。对于抽取比率较高的数字下变频器通道，其采样值会进行重复，以匹配芯片抽取比率对应的采样率。仅支持抽取比率为 2 的整数倍的混合抽取比率设置。例如，抽取倍数为 1、2、4、8 或 16 的情况可以混合使用；抽取倍数为 3、6、12、24 或 48 的情况可以混合使用；或者抽取倍数为 5、10、20 或 40 的情况可以混合使用。

表 25 展示了芯片抽取比率与数字下变频器抽取比率不同时的数字下变频器采样映射关系。例如，如果将芯片抽取比率设置为 4 倍抽取，将数字下变频器 0 (DDC0) 设置为使用 HB2 + HB1 滤波器（复数输出进行 4 倍抽取），并将数字下变频器 1 (DDC1) 设置为使用 HB4 + HB3 + HB2 + HB1 滤波器（实数输出进行 8 倍抽取），那么数字下变频器 1 (DDC1) 每输出一个数据，就需要重复两次其输出数据，以匹配数字下变频器 0 (DDC0) 的输出节奏。最终的输出采样结果如表 27 所示。

表 25. 当芯片抽取比 (DCM) 与 DDC DCM 不匹配时采样映射

采样索引	DDC DCM = 芯片 DCM	DDC DCM = 2 × 芯片 DCM	DDC DCM = 4 × 芯片 DCM	DDC DCM = 8 × 芯片 DCM
0	N	N	N	N
1	N+1	N	N	N
2	N+2	N+1	N	N
3	N+3	N+1	N	N
4	N+4	N+2	N+1	N
5	N+5	N+2	N+1	N
6	N+6	N+3	N+1	N

7	N+7	N+3	N+1	N
8	N+8	N+4	N+2	N+1
9	N+9	N+4	N+2	N+1
10	N+10	N+5	N+2	N+1
11	N+11	N+5	N+2	N+1
12	N+12	N+6	N+3	N+1
13	N+13	N+6	N+3	N+1
14	N+14	N+7	N+3	N+1
15	N+15	N+7	N+3	N+1
16	N+16	N+8	N+4	N+2
17	N+17	N+8	N+4	N+2
18	N+18	N+9	N+4	N+2
19	N+19	N+9	N+4	N+2
20	N+20	N+10	N+5	N+2
21	N+21	N+10	N+5	N+2
22	N+22	N+11	N+5	N+2
23	N+23	N+11	N+5	N+2
24	N+24	N+12	N+6	N+3
25	N+25	N+12	N+6	N+3
26	N+26	N+13	N+6	N+3
27	N+27	N+13	N+6	N+3
28	N+28	N+14	N+7	N+3
29	N+29	N+14	N+7	N+3
30	N+30	N+15	N+7	N+3
31	N+31	N+15	N+7	N+3

表 26. 芯片 DCM = 4，DDC0 DCM = 4（复数），DDC1 DCM = 8（实数）

DDC 输入样本	DDC0		DDC1	
	输出端口 I	输出端口 Q	输出端口 I	输出端口 Q
N	I0[N]	Q0[N]	I1[N]	不适用
N+1	I0[N]	Q0[N]	I1[N]	不适用
N+2	I0[N]	Q0[N]	I1[N]	不适用
N+3	I0[N]	Q0[N]	I1[N]	不适用
N+4	I0[N + 1]	Q0[N + 1]	I1[N]	不适用
N+5	I0[N + 1]	Q0[N + 1]	I1[N]	不适用
N+6	I0[N + 1]	Q0[N + 1]	I1[N]	不适用
N+7	I0[N + 1]	Q0[N + 1]	I1[N]	不适用
N+8	I0[N + 2]	Q0[N + 2]	I1[N + 1]	不适用
N+9	I0[N + 2]	Q0[N + 2]	I1[N + 1]	不适用
N+10	I0[N + 2]	Q0[N + 2]	I1[N + 1]	不适用
N+11	I0[N + 2]	Q0[N + 2]	I1[N + 1]	不适用

N+12	IO[N + 3]	QO[N + 3]	I1[N + 1]	不适用
N+13	IO[N + 3]	QO[N + 3]	I1[N + 1]	不适用
N+14	IO[N + 3]	QO[N + 3]	I1[N + 1]	不适用
N+15	IO[N + 3]	QO[N + 3]	I1[N + 1]	不适用

1.DCM 表示抽取。

DDC 示例配置

表 27描述了多个 DDC 示例配置的寄存器设置。

表 27.DDC 示例配置（每个 ADC 通道对）

芯片应用层	芯片抽取率	DDC 输入类型	DDC 输出类型	每个 DDC ¹ 的带宽	所需的虚拟转换器数量	寄存器设置
一个 DDC	2	复数	复数	$40\% \times f_s$	2	0x0200 = 0x01 (一个 DDC;选择 I/Q) 0x0201 = 0x01 (芯片抽取率为 2) 0x0310 = 0x83 (复数混频器;0dB 增益;可变 IF;复数输出;HB1 滤波器) 0x0311 = 0x04 (DDC I 输入= ADC 通道 A;DDC Q 输入 = ADC 通道 B) 0x0316, 0x0317, 0x0318, 0x0319, 0x031A, 0x031B, 0x031D, 0x031E, 0x031F, 0x0320, 0x0321, 0x0322 = FTW 和 POW 根据 DDC0 应用的要求设置
两个 DDC	4	复数	复数	$20\% \times f_s$	4	0x0200 = 0x02 (两个 DDC;选择 I/Q) 0x0201 = 0x02 (芯片抽取率为 4) 0x0310, 0x0330 = 0x80 (复数混频器;0dB 增益;可变 IF;复数输出;HB2+HB1 滤波器) 0x0311, 0x0331 = 0x04 (DDC I 输入 = ADC 通道 A;DDC Q 输入 = ADC 通道 B) 0x0316,0x0317,0x0318,0x0319,0x031A,0x031B, 0x031D,0x031E, 0x031F, 0x0320, 0x0321, 0x0322=FTW 和 POW 根据 DDC0 应用的要求设置 0x0336, 0x0337, 0x0338, 0x0339, 0x033A, 0x033B, 0x033D,0x033E, 0x033F, 0x0340, 0x0341, 0x0342=FTW 和 POW 根据 DDC1 应用的要求设置
两个 DDC	4	复数	实数	$10\% \times f_s$	2	0x0200 = 0x22 (两个 DDC;只选择 I 路) 0x0201 = 0x02 (芯片抽取率为 4) 0x0310, 0x0330 = 0x89 (复数混频器;0 dB 增益;可变 IF;实数输出;HB3 + HB2 + HB1 滤波器) 0x0311, 0x0331 = 0x04 (DDC I 输入 = ADC 通道 A;DDC Q 输入 = ADC 通道 B) 0x0316, 0x0317, 0x0318, 0x0319, 0x031A, 0x031B, 0x031D, 0x031E, 0x031F, 0x0320, 0x0321, 0x0322 = FTW 和 POW 根据 DDC0 应用的要求设置 0x0336, 0x0337, 0x0338, 0x0339, 0x033A, 0x033B, 0x033D, 0x033E, 0x033F, 0x0340, 0x0341, 0x0342= FTW 和 POW 根据 DDC1 应用的要求设置
两个 DDC	4	实数	实数	$10\% \times f_s$	2	0x0200 = 0x22 (两个 DDC;只选择 I 路) 0x0201 = 0x02 (芯片抽取率为 4) 0x0310, 0x0330 = 0x49 (实数混频器;6 dB 增益;可变 IF;实数输出;HB3 + HB2 + HB1 滤波器) 0x0311 = 0x00 (DDC1 I 输入 = ADC 通道 B;DDC1 Q 输入 = ADC 通道 B) 0x0331 = 0x05 (DDC1 I input = ADC Channel B; DDC1 Q input = ADC Channel B) 0x0316, 0x0317, 0x0318, 0x0319, 0x031A, 0x031B, 0x031D, 0x031E, 0x031F, 0x0320, 0x0321, 0x0322 = FTW 和 POW 根据 DDC0 应用的要求设置

						0x0336, 0x0337, 0x0338, 0x0339, 0x033A, 0x033B, 0x033D, 0x033E, 0x033F, 0x0340, 0x0341, 0x0342= FTW 和 POW 根据 DDC1 应用的要求设置
两个 DDC	4	实数	复数	$20\% \times f_s$	4	0x0200 = 0x02 (两个 DDC;选择 I/Q) 0x0201 = 0x02 (芯片抽取率为 4) 0x0310, 0x0330 = 0x40 (实数混频器;6 dB 增益;可 变 IF;复数输出;HB2 + HB1 滤波器) 0x0311 = 0x00 (DDC0 I 输入 = ADC 通道 A;DDC0 Q 输入 = ADC 通道 A) 0x0331 = 0x05 (DDC1 I 输入 = ADC 通道 B;DDC1 Q 输入 = ADC 通道 B) 0x0316, 0x0317, 0x0318, 0x0319, 0x031A, 0x031B, 0x031D, 0x031E, 0x031F, 0x0320, 0x0321, 0x0322= FTW 和 POW 根据 DDC0 应用的要求设置 0x0336, 0x0337, 0x0338, 0x0339, 0x033A, 0x033B, 0x033D, 0x033E, 0x033F, 0x0340, 0x0341, 0x0342= FTW 和 POW 根据 DDC1 应用的要求设置
两个 DDC	8	实数	实数	$5\% \times f_s$	2	0x0200 = 0x22 (两个 DDC;只选择 I 路) 0x0201 = 0x03 (芯片抽取率为 8) 0x0310, 0x0330 = 0x4A (实数混频器;6 dB 增益;变 量 IF;实数输出;HB4 + HB3 + HB2 + HB1 滤波器) 0x0311 = 0x00 (DDC0 I 输入 = ADC 通道 A;DDC0 Q 输入 = ADC 通道 A) 0x0331 = 0x05 (DDC1 I 输入 = ADC 通道 B;DDC1 Q 输入 = ADC 通道 B) 0x0316, 0x0317, 0x0318, 0x0319, 0x031A, 0x031B, 0x031D, 0x031E, 0x031F, 0x0320, 0x0321, 0x0322= FTW 和 POW 根据 DDC0 应用程序的要求设置 0x0336, 0x0337, 0x0338, 0x0339, 0x033A, 0x033B, 0x033D, 0x033E, 0x033F, 0x0340, 0x0341, 0x0342= FTW 和 POW 根据 DDC1 应用的要求设置
四个 DDC	8	实数	复数	$10\% \times f_s$	8	0x0200 = 0x03 (四个 DDC ; 选择 I/ Q) 0x0201 = 0x03 (芯片抽取率为 8) 0x0310 , 0x0330 , 0x0350 , 0x0370 = 0x41 (实数混频器; 6dB 增益;可变 IF ;复数输出; HB3+HB2+HB1 滤波器) 0x0311 = 0x00 (DDC1 I 输入= ADC 通道 A ; DDC1 Q 输入= ADC 通道 A) 0x0331 = 0x00 (DDC1 I 输入= ADC 通道 A ; DDC1 Q 输入= ADC 通道 A) 0x0351 = 0x05 (DDC 2 I 输入 = ADC 通道 B ; DDC2 Q 输入 = ADC 通道 B)) 0x0371 = 0x 05 (DDC3 I 输入 = ADC 通道 B ; DD C 3 Q 输入= ADC 通道 B) 0x0316 , 0x0317 , 0x0318 , 0x0319 , 0x031A , 0x031B , 0x031D , 0x031E , 0x031F, 0x0320 , 0x0321 , 0x0322 等于根据 DDC0 应用的要求设置 FTW 和 POW 0x0336 , 0x0337,0x0338, 0x0339 , 0x033A , 0x033B , 0x033D , 0x033E , 0x033F, 0x0340 , 0x0341 , 0x0342 等于根 DDC1 应用的要求设置 FTW 和 POW 0x0356 , 0x0357 , 0x0358 , 0x0359 , 0x035A , 0x035B , 0x035D , 0x035E , 0x035F, 0x0360 , 0x0361 , 0x0362 等于根据 DDC2 应用的要求设置 FTW 和 POW 0x0376,0x0377,0x0378,0x0379,0x037A,0x037B, 0x037D, 0x037E , 0x037F, 0x0380 , 0x0381 , 0x0382 等于根据 DDC3 应用的要求设置 FTW 和 POW
四个 DDC	8	实数	实数	$5\% \times f_s$	4	0x0200 = 0x23 (四个 D D C ;只选择 I 路) 0x0201 = 0x03 (芯片抽取率为 8) 0x0310 , 0x0330 , 0x0350 , 0x0370 = 0x4 A (实数混频器; 6dB 增益; 可变 IF ;实数输出; HB4 + HB3 + HB2 +

						HB1 滤波器) 0x0311 = 0x00 (DDC 0 I 输入 = ADC 通道 A; DDC 0 Q 输入 = ADC 通道 A) 0x0331 = 0x00 (DDC 1 I 输入 = ADC 通道 A; DDC 1 Q 输入 = ADC 通道 A) 0x0351 = 0x05 (DDC 2 I 输入 = ADC 通道 B; DDC 2 Q 输入 = ADC 通道 B) 0x0371 = 0x05 (DDC 3 I 输入 = ADC 通道 B; DDC 3 Q 输入 = ADC 通道 B) 0x0316, 0x0317, 0x0318, 0x0319, 0x031A, 0x031B, 0x031D, 0x031E, 0x031F, 0x0320, 0x0321, 0x0322 等 CYD9689B page 66 of 173 Rev.pre 于 FTW 和 POW 根据 DDC0 应用的要求设置 0x0336, 0x0337, 0x0338, 0x0339, 0x033A, 0x033B, 0x033D, 0x033E, 0x033F, 0x0340, 0x0341, 0x0342 等于 FTW 和 POW 根据 DDC1 应用的要求设置 0x0356, 0x0357, 0x0358, 0x0359, 0x035A, 0x035B, 0x035D, 0x035E, 0x035F, 0x0360, 0x0361, 0x0362 等于 FTW 和 POW 根据 DDC2 应用的要求设置 0x0376, 0x0377, 0x0378, 0x0379, 0x037A, 0x037B, 0x037D, 0x037E, 0x037F, 0x0380, 0x0381, 0x0382 等于 FTW 和 POW 根据 DDC3 应用的要求设置
四个 DDC	16	实数	复数	$5\% \times f_s$	8	0x0200 = 0x03 (四个 DDC; 选择 I/Q) 0x0201 = 0x04 (芯片抽取率为 16) 0x0310, 0x0330, 0x0350, 0x0370 = 0x42 (实数混频器; 6dB 增益; 可变 IF; 复数输出; HB4 + HB3 + HB2 + HB1 滤波器) 0x0311 = 0x00 (DDC0 I 输入 = ADC 通道 A; DDC0 Q 输入 = ADC 通道 A) 0x0331 = 0x00 (DDC1 I 输入 = ADC 通道 A; DDC1 Q 输入 = ADC 通道 A) 0x0351 = 0x05 (DDC2 I 输入 = ADC 通道 B; DDC2 Q 输入 = ADC 通道 B) 0x0371 = 0x05 (DDC3 I 输入 = ADC 通道 B; DDC3 Q 输入 = ADC 通道 B) 0x0316, 0x0317, 0x0318, 0x0319, 0x031A, 0x031B, 0x031D, 0x031E, 0x031F, 0x0320, 0x0321, 0x0322 等于 FTW 和 POW 根据 DDC0 应用的要求设置 0x0336, 0x0337, 0x0338, 0x0339, 0x033A, 0x033B, 0x033D, 0x033E, 0x033F, 0x0340, 0x0341, 0x0342 等于 FTW 和 POW 根据 DDC1 应用的要求设置 0x0356, 0x0357, 0x0358, 0x0359, 0x035A, 0x035B, 0x035D, 0x035E, 0x035F, 0x0360, 0x0361, 0x0362 等于 FTW 和 POW 根据 DDC2 应用的要求设置 0x0376, 0x0377, 0x0378, 0x0379, 0x037A, 0x037B, 0x037D, 0x037E, 0x037F, 0x0380, 0x0381, 0x0382 等于 FTW 和 POW 根据 DDC3 应用的要求设置

1. f_s 是 ADC 采样速率。

DDC 功耗

表 28.描述了各 DDC 模式的典型和最大 DVDD 和 DRVDD1 功耗例子, 适用于 2.0GSPS; $f_s=2.0\text{GHz}$ 。

DDC数量	DDC抽取率1	通道数 (L)	虚拟转换器数量 (M)	每帧的8bit数量 (F)	DVDD功耗 (mW)		DRVDD1功耗 (mW)	
					典型值	最大值	典型值	最大值
2	3	8	8	2	484		249	
2	4	8	8	1	443		235	
2	6	8	4	2	433		223	
2	8	4	4	2	408		228	
2	12	2	2	4	415		218	
4	6	8	8	2	612		224	
4	8	8	8	2	565		223	

1.有关抽取滤波器选择、相关混叠保护带宽和 SNR 改进的详细信息, 请参见表 16 和表 17。

表 29.描述了各 DDC 模式的典型和最大 DVDD 和 DRVDD1 功耗例子, 适用于 2.6GSPS; $f_s=2.56\text{GHz}$ 。

DDC数量	DDC抽取率1	通道数 (L)	虚拟转换器数量 (M)	每帧的8bit数量 (F)	DVDD功耗 (mW)		DRVDD1功耗 (mW)	
					典型值	最大值	典型值	最大值
2	3	8	4	2	597		240	
2	4	8	4	1	548		233	
2	6	8	4	2	534		231	
2	8	4	4	2	505		226	
2	12	2	4	4	513		226	
4	6	8	8	2	751		240	
4	8	8	8	2	697		233	

1.有关抽取滤波器选择、相关混叠保护带宽和 SNR 改进的详细信息, 请参见表 16 和表 17。

信号监控器

信号监控器模块提供被 ADC 数字化的信号的额外信息。信号监控器计算数字化信号的峰值幅度。此信息可用于驱动 AGC 环路, 优化 ADC 输入信号的范围。信号监控模块的结果可以通过从 SPI 端口读回内部值或将信号监控信息作为单独的控制位嵌入到 JESD204B 接口中获得。全局 24 位可编程周期控制寄存器可配置测量的持续时间。图 63 显示了信号监控器模块的简化框图。

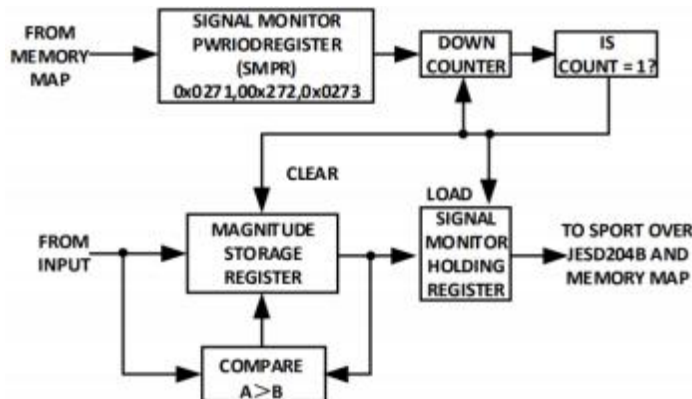


图 63.信号监控器模块

峰值检测器在观测周期内捕获最大信号。检测器仅观察信号幅度的大小。峰值检测器的分辨率为 13 位，观察周期为 24 位，表示转换器输出样本。峰值幅度可以通过使用以下公式得出：

$$\text{峰值幅度(dBFS)} = 20\log(\text{峰值检测值}/2^{13})$$

在可编程时间段内监控输入端口信号的幅度，该时间段由信号监控周期寄存器（SMPR）确定。通过在信号监控器控制寄存器（寄存器 0x0270）中设置 Bit 1 来启用峰值检测器功能。在激活此模式之前，必须对 24 位 SMPR 进行编程。

启用峰值检测模式后，SMPR 中的值被加载到监控周期计时器中，该计时器以降速时钟递减。将输入信号幅度与内部幅度存储寄存器（用户无法访问）中的值进行比较，并将两者中的较大者更新为当前峰值电平。幅度存储寄存器的初始值设置为当前 ADC 输入信号幅度。此比较将一直持续到监控周期计时器达到计数 1。当监控周期定时器达到计数 1 时，13 位峰值被传输到信号监控保持寄存器，该寄存器可通过寄存器映射读取或通过 JESD204B 接口通过 SPORT 输出。监控周期计时器将重新加载 SMPR 中的值，并重新启动倒计时。此外，第一个输入样本的幅度在内部幅度存储寄存器中更新，并且如前所述，比较和更新过程继续进行。

JESD204B 上的串行接口

信号监控器数据也可以序列化并通过 JESD204B 接口作为控制位发送。这些控制位必须从样本中重新序列化，以重建统计数据。通过设置寄存器 0x0279 的 Bits[1:0]和寄存器 0x027A 的 Bit 1 来启用信号控制监控功能。图 64 显示了 JESD204B 样本中信号监控器控制位位置的两种不同的示例配置。最多可以将三个控制位插入 JESD204B 样本中；但是，信号监控器只需要一个控制位。控制位从 MSB 插入到 LSB。如果只插入一个控制位（CS= 1），则只使用最高有效控制位（参见图 64 中的示例配置 1 和示例配置 2）。

要选择通过 JESD204B 串行接口输出，请对寄存器 0x0559、寄存器 0x055A 和寄存器 0x058F 进行配置。有关设置这些寄存器的更多信息，请参阅表 46。图 65 显示了封装峰值检测器值的 25 帧数据。帧数据首先通过 5 个 5 位子帧进行 MSB 传输。每个子帧都包含一个起始位，接收器可以使用它来验证序列化数据。图 66 显示了通过 JESD204B 串行接口输出的信号监控数据，监控周期计时器设置为 80 个样本。

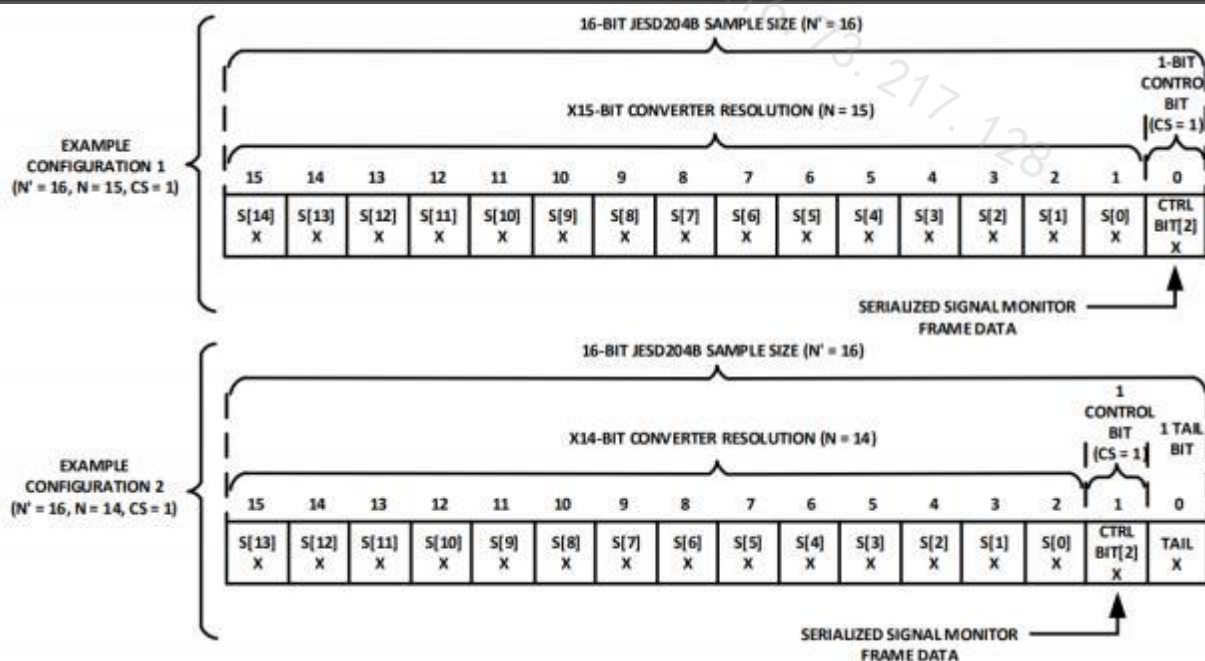


图 64.信号监控控制位位置

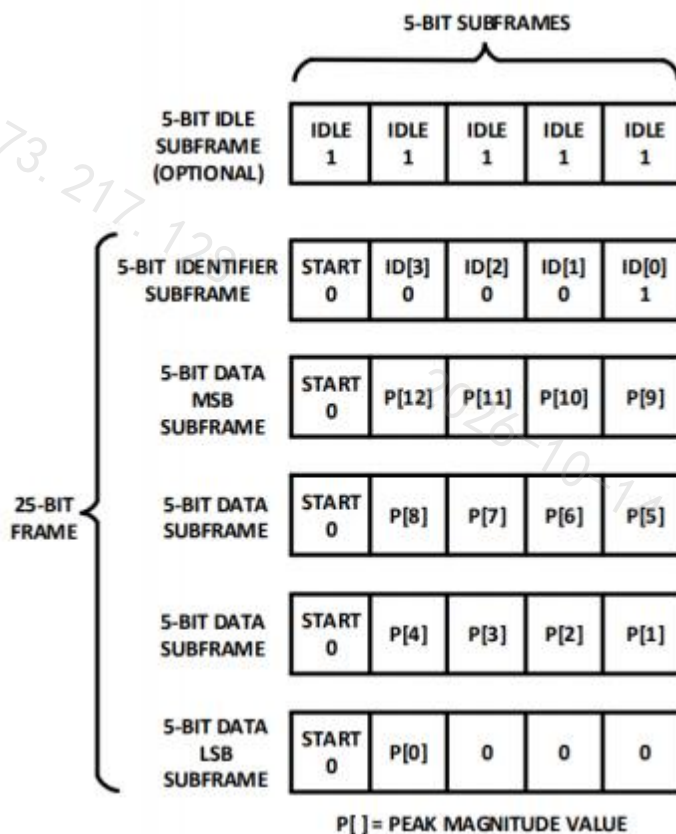


图 65.通过 JESD204B 串行接口输出的信号监控器帧数据

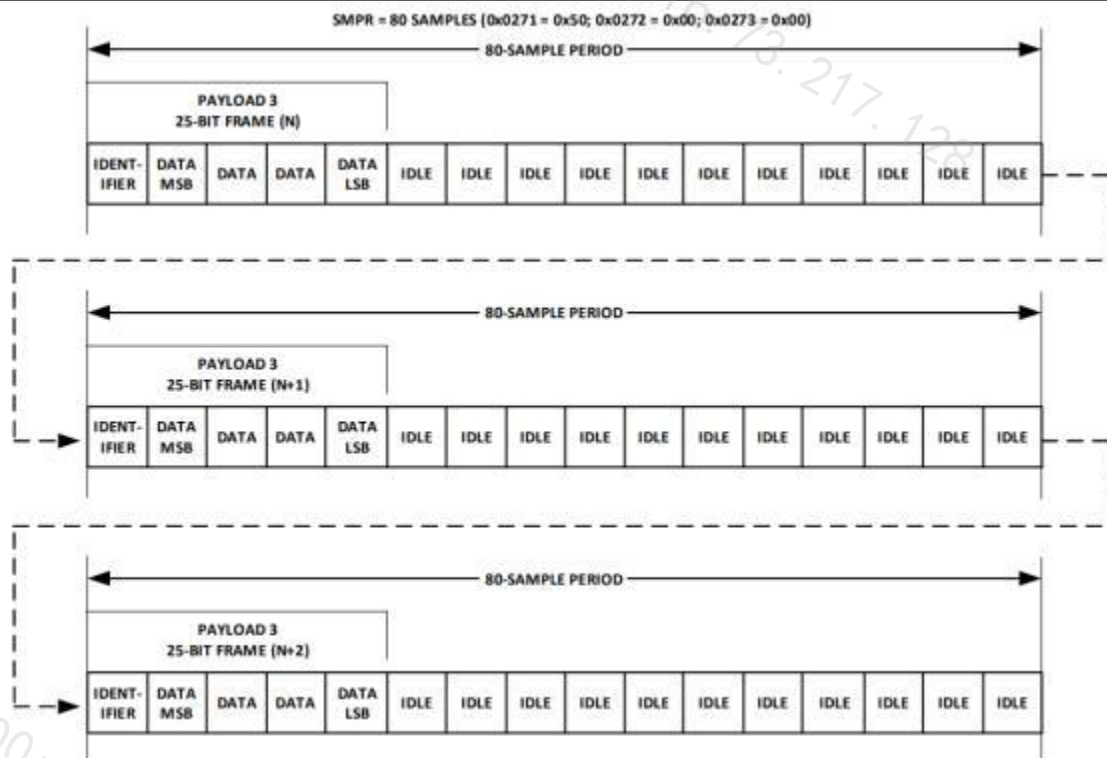


图 66.信号监控器周期为80 时 JESD204B 串行接口输出示例

数字输出

JESD204B 接口简介

CYD9689B 数字输出按照 JEDEC 标准设计，JESD204B 用于数据转换器的串行接口。JESD204B 是一种通过 串行接口将 CYD9689B 连接到数字处理器件的协议，通道速率最高可达 16Gbps。与 LVDS 相比，JESD204B 接口的优势包括减少数据接口布线所需的电路板面积，以及能够为转换器和逻辑器件实现更小的封装。

JESD204B 概述

JESD204B 数据传输模块将来自 ADC 的并行数据组装成帧，并使用 8 位/10 位编码以及可选的加扰来形成串行输出数据。通过在链路的初始建立期间使用单独的控制字符来支持通道同步。其他控制字符嵌入到数据流中，以保持此后的同步。需要一个 JESD204B 接收器来完成串行链路。有关 CYD9689B 接口的更多详细信息，请参阅 JESD204B 标准。CYD9689BJESD204B 数据传输模块通过链路映射多达两个物理 ADC 或最多八个虚拟转换器（启用 DDC 时）。链路可配置为使用 1 个、2 个、4 个或 8 个 JESD204B 通道。JESD204B 规范引用了定义链路的许多参数，这些参数必须在 JESD204B 发射器（CYD9689B 输出）和 JESD204B 接收器（逻辑器件输入）之间匹配。

JESD204B 链接根据以下参数进行描述：

- L 是每个转换器设备的通道数（每个链路的通道数）；CYD9689B 值=1、2、4 或 8。
- M 是每个转换器设备的转换器数量（每个链接的虚拟转换器）；CYD9689B 值=1、2、4 或 8。

- F 是每帧的八位字节；CYD9689B 值=1、2、4、8 或 16。
- N'是每个样本的位数（CYD9689B 字大小）；CYD9689B 值=8 或 16。
- N 是转换器分辨率；CYD9689B 值=7 至 16。
- CS 是每个样本的控制比特数；CYD9689B 值=0、1、2 或 3。
- K 是每个多帧的帧数；CYD9689B 值=4、8、12、16、20、24、28 或 32
- S 是每个转换器每帧周期传输的样本数；CYD9689B 值根据 L、M、F 和 N' 自动设置。
- HD 是高密度模式；CYD9689B 模式根据 L、M、F 和 N'自动设置。
- CF 是每个转换器器件每个帧时钟周期的控制字数；CYD9689B 值=0。

图 67 显示了 CYD9689BJESD204B 链路的简化框图。默认情况下，CYD9689B 配置为使用两个转换器和四个通道。转换器 A 数据输出到 SERDOUT0 ±和/或 SERDOUT1 ±，转换器 B 输出到 SERDOUT2 ±和/或 SERDOUT3 ±。CYD9689B 支持其他配置，例如将两个转换器的输出组合到单个通道上，或更改 A 和 B 数字输出路径的映射。这些模式通过 SPI 寄存器映射中的快速配置寄存器以及其他可定制选项进行设置。

默认情况下，在 CYD9689B 中，每个转换器的 14 位转换器字分为两个八位字节（八位数据）。第 13 位（MSB）到第 6 位位于第一个八位字节中。第二个八位字节包含位 5 到 0（LSB）和两个尾位。尾位可以配置为零或伪随机数字序列。尾部位也可以替换为指示超范围、SYSREF ±或快速检测输出的控制位。

两个生成的八位字节可以加扰。加扰是可选的；但是，建议在传输类似的数字数据模式时避免出现频谱峰值。加扰器使用由公式 $1+x_{14}+x_{15}$ 定义的基于多项式的自同步算法。接收器中的 descrambler 是 scrambler 多项式的自同步解扰。

然后用 8 位/10 位编码器对两个八位字节进行编码。8 位/10 位编码器的工作原理是获取 8 位数据（一个八位字节）并将它们编码为 10 位符号。图68 显示了如何从 ADC 获取 14 位数据，如何添加尾位，如何加扰两个八位字节，以及如何将八位字节编码为两个 10 位符号。图 68 显示了默认数据格式。

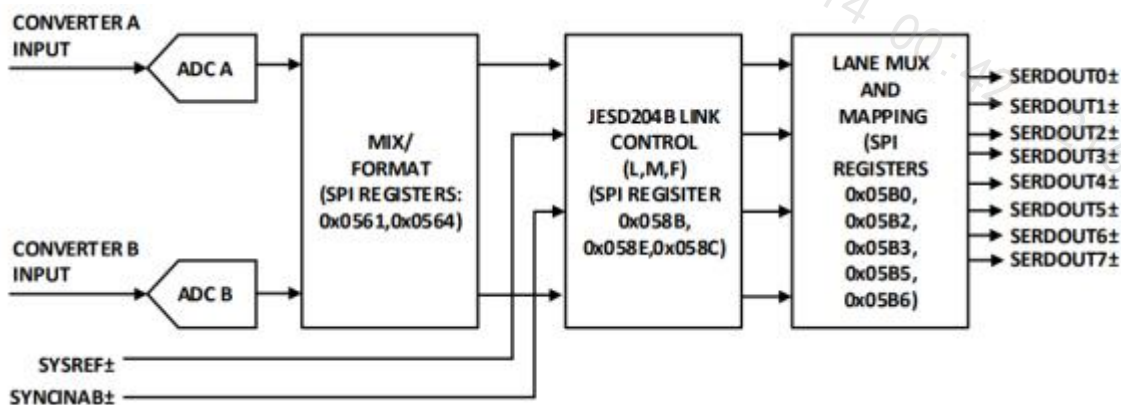


图 67.全带宽模式（寄存器 0x0200=0x00）的传输链路简化框图

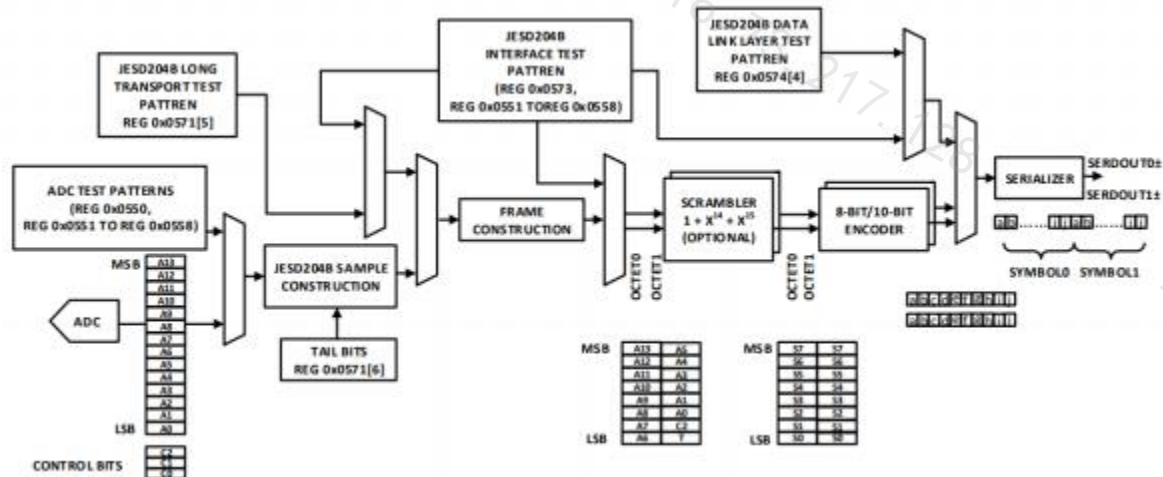


图 68.数据成帧的 ADC 输出数据路径

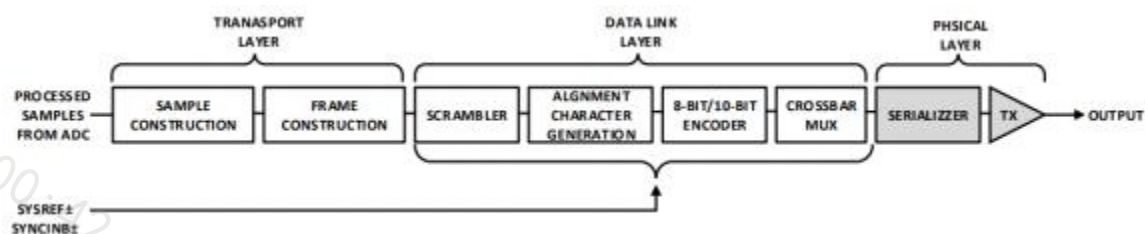


图 69.数据流

功能概述

图 69 中的框图显示了通过 JESD204B 硬件的数据流，从样本输入到物理输出。处理可以分为多个层，这些层派生自广泛用于描述通信系统概念的开源计划（OSI）模型。这些层是传输层、数据链路层和物理层（序列化器和输出驱动程序）。

传输层

传输层将数据（由样本和可选控制位组成）打包映射到 8 位字节的 JESD204B 帧中。这些 8 位字节被发送到数据链路层。传输层映射由从链接参数派生的规则控制。在需要时添加尾 bit 以填充间隙。以下公式可用于确定样本（JESD204B 字）中的尾部位数： $T=N'-N-CS$

数据链路层

数据链路层负责通过链路传递数据的低级功能。这些功能包括选择性地加扰数据、插入用于多芯片同步/通道对齐/监控的控制字符，以及将 8 位字节编码为 10 位符号。数据链路层还负责发送初始通道对齐序列（ILAS），其中包含接收器用于验证传输层设置的链路配置数据。

物理层

物理层由以串行时钟速率计时的高速电路组成。在该层中，并行数据被转换为 1 个、2 个或 4 个高速差分串行数据通道。

JESD204B 链路建立

CYD9689BJESD204B 发射器 (Tx) 接口工作在 JEDEC 标准 204B (2011 年 7 月规范) 定义的子类 1 中。

链路建立过程分为以下步骤: 码组同步和 SYNCINB $\pm$ AB/SYNCINB $\pm$ CD、初始通道对齐序列、用户数据和纠错。

码组同步 (CGS) 和 SYNCINB $\pm$

CGS 是 JESD204B 接收器查找数据流中 10 位符号之间边界的过程。在 CGS 阶段, JESD204B 发送模块发送/K28.5/字符。接收器必须使用时钟和数据恢复 (CDR) 技术在其输入数据定位/K28.5/字符。

接收器通过置位 CYD9689B 的 SYNCINB $\pm$ AB 和 SYNCINB $\pm$ CD 引脚, 发出同步请求。然后, JESD204B Tx 开始发送/K/字符。在接收器接收之后, 它等待至少四个连续的/K/符号的正确接收。然后取消 SYNCINB $\pm$ AB 和 SYNCINB $\pm$ CD。然后, CYD9689B 在随后的本地多帧时钟 (LMFC) 边沿上发送 ILAS。SYNCINB $\pm$ AB 和 SYNCINB $\pm$ CD 引脚的工作也可由 SPI 控制。SYNCINB $\pm$ AB 和 SYNCINB $\pm$ CD 信号默认为差分 LVDS 模式信号, 但也可以单端驱动。有关配置 SYNCINB $\pm$ AB 和 SYNCINB $\pm$ CD 引脚工作的更多信息, 请参阅寄存器 0x0572。

通过在寄存器 0x0572 中设置第 4 位, 也可以将 SYNCINB $\pm$ 引脚配置为在 CMOS (单端) 模式下运行。

在 CMOS 模式下运行 SYNCINB $\pm$ 时, 将 CMOS SYNCINB 信号连接到引脚 N13 (SYNCINB+), 并保持引脚 R13 (SYNCINB-) 悬空。

初始通道对齐序列 (ILAS)

ILAS 阶段紧随 CGS 阶段之后, 从下一个 LMFC 边沿开始。ILAS 由四个多帧组成, 其中/R/字符标记开头, /A/字符标记结尾。ILAS 首先发送一个/R/字符, 后跟一个多帧的 0 到 255 斜坡数据。在第二个多帧上, 从第三个字符开始发送链路配置数据。第二个字符是/Q/字符, 用于确认要遵循的链接配置数据。所有未定义的数据位都填充了斜坡数据。ILAS 序列从不被加扰。

ILAS 序列构建如图70 所示。四个多帧包括以下内容:

- 多帧 1 以/R/字符 (/K28.0/) 开始, 以/A/字符 (/K28.3/) 结束。
- 多帧 2 以/R/字符开头, 后跟/Q/字符 (/K28.4/), 后跟 14 个配置八位字节的链路配置参数 (见表30), 以/A/字符结尾。许多参数值采用值-1 表示法。
- 多帧 3 以/R/字符 (/K28.0/) 开始, 以/A/字符 (/K28.3/) 结束。
- 多帧 4 以/R/字符 (/K28.0/) 开始, 以/A/字符 (/K28.3/) 结束。

用户数据和错误检测

初始通道对齐序列完成后，将发送用户数据。通常，在一个帧中，所有字符都被视为用户数据。但是，要监控帧时钟和多帧时钟同步，当数据满足特定条件时，有一种机制可以将字符替换为/F/或/A/对齐字符。对于未加扰的数据和加扰数据，这些条件是不同的。默认情况下，加扰操作处于启用状态；但是，可以使用 SPI 禁用它。对于乱序数据，帧末尾的任何 0xFC 字符都替换为/F/，多帧末尾的任何 0x7C 字符都替换为/A/。CYD9689B 接收器 (Rx) 检查接收到的数据流中的/F/和/A/字符，并验证它们是否仅出现在预期位置。如果发现意外的/F/或/A/字符，接收器通过使用动态重新对齐或置位 SYNCINB±信号超过四个帧来启动重新同步。对于未加扰的数据，如果两个后续帧的最后一个字符相等，则第二个字符将替换为/F/（如果位于帧的末尾）和/A/（如果位于多帧的末尾）。可以使用 SPI 修改对齐字符的插入。默认情况下，帧对齐字符插入 (FACI) 处于启用状态。有关链接控件的更多信息，请参阅寄存器映射表的寄存器 0x0571。

8 位/10 位编码器

8 位/10 位编码器将 8 位八位字节转换为 10 位符号，并在需要时将控制字符插入到数据流中。CYD9689B 中使用的控制字符如表 30 所示。8 位/10 位编码通过在多个符号之间使用相同数量的 1 和 0 来确保信号的直流平衡。8 位/10 位接口具有可通过 SPI 控制的选项。这些操作包括 bypass 和 invert。这些选项是用于验证数字前端 (DFE) 的故障排除工具。有关配置 8 位/10 位编码器的信息，请参阅寄存器映射部分，寄存器 0x0572，位[2 : 1]。

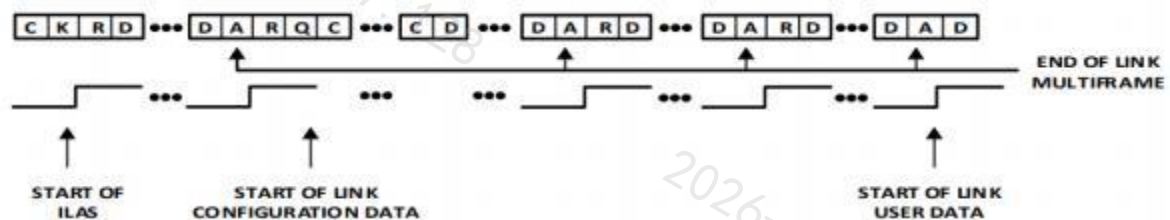


图 70. 初始通道对齐序列

表 31. CYD9689BJESD204B 中使用的控制字符

缩写	控制符号	8位值	10位值 (RD ¹ =-1)	10位值 (RD ¹ =+1)	说明
/R/	/K28.0/	000 11100	001111 0100	110000 1011	多帧开始
/A/	/K28.3/	011 11100	001111 0011	110000 1100	通道对齐
/Q/	/K28.4/	100 11100	001111 0010	110000 1101	链路配置数据的开始
/K/	/K28.5/	101 11100	001111 1010	110000 0101	组同步
/F/	/K28.7/	111 11100	001111 1000	110000 0111	帧对齐

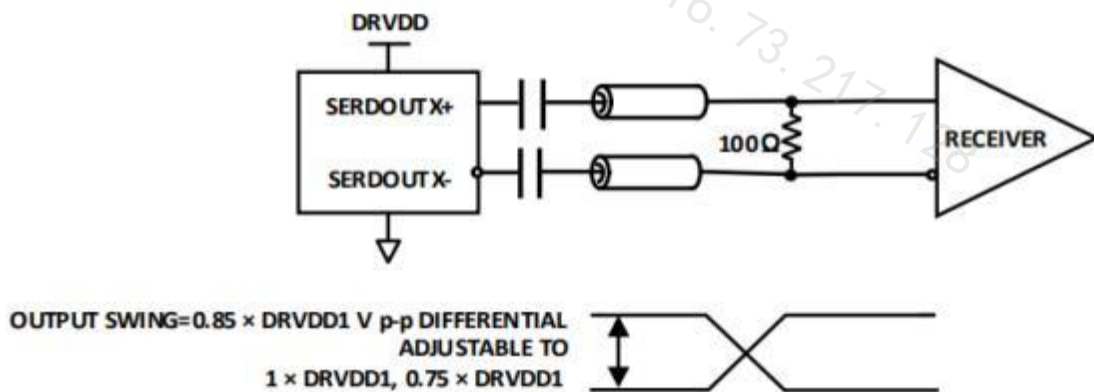


图 71.交流耦合数字输出端接示例

物理层（驱动器）输出

数字输出、定时和控制

CYD9689B 物理层由 JEDEC 标准 JESD204B 2011 年 7 月中定义的驱动程序组成。差分数字输出默认上电。驱动器使用动态 100Ω 内部终端来减少不需要的反射。在每个接收器输入端放置一个 100Ω 差分端接电阻器，以在接收器上产生 0.85 × DRVDD1Vp-p 的标称摆幅（参见图 71）。摆幅可通过 SPI 寄存器进行调节。建议使用 AC 耦合器连接到接收器。有关更多详细信息，请参见寄存器映射表部分（表 46 中的寄存器 0x05C0 到寄存器 0x05C3）。CYD9689B 数字输出可与定制 ASIC 和现场可编程门阵列（FPGA）接收器接口，在嘈杂环境中提供出色的开关性能。建议使用单点对点网络拓扑，并在尽可能靠近接收器输入的位置放置单个 100Ω 差分端接电阻器。如果没有远端接收器终端，或者差分走线路径不佳，则可能导致时序错误。为避免此类时序误差，建议走线长度小于 6 英寸，并且差分输出走线应靠得很近且长度相等。默认情况下，输出数据的格式为 twos complement。要更改输出数据格式，请参阅寄存器映射表部分（表 46 中的寄存器 0x0561）。

去加重

在互连插入损耗不符合 JESD204B 规范的情况下，去加重可满足接收器眼图罩要求。仅当接收器由于插入损耗过大而无法恢复时钟时，才使用去加重功能。在正常情况下，它被禁用以节省电力。此外，在短链路上启用和设置过高的去加重值会导致接收器眼图失败。使用去加重设置时要小心，因为它可能会增加电磁干扰（EMI）。有关详细信息，请参见内存映射部分（表 39 中的寄存器 0x05C4 和寄存器 0x05C8）。

锁相环（PLL）

PLL 生成串行器时钟，以 JESD204B 通道速率工作。PLL 锁定状态可通过 PLL 锁定状态位（寄存器 0x056F 的位 7）检查。当 PLL 实现特定设置的锁定时，此只读位会提醒用户。必须将 CYD9689B 通道速率控制位（寄存器 0x056E 的位[7: 4]）设置为与通道速率相对应。

表 32.CYD9689B 寄存器 0x056E 支持的通道速率

Value	Lane Rate
0x00	Lane rate=8Gbps to 13.5Gbps
0x10	Lane rate=4Gbps to 6.75Gbps
0x30	Lane rate=13.5Gbps to 16Gbps(default for CYD9689B)
0x50	Lane rate=2Gbps to 3.375Gbps
0x80	Lane rate=6.75Gbps to 8Gbps
0x90	Lane rate=3.375Gbps to 4Gbps
0xD0	Lane rate=1.6875Gbps to 2Gbps

$f_s \times 4$ 模式

$f_s \times 4$ 模式在 JESD204B 发射器/接收器添加了单独的打包模式，以将串行通道速率固定为采样速率 (f_s) 的四倍。

CYD9689B 链接设置为

- L=8
- M=2
- F=2
- S=5
- N'=12
- N=12
- CS=0
- CF=2
- HD=1

但是，该设计不支持 CF=2；因此，以下链接参数与单独打包一起使用：

- L=8
- M=2
- F=2
- S=4
- N'=16
- N=16
- CS=0
- CF=0
- HD=0

在 $f_s \times 4$ 模式下，将 5 个 12 位 ADC 样本（以及额外的 4 位）打包到 4 个 16 位 JESD204B 样本中，以创建 64 位帧。

将器件置于 $f_s \times 4$ 模式需要以下 SPI 写入：

- 寄存器 0x0570=0xFE。此设置将器件置于 M=2、L=8、fs×4 模式。
- 寄存器 0x058B=0x0F。此设置将器件置于 CS=0，N'=16 模式。
- 寄存器 0x058F=0x2F。此设置将器件置于子类 1 模式，N=16。

fs×4 模式的发射架构如图72 所示，接收部分如图73 所示。

fs×4 模式仅在全带宽模式下工作（寄存器 0x0200=0x00）。

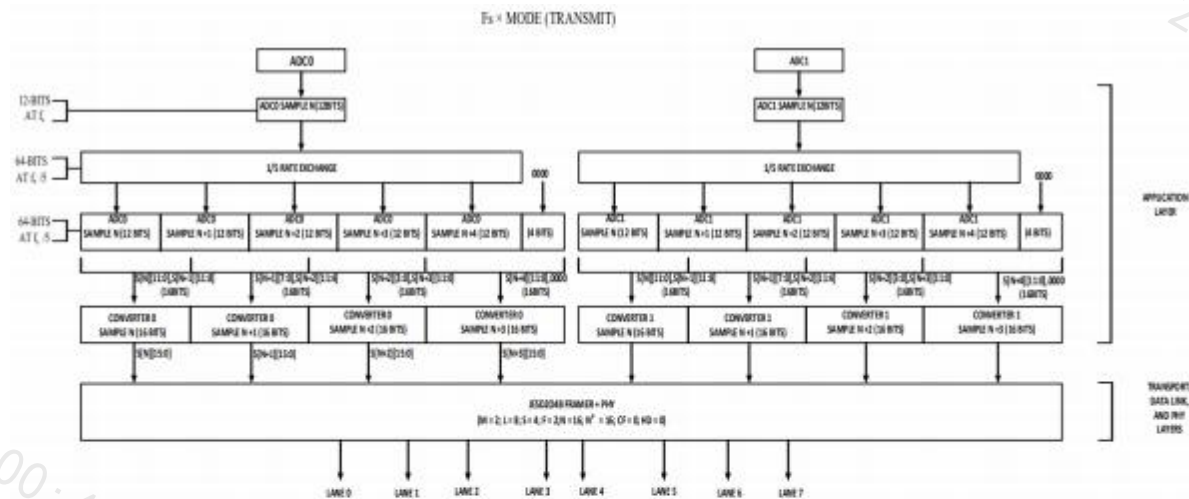


图 72.fs×4 模式（传输）

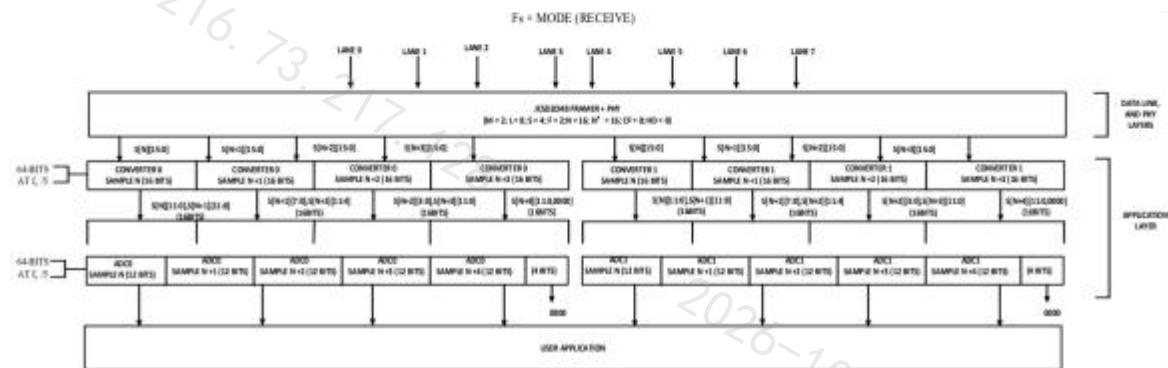


图 73.fs×4 模式（接收）

设置 CYD9689B 数字接口

为确保 CYD9689B 在启动时正常工作，需要一些 SPI 写入来初始化链路。此外，每次 ADC 复位时，都必须写入这些寄存器。以下任何一种复位都保证了数字接口的初始化例程：

- 硬复位，与上电一样。
- 使用 PDWN 引脚上电。
- 使用 SPI 通过设置寄存器 0x0002 的位[1: 0]上电。
- 通过设置寄存器 0x0000=0x81 进行 SPI 软复位。
- 通过设置寄存器 0x003C=0x18 和寄存器 0x0001=0x02 进行数据路径软复位。
- 通过设置寄存器 0x0571=0x15 然后 0x14 来 CYD9689B 链路电源循环。

CYD9689B 具有一个 JESD204B 链路。串行输出（SERDOUT0 ± 到 SERDOUT7 ±）被视为一个 JESD204B

链路的一部分。确定链路设置的基本参数包括

- 每条链路的通道数 (L)
- 每条链路的转换器数量 (M)
- 每帧的八位字节数 (F)

如果内部 DDC 用于片上数字处理, 则 M 表示虚拟转换器的数量。虚拟转换器映射设置如图 16 所示。

CYD9689B 允许的最大通道速率为 16Gbps。通道线速率与 JESD204B 参数相关, 公式 如下:

$$\text{通道线速率} = \frac{M \times N' \times \left(\frac{10}{8}\right) \times f_{\text{OUT}}}{L}$$

$$f_{\text{OUT}} = \frac{f_{\text{ADC_CLOCK}}}{\text{Decimation Ratio}}$$

抽取比 (DCM) 是在寄存器 0x201 中编程的参数。使用以下过程配置输出:

1. 关闭链路。
2. 选择 JESD204B 链接配置选项。
3. 配置详细选项。
4. 设置输出通道映射 (可选)。
5. 设置其他驱动程序配置选项 (可选)。
6. 启动链接。
7. 通过发出表 32 中描述的命令初始化 JESD204B 链路。

表 33 和表 34 显示了给定数量的虚拟转换器的 N'=16 和 N'=8 支持的 JESD204B 输出配置。请注意确保给定配置的串行通道速率在 3.4Gbps 到 16Gbps 的支持范围内。

表 33 JESD204B 输出配置 N'=16¹

Number of Virtual Converters Supported (Same as M)	JESD204B Serial Lane Rate ²	Supported Decimation Rates				JESD204B Transport Layer Settings ³								
		Lane Rate = 1.7Gbps to 3.4Gbps	Lane Rate= 3.4Gbps to 6.8Gbps	Lane Rate= 6.8Gbps to 13.6Gbps	Lane Rate= 13.6Gbps to 15.5Gbps	L	M	F	S	HD	N	N'	CS	K
1	20×f _{OUT}	2,4,5,6,8,10,12, 20,24	1,2,3,4,5,6,8, 10,12	1,2,3,4,5,6,8	1,2,3,4	1	1	2	1	0	8 to 16	16	0 to 3	See Note 4
	20×f _{OUT}	2,4,5,6,8,10,12, 20,24	1,2,3,4,5,6,8, 10,12	1,2,3,4,5,6,8	1,2,3,4	1	1	4	2	0	8 to 16	16	0 to 3	See Note 4
	10×f _{OUT}	1,2,3,4,5,6,8, 10,12	1,2,3,4,5,6,8	1,2,3,4	1,2	2	1	1	1	1	8 to 16	16	0 to 3	See Note 4
	10×f _{OUT}	1,2,3,4,5,6,8, 10,12	1,2,3,4,5,6,8	1,2,3,4	1,2	2	1	2	2	0	8 to 16	16	0 to 3	See Note 4
	5×f _{OUT}	1,2,3,4,5,6,8	1,2,3,4	1,2	1	4	1	1	2	1	8 to 16	16	0 to 3	See Note 4
	5×f _{OUT}	1,2,3,4,5,6,8	1,2,3,4	1,2	1	4	1	2	4	0	8 to 16	16	0 to 3	See Note 4
	2.5×f _{OUT}	1,2,3,4	1,2	1		8	1	1	4	1	8 to 16	16	0 to 3	See Note 4
	2.5×f _{OUT}	1,2,3,4	1,2	1		8	1	2	8	0	8 to 16	16	0 to 3	See Note 4
2	40×f _{OUT}	4,8,10,12,15,16, 20,24,30,40,48	2,4,5,6,8,10,12,15,16,20,24,30	1,2,3,4,5,6,8, 10,12,15,16	1,2,3,4,5,6,8	1	2	4	1	0	8 to 16	16	0 to 3	See Note 4
	40×f _{OUT}	4,8,10,12,15,16, 20,24,30,40,48	2,4,5,6,8,10,12, 15,16,20,24,30	1,2,3,4,5,6,8, 10,12,15,16	1,2,3,4,5,6,8	1	2	8	2	0	8 to 16	16	0 to 3	See Note 4
	20×f _{OUT}	2,4,5,6,8,10,12, 15,16,20,24,30	1,2,3,4,5,6,8,10, 12,15,16	1,2,3,4,5,6,8	1,2,3,4	2	2	2	1	0	8 to 16	16	0 to 3	See Note 4
	20×f _{OUT}	2,4,5,6,8,10,12, 15,16,20,24,30	1,2,3,4,5,6,8,10, 12,15,16	1,2,3,4,5,6,8	1,2,3,4	2	2	4	2	0	8 to 16	16	0 to 3	See Note 4
	10×f _{OUT}	1,2,3,4,5,6,8, 10,12,15,16	1,2,3,4,5,6,8	1,2,3,4	1,2	4	2	1	1	1	8 to 16	16	0 to 3	See Note 4
	10×f _{OUT}	1,2,3,4,5,6,8, 10,12,15,16	1,2,3,4,5,6,8	1,2,3,4	1,2	4	2	2	2	0	8 to 16	16	0 to 3	See Note 4
	5×f _{OUT}	1,2,3,4,5,6,8	1,2,3,4	1,2	1	8	2	1	2	1	8 to 16	16	0 to 3	See Note 4
	5×f _{OUT}	1,2,3,4,5,6,8	1,2,3,4	1,2	1	8	2	2	4	0	8 to 16	16	0 to 3	See Note 4
4	80×f _{OUT}	8,16,20,24,30, 40,48	4,8,10,12,16,20, 24,30,40,48	4,6,8,10,12, 16,20,24,30	4,6,8,10,12, 16	1	4	8	1	0	8 to 16	16	0 to 3	See Note 4
	40×f _{OUT}	4,8,10,12,15,16, 20,24,30,40,48	2,4,5,6,8,10,12, 15,16,20,24,30	1,2,3,4,5,6,8, 10,12,15,16	1,2,3,4,5,6,8	2	4	4	1	0	8 to 16	16	0 to 3	See Note 4
	40×f _{OUT}	4,8,10,12,15,16, 20,24,30,40,48	2,4,5,6,8,10,12, 15,16,20,24,30	1,2,3,4,5,6,8, 10,12,15,16	1,2,3,4,5,6,8	2	4	8	2	0	8 to 16	16	0 to 3	See Note 4
	20×f _{OUT}	2,4,5,6,8,10,12, 15,16,20,24,30	1,2,3,4,5,6,8,10, 12,15,16	1,2,3,4,5,6,8	1,2,3,4	4	4	2	1	0	8 to 16	16	0 to 3	See Note 4
	20×f _{OUT}	2,4,5,6,8,10,12, 15,16,20,24,30	1,2,3,4,5,6,8,10, 12,15,16	1,2,3,4,5,6,8	1,2,3,4	4	4	4	2	0	8 to 16	16	0 to 3	See Note 4
	10×f _{OUT}	1,2,3,4,5,6,8, 10,12,15,16	1,2,3,4,5,6,8	1,2,3,4	1,2	8	4	1	1	1	8 to 16	16	0 to 3	See Note 4
	10×f _{OUT}	1,2,3,4,5,6,8, 10,12,15,16	1,2,3,4,5,6,8	1,2,3,4	1,2	8	4	2	2	0	8 to 16	16	0 to 3	See Note 4

8	160×f _{OUT}	16, 40, 48	8, 16, 20, 24, 40, 48	8, 12, 16, 20, 24, 40, 48	8, 12, 16, 20, 24	1	8	16	1	0	8 to 16	16	0 to 3	See Note 4
	80×f _{OUT}	8, 16, 20, 24, 40, 48	4, 8, 10, 12, 16, 20, 24, 40, 48	4, 6, 8, 10, 12, 16, 20, 24	4, 6, 8, 10, 12, 16	2	8	8	1	0	8 to 16	16	0 to 3	See Note 4
	40×f _{OUT}	4, 8, 10, 12, 16, 20, 24, 40, 48	2, 4, 6, 8, 10, 12, 16, 20, 24	2, 4, 6, 8, 10, 1, 2, 16	2, 4, 6, 8	4	8	4	1	0	8 to 16	16	0 to 3	See Note 4
	40×f _{OUT}	4, 8, 10, 12, 16, 20, 24, 40, 48	2, 4, 6, 8, 10, 12, 16, 20, 24	2, 4, 6, 8, 10, 1, 2, 16	2, 4, 6, 8	4	8	8	2	0	8 to 16	16	0 to 3	See Note 4
	20×f _{OUT}	2, 4, 6, 8, 10, 12, 16, 20, 24	2, 4, 6, 8, 10, 12, 16	2, 4, 6, 8	2, 4	8	8	2	1	0	8 to 16	16	0 to 3	See Note 4
	20×f _{OUT}	2, 4, 6, 8, 10, 12, 16, 20, 24	2, 4, 6, 8, 10, 12, 16	2, 4, 6, 8	2, 4	8	8	4	2	0	8 to 16	16	0 to 3	See Note 4

1. 由于内部 clock 要求，某些 link 参数仅支持某些抽取率。

2. JESD204B 传输层描述如下：L 是每个转换器器件的通道数（每个链路的通道数）；M 是每个转换器设备的虚拟转换器数量（每个链接的虚拟转换器）；F 是每帧的八位字节；S 是每个虚拟转换器每帧周期传输的样本数；HD 是高密度模式；N 是虚拟转换器分辨率（以位为单位）；N' 是每个样本的总位数（CYD9689B 字大小）；CS 是每个转换样本的控制位数；K 是每个多帧的帧数。

3. f_{ADC_CLK} 是 ADC 采样速率；DCM=芯片抽取率；f_{OUT} 为输出采样率=f_{ADC_CLK}/DCM；SLR 是 JESD204B 串行通道速率。由于内部时钟分频器要求，必须满足以下公式：SLR ≥ 1.6875Gbps，SLR ≤ 15.5Gbps；SLR/40 ≤ f_{ADC_CLK}；最小公倍数（20×DCM×f_{OUT}/SLR、DCM）≤ 64。

4. 仅支持能被 4 整除的有效 K×F 值：F=1、K=20、24、28、32；F=2，K=12、16、20、24、28、32；F=4 时，K=8、12、16、20、24、28、32 时，F=8，K=4、8、12、16、20、24、28、32；F=16 时，K=4、8、12、16、20、24、28、32。

表 34. JESD204B 输出配置（N'=12）¹

No. of Virtual Converters Supported (Same Value as M)	Serial Lane Rate ²	Supported Decimation Rates				JESD204B Transport Layer Settings ³								
		Lane Rate = 1.7Gbps to 3.4Gbps	Lane Rate = 3.4Gbps to 6.8Gbps	Lane Rate = 6.8Gbps to 13.5Gbps	Lane Rate = 13.5Gbps to 15.5Gbps	L	M	F	S	HD	N	N'	L	K
1	15×f _{OUT}	3, 6, 12	3, 6, 12	3, 6		1	1	3	2	0	8 to 12	12	0 to 3	See Note 4
	7.5×f _{OUT}	3, 6	3, 6	3		2	1	3	4	1	8 to 12	12	0 to 3	See Note 4
	7.5×f _{OUT}	3, 6	3, 6	3		2	1	6	8	0	8 to 12	12	0 to 3	See Note 4
	5×f _{OUT}	1, 2, 3, 4, 5, 6, 8	1, 2, 3, 4	1, 2	1	3	1	1	2	1	8 to 12	12	0 to 3	See Note 4

2	$30 \times f_{OUT}$	3,6,12,24	3,6,12,24	3,6,12		1	2	3	1	0	8 to 12	12	0 to 3	See Note 4
	$15 \times f_{OUT}$	3,6,12	3,6,12	3,6		2	2	3	2	0	8 to 12	12	0 to 3	See Note 4
	$10 \times f_{OUT}$	3,6	1,2,3,4,5,6,8	1,2,3,4	1,2	3	2	1	1	1	8 to 12	12	0 to 3	See Note 4
	$7.5 \times f_{OUT}$	1,2,3,4,5,6,8,10,12,16	3,6	3		4	2	3	4	0	8 to 12	12	0 to 3	See Note 4
4	$60 \times f_{OUT}$	6,12,24,48	3,6,12,24,48	3,6,12,24		1	4	6	1	0	8 to 12	12	0 to 3	See Note 4
	$30 \times f_{OUT}$	3,6,12,24	3,6,12,24	3,6,12		2	4	3	1	0	8 to 12	12	0 to 3	See Note 4
	$20 \times f_{OUT}$	2,4,5,6,8,10,12,16,20,24	1,2,3,4,5,6,8,10,12,16	1,2,3,4,5,6,8	1,2,3,4	3	4	2	1	1	8 to 12	12	0 to 3	See Note 4
	$15 \times f_{OUT}$	3,6,12	3,6,12	3,6		4	4	3	2	0	8 to 12	12	0 to 3	See Note 4
8	$60 \times f_{OUT}$	6,12,24,48	6,12,24,48	6,12,24		2	8	6	1	0	8 to 12	12	0 to 3	See Note 4
	$30 \times f_{OUT}$	6,12,24	6,12,24	6,12		4	8	3	1	0	8 to 12	12	0 to 3	See Note 4

1. 由于内部时钟要求，某些链路参数仅支持某些抽取率。

2. f_{ADC_CLK} 是 ADC 采样速率; DCM 是芯片抽取率; f_{OUT} 为输出采样率 $= f_{ADC_CLK} / DCM$; SLR 是 JESD204B 串行通道速率。由于内部时钟分频器要求，必须满足以下公式： $SLR \geq 1.6875 \text{ Gbps}$ ， $SLR \leq 15.5 \text{ Gbps}$ ； $SLR/40 \leq f_{ADC_CLK}$ ；最小公倍数 $(20 \times DCM \times f_{OUT} / SLR, DCM) \leq 64$ 。

3. JESD204B 传输层描述如下：L 是每个转换器器件的通道数（每个链路的通道数）；M 是每个转换器设备的虚拟转换器数量（每个链接的虚拟转换器）；F 是每帧的八位字节；S 是每个虚拟转换器每帧周期传输的样本数；HD 是高密度模式；N 是虚拟转换器分辨率（以位为单位）；N' 是每个样本的总位数（CYD9689B 字大小）；CS 是每个转换样本的控制位数；K 是每个多帧的帧数。

4. 仅支持能被 4 整除的有效 K×F 值：F=1、K=20、24、28、32；F=2、K=12、16、20、24、28、32；F=4 时，K=8、12、16、20、24、28、32 时；F=8、K=4、8、12、16、20、24、28、32；F=16 时，K=4、8、12、16、20、24、28、32。

表 35. CYD9689B 输出配置 $N_s=8^1$

No. of Virtual Converters Supported (Same Value as M)	Serial Lane Rate ²	Supported Decimation Rates				JESD204B Transport Layer Settings ³								
		Lane Rate = 1.7Gbps to 3.4Gbps	Lane Rate= 3.4Gbps to 6.8Gbps	Lane Rate= 6.8Gbps to 13.5Gbps	Lane Rate= 13.5Gbps to 15.5Gbps	L	M	F	S	HD	N	N'	CS	K

1	$10 \times f_{OUT}$	1,2,3,4,5,6,8,10,12	1,2,3,4,5,6,8	1,2,3,4	1,2	1	1	1	1	0	7 to 8	8	0 to 1	See Note 4
1	$10 \times f_{OUT}$	1,2,3,4,5,6,8,10,12	1,2,3,4,5,6,8	1,2,3,4	1,2	1	1	2	2	0	7 to 8	8	0 to 1	See Note 4
1	$5 \times f_{OUT}$	1,2,3,4,5,6,8	1,2,3,4	1,2	1	2	1	1	2	0	7 to 8	8	0 to 1	See Note 4
1	$5 \times f_{OUT}$	1,2,3,4,5,6,8	1,2,3,4	1,2	1	2	1	2	4	0	7 to 8	8	0 to 1	See Note 4
1	$5 \times f_{OUT}$	1,2,3,4,5,6,8	1,2,3,4	1,2	1	2	1	4	8	0	7 to 8	8	0 to 1	See Note 4
1	$2.5 \times f_{OUT}$	1,2,3,4	1,2	1		4	1	1	4	0	7 to 8	8	0 to 1	See Note 4
1	$2.5 \times f_{OUT}$	1,2,3,4	1,2	1		4	1	2	8	0	7 to 8	8	0 to 1	See Note 4
2	$20 \times f_{OUT}$	2,4,5,6,8,10,12,15,16,20,24,30	1,2,3,4,5,6,8,10,12,15,16	1,2,3,4,5,6,8	1,2,3,4	1	2	2	1	0	7 to 8	8	0 to 1	See Note 4
2	$10 \times f_{OUT}$	1,2,3,4,5,6,8,10,12,15,16	1,2,3,4,5,6,8	1,2,3,4	1,2	2	2	1	1	0	7 to 8	8	0 to 1	See Note 4
2	$10 \times f_{OUT}$	1,2,3,4,5,6,8,10,12,15,16	1,2,3,4,5,6,8	1,2,3,4	1,2	2	2	2	2	0	7 to 8	8	0 to 1	See Note 4
2	$5 \times f_{OUT}$	1,2,3,4,5,6,8	1,2,3,4	1,2	1	4	2	1	2	0	7 to 8	8	0 to 1	See Note 4
2	$5 \times f_{OUT}$	1,2,3,4,5,6,8	1,2,3,4	1,2	1	4	2	2	4	0	7 to 8	8	0 to 1	See Note 4
2	$5 \times f_{OUT}$	1,2,3,4,5,6,8	1,2,3,4	1,2	1	4	2	4	8	0	7 to 8	8	0 to 1	See Note 4

1. 由于内部 clock 要求，某些 link 参数仅支持某些抽取率。

2. f_{ADC_CLK} 是 ADC 采样速率；DCM 是芯片抽取率； f_{OUT} 为输出采样率 = f_{ADC_CLK}/DCM ；SLR 是 JESD204B 串行通道速率。由于内部时钟分频器要求，必须满足以下公式： $SLR \geq 1.6875\text{Gbps}$ ， $SLR \leq 15.5\text{Gbps}$ ； $SLR/40 \leq f_{ADC_CLK}$ ；最小公倍数（ $20 \times DCM \times f_{OUT}/SLR$ 、DCM） ≤ 64 。

3. JESD204B 传输层描述如下：L 是每个转换器器件的通道数（每个链路的通道数）；M 是每个转换器设备的虚拟转换器数量（每个链接的虚拟转换器）；F 是每帧的八位字节；S 是每个虚拟转换器每帧周期传输的样本数；HD 是高密度模式；N 是虚拟转换器分辨率（以位为单位）； $N|$ 是每个样本的总位数（CYD9689B 字大小）；CS 是每个转换样本的控制位数；K 是每个多帧的帧数。

4. 仅支持能被 4 整除的有效 $K \times F$ 值：F=1、K=20、24、28、32；F=2，K=12、16、20、24、28、32；F=4 时，K=8、12、16、20、24、28、32 时，F=8，K=4、8、12、16、20、24、28、32；F=16 时，K=4、8、12、16、20、24、28、32。

示例 1:全带宽模式

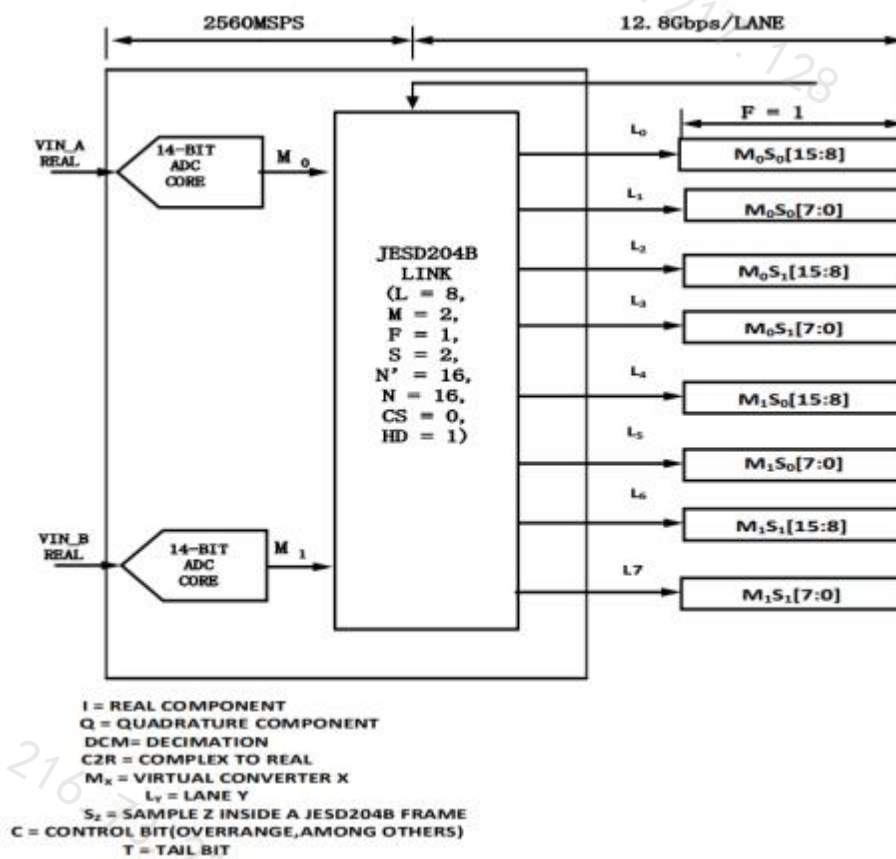


图 74.全带宽模式

CYD9689B 的设置如图 74 所示，配置如下：

- 两个 2.56GSPS 的 14 位转换器。
- 全带宽应用层模式。
- 旁路抽取滤波器。

CYD9689B 输出配置如下：

- 需要两个虚拟转换器（见表33）。
- 输出采样速率（f_{OUT}）=2560/1=2560MSPS。

JESD204B 支持的输出配置如下（请参阅表 33）：

- N_i=16 位。
- N=14 位。
- L=8，M=2 和 F=1，或 L=8，M=2 和 F=2。
- CS=0。
- K=32。
- 输出串行通道速率=每通道 12.8Gbps。
- PLL 控制寄存器 0x056E 设置为 0x00。

示例 2:带 DDC 选项的 ADC（每对中两个 ADC 和两个 DDC）

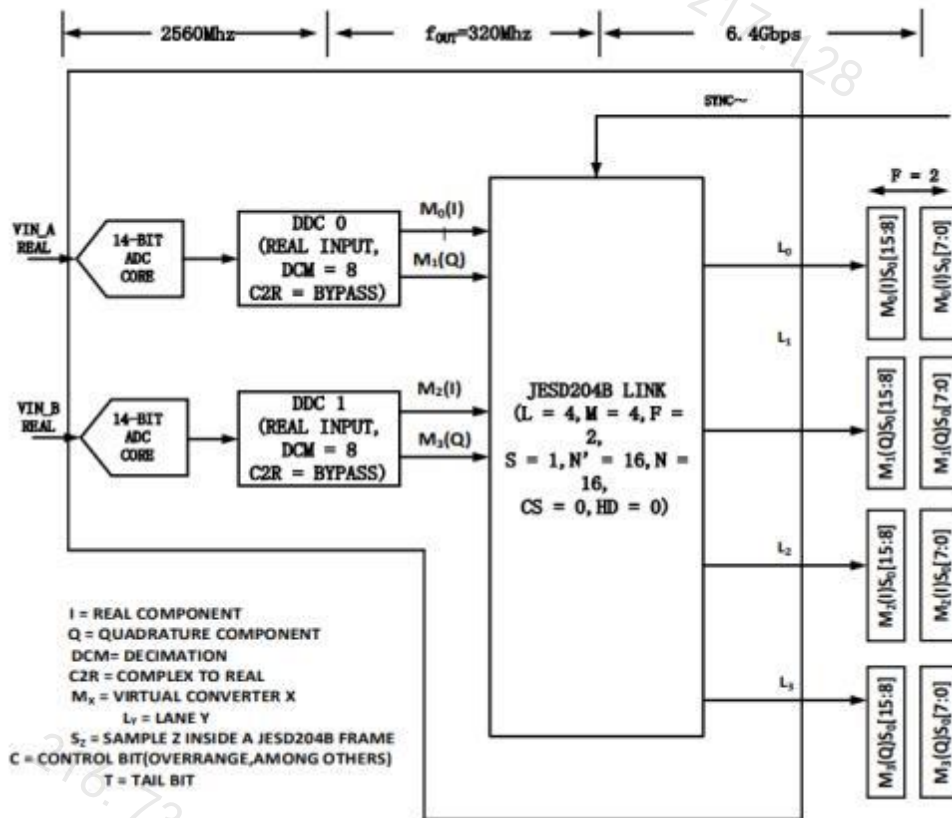


图 75.两个 ADC 加两个 DDC 模式（L=4、M=4、F=2、S=1）

本例显示了 CYD9689B 在数字和通道配置方面的灵活性。采样率为 2.56 GSPS,; 但是, 所有输出都组合在 2 个或 4 个通道中, 具体取决于接收设备的输入/输出速度能力。

CYD9689B 的设置如图 75 所示, 配置如下:

- 两个 2.56 GSPS,的 14 位转换器。
- 具有复杂输出 (I/Q) 的两个 DDC 应用层模式。
- 芯片抽取率=8。
- DDC 抽取比=8 (见表 46)。

CYD9689B 输出配置如下:

- 需要四个虚拟转换器 (见表33)。
- 输出采样速率 (f_{OUT}) = $2560 / 8 = 320$ MSPS。

JESD204B 支持的输出配置如下 (请参阅表 33):

- $N_1=16$ 位。
- $N=14$ 位。
- $L=2$, $M=4$, 和 $F=4$, 或 $L=4$, $M=4$, 和 $F=2$ 。
- $CS=0$ 。
- $K=32$ 。

- 输出串行通道速率=每通道 12.8Gbps (L=2) 或每通道 6.4Gbps (L=4)。

对于 L=2, 将 PLL 控制寄存器 0x056E 设置为 0x00。对于 L=4, 将 PLL 控制寄存器 0x056E 设置为 0x10。

确定性延迟

JESD204B 链路的两端包含分布在每个系统中的各种时钟域。数据从一个时钟域遍历到另一个时钟域可能会导致 JESD204B 链路中出不确定的延迟。这些不确定导致链路从一个电源周期或链路重置到下一个电源周期出现不可重复的延迟。JESD204B 规范的第 6 节解决了定义为子类 1 和子类 2 的机制的确定性延迟问题。CYD9689B 支持 JESD204b 子类 0 和子类 1 操作。寄存器 0x0590, 位[7: 5]设置 JESD204B 的子类模式, 其默认值设置为子类 1 工作模式 (寄存器 0x0590, 位 5=1)。如果确定性延迟不是系统要求, 则建议使用子类 0 操作, 并且可能不需要 SYSREF 信号。即使在子类 0 模式下, 多个 CYD9689B 器件必须相互同步的应用也可能需要 SYSREF 信号。本主题在时间戳模式部分中讨论。

子类 0 操作

如果在子类 0 模式 (寄存器 0x0590, 位数[7: 5]=0) 下工作时不需要多芯片同步, 则可以断开 SYSREF 输入。在此模式下, JESD204B 发射器和接收器之间的 JESD204B 时钟关系是任意的, 但不会影响接收器捕获和对齐链路内通道的能力。

子类 1 操作

JESD204B 协议将数据样本组织为八位字节、帧和多帧, 如传输层部分所述。LMFC 与这些多帧的开头同步。在子类 1 操作中, SYSREF 用于同步链路中或多个链路之间每个器件的 LMFC (在 CYD9689B 中, SYSREF 还同步内部采样分频器), 如图 78 所示。JESD204B 接收器使用多帧边界和缓冲来实现跨通道 (甚至多个设备) 的一致延迟, 并在电源周期和链路重置条件之间实现固定延迟。

确定性延迟要求

在 JESD204B 子类 1 系统中实现确定性延迟需要几个关键因素。

- SYSREF $\pm$ 系统内的信号分布偏斜必须小于系统所需的不确定性。
- 系统中每个器件都必须满足 SYSREF $\pm$ 建立和保持时间要求。
- 所有通道、链路和设备的总延迟变化必须为 ≤ 1 个 LMFC 周期 (参见图 76)。这包括可变延迟以及系统中通道之间、链路之间和设备之间固定延迟的变化。

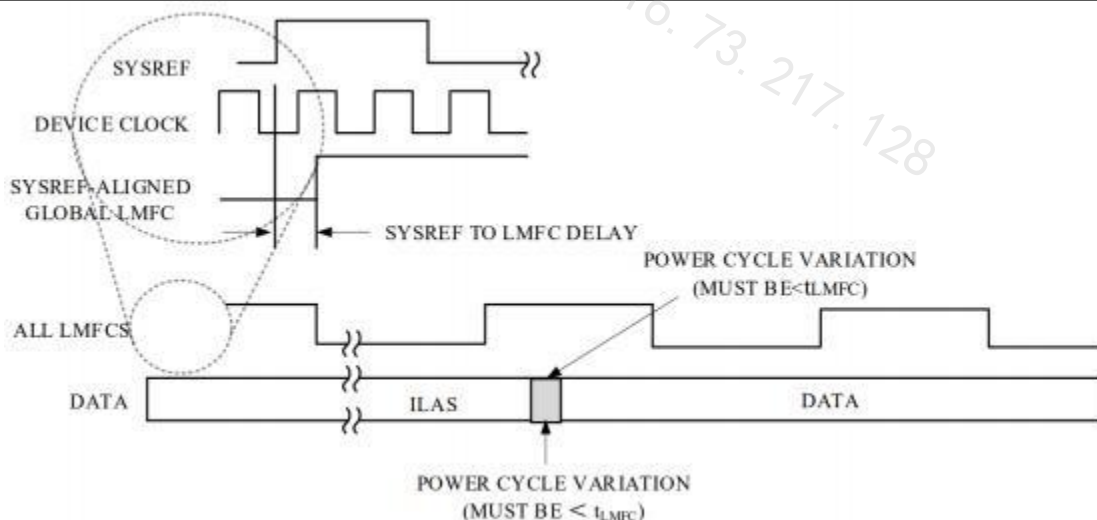


图 76.SYSREF 和 LMFC

设置确定性延迟寄存器

逻辑器件中的 JESD204B 接收缓冲器从 LMFC 边沿开始缓冲数据。如果系统中的总链路延迟接近 LMFC 周期的整数倍，则从一个功率周期到下一个功率周期，接收缓冲器处的数据到达时间可能与 LMFC 边沿重叠。为了确保这种情况下的确定性延迟，必须在发射机或接收机处执行 LMFC 的相位调整。通常，对接收器的 LMFC 进行调节以适应接收缓冲器。在 CYD9689B 中，可以使用 JTX LMFC 失调寄存器（寄存器 0x0578 的位[4: 0]）进行此调整。此寄存器以帧时钟增量延迟 LMFC，具体取决于 F 参数（每帧每通道的八位字节数）。对于 F=1，每隔一个设置（0、4、8、...）产生一帧时钟偏移。对于 F=2，每隔一个设置（0、2、4、...）产生一帧时钟偏移。对于 F 的所有其他值，每个设置都会导致一帧时钟偏移。图 77 显示，当链路延迟接近 LMFC 边沿时，可以延迟 CYD9689B 的本地 LMFC，以延迟接收器的数据到达时间。图 78 显示接收器的 LMFC 如何延迟以适应接收缓冲器时序。有关此调整的详细信息，请参阅适用的 JESD204B 接收器用户指南。如果系统中的总延迟不接近 LMFC 周期的整数倍，或者如果已经在时钟源处对 LMFC 相位进行了适当的调整，则从一个功率周期到下一个功率周期仍然可能具有可变延迟。在这种情况下，通过阅读 SYSREF±建立/保持监控寄存器（寄存器 0x0128），检查是否未满足 SYSREF±的建立和保持时间要求。此功能在 SYSREF±建立/保持窗口监视器部分中有详细说明。如果读取只读寄存器 0x0128 表明可能存在时序问题，则可以在 CYD9689B 中进行一些调整。使用 SYSREF±转换选择位（寄存器 0x0120 的位 4）更改用于对齐的 SYSREF±电平。此外，可以使用 CLK 边沿选择位（寄存器 0x0120，位 3）来更改用于捕获 SYSREF 的 CLK 的边沿。这两个选项都在 SYSREF 控制特性部分中描述。如果这些措施都无法实现可接受的建立和保持时间，则可能需要调整 SYSREF 的相位和/或器件时钟（CLK±）。

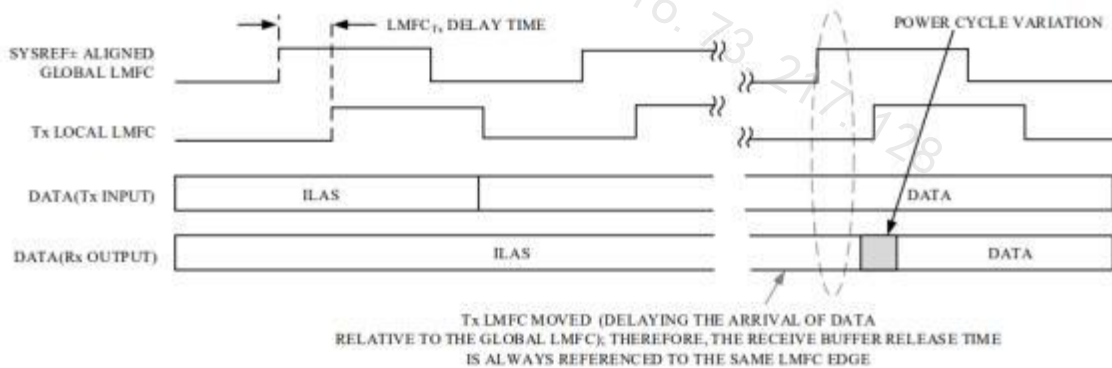


图 77.调整 CYD9689B 中的 JESD204B Tx LMFC

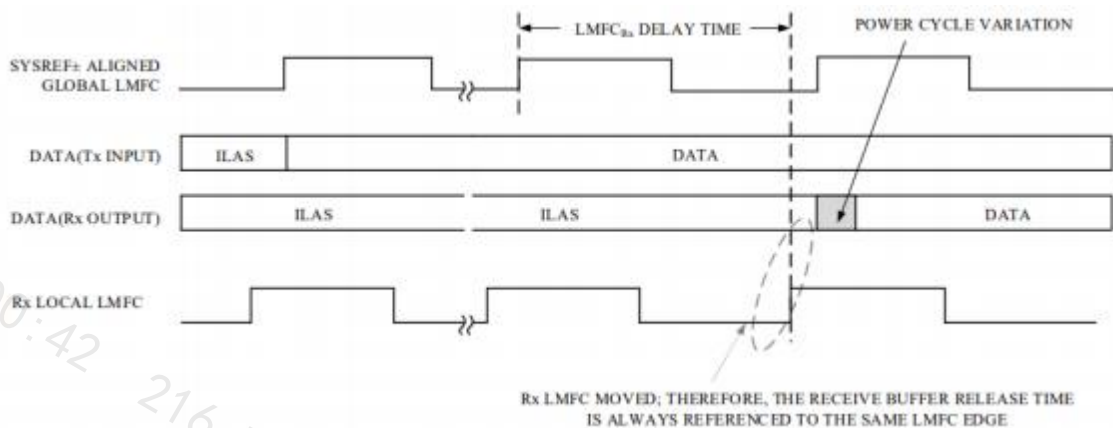


图 78.调整逻辑器件中的 JESD204B Rx LMFC

多芯片同步

图 80 中的流程图显示了 CYD9689B 中多芯片同步的内部机制。有两种方法可以进行多芯片同步，由芯片同步模式位（寄存器 0x01FF，位 0）决定。每种方法都涉及 SYSREF±信号的不同应用。

正常模式

芯片同步模式位的默认状态为 0，这将配置 CYD9689B 以进行正常的芯片同步。JESD204B 标准指定使用 SYSREF 在单个链路中提供确定性延迟。当应用于具有多个转换器和逻辑器件的系统时，相同的概念也可以提供多芯片同步。在图80 中，这被称为正常模式。按照流程图中的过程操作可确保 CYD9689B 配置正确。用户还必须查阅逻辑器件的用户知识产权指南，以确保 CYD9689B 接收器配置正确。

时间戳模式

对于所有 CYD9689B 全带宽工作模式，SYSREF 输入也可用于对样本进行时间戳。这是多通道、多设备实现同步的另一种方法。当将多个器件同步到一个或多个逻辑器件时，此方法特别有效。逻辑器件缓冲数据流，识别带时间戳的样本，并对齐它们。当芯片同步模式位（寄存器 0x01FF 的位 0）设置为 0x0 时，SYSREF 用于多个通道和/或器件的同步。在此模式下，SYSREF 重置采样分频器和 JESD204B 时钟。同步模式设置为 0x1 时，时钟不会被重置；相反，重合样本使用该样本的 JESD204B 控制位对重合样本添加时间戳。要在时间戳模式下运行，需要以下附加设置：

- 连续或 N 次触发 SYSREF±使能（寄存器 0x0120，位[2: 1]=十进制 1 或 2）

- 必须至少使能一个控制位（寄存器 0x058F，Bits[7: 6]=1，2，或 3）。
- 将其中一个控制位的功能设置为SYSREF±，如下所示：
 - 寄存器 0x0559，Bits[3: 0]=5 如果使用控制位 0。
 - 寄存器 0x0559，Bits[7: 4]=5 如果使用控制位 1。
 - 寄存器 0x055A，Bits[3: 0]=5 如果使用控制位 2。

图 79 显示了如何对与 SYSREF±重合的输入样本增加时间戳，并最终随 ADC 数据输出。在本例中，有两个控制位，控制位 0 表示哪个样本与 SYSREF±上升沿一致。每个通道的流水线延迟是相同的。如果需要，可以使用 SYSREF±时间戳延迟寄存器（寄存器 0x0123）来调整带时间戳的样本的时序。请注意，任何使用 DDC 抽取的CYD9689B 工作模式都不支持时间戳（其中 ENCODE CLK 的时钟频率为采样时钟的 1/4）。

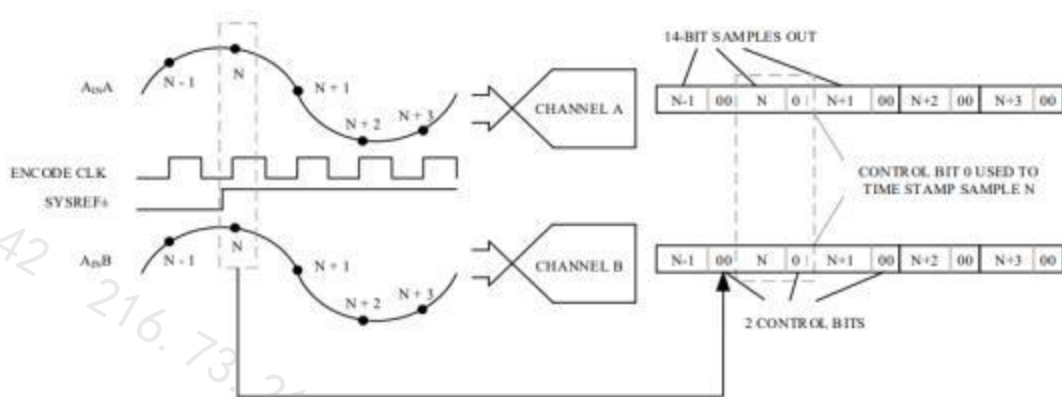


图79.CYD9689B 时间戳示例—CS=2（寄存器0x058F，位数[7: 6]=2），控制位0为SYSREF（寄存器0x0559，位数[3: 0]=5）

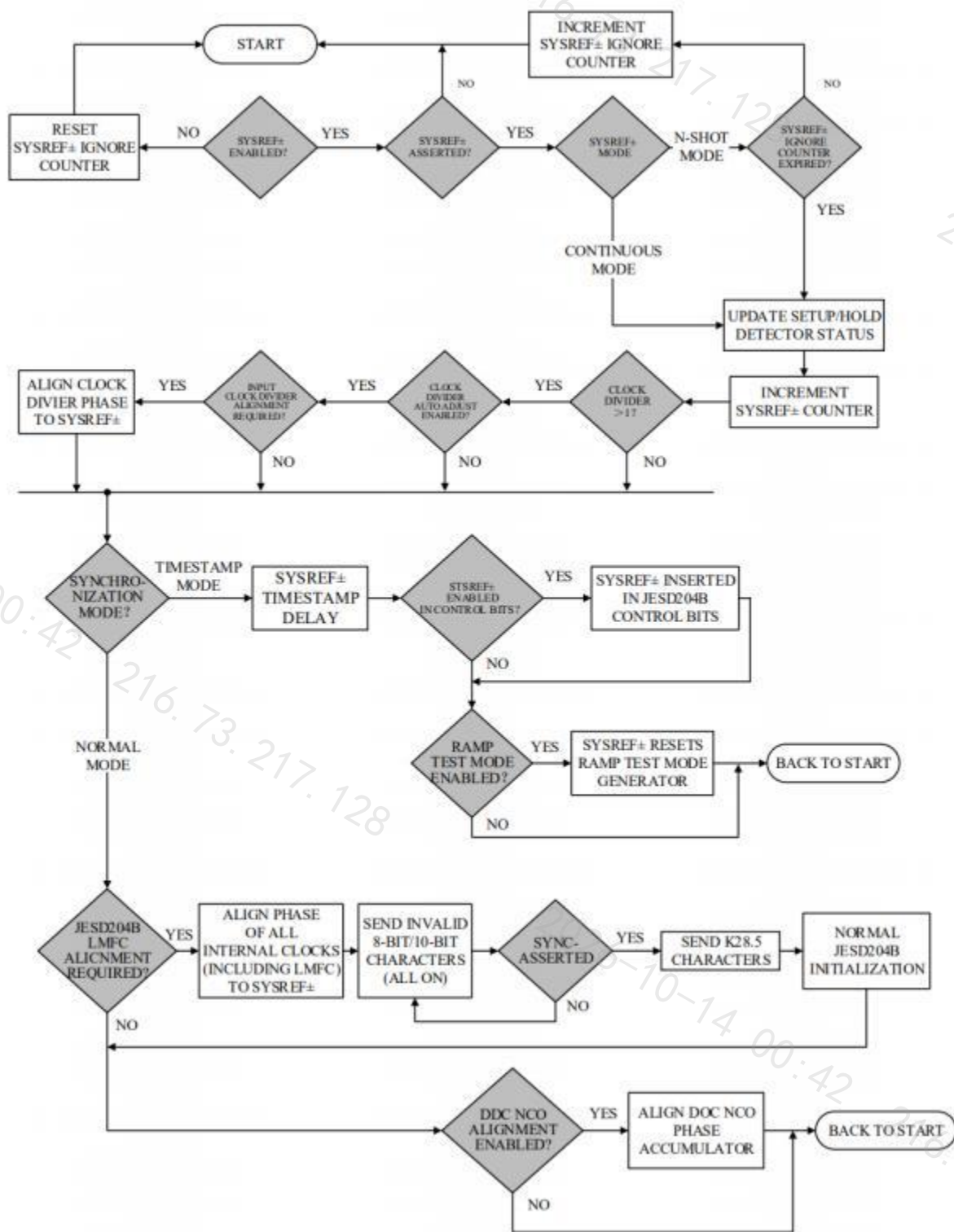


图 80.SYSREF 捕获场景和多芯片同步

SYSREF±输入

SYSREF±输入信号用作高精度系统基准电压源，以实现确定性延迟和多芯片同步。CYD9689B 接受单次或周期性输入信号。SYSREF±模式选择位（寄存器 0x0120 的位[2: 1]）选择输入信号类型，并在置 1 时激活 SYSREF±状态机。脉冲宽度的最小宽度必须为两个 CLK±周期。如果时钟分频器（寄存器 0x010B 的位[2: 0]）设置为除 1 分频以外的值，则将此最小脉冲宽度要求乘以分频比（例如，如果设置为 8 分频，则最小脉冲宽度为 16CLK±周期）。使用连续 SYSREF±信号（寄存器 0x0120 的位[2: 1]=1 十进制）时，SYSREF±信号的周期必须是 LMFC 的整数倍。LMFC 可以使用以下公式导出：

$$LMFC = ADCclock/S \times K$$

其中：S 是 JESD204B 参数，表示每个转换器的采样数。K 是 JESD204B 参数，表示每个多帧的帧数。通常不建议使用连续 SYSREF±信号，因为周期性 SYSREF±信号可能与采样路径耦合，从而在频谱中产生杂散。在采样同步模式（正常模式）下，输入时钟分频器、DDC、信号监控模块和 JESD204B 链路均使用 SYSREF±输入进行同步（寄存器 0x01FF，位 0=0x0。SYSREF±输入还可用于为 ADC 采样加时间戳，或提供一种机制，用于同步系统中的多个 CYD9689B 器件。要获得最高级别的时序精度，SYSREF±必须满足相对于 CLK±输入的建立和保持要求。CYD9689B 的多项特性可用于确保满足这些要求。这些特性在“SYSREF± 控制特性”部分中介绍。

SYSREF±控制特性

SYSREF±与输入时钟（CLK±）一起用作源同步时序接口的一部分，相对于 CLK±，建立和保持时序要求分别为 -44.8ps 和 64.4ps（见图 81）。CYD9689B 具有三种特性，可帮助客户满足这些要求。首先，SYSREF±采样事件可定义为同步低电平到高电平转换或同步高电平到低电平转换。其次，CYD9689B 允许使用输入时钟的上升沿或下降沿对 SYSREF±信号进行采样。图 81、图 82、图 83 和图 84 显示了所有四种可能的组合。

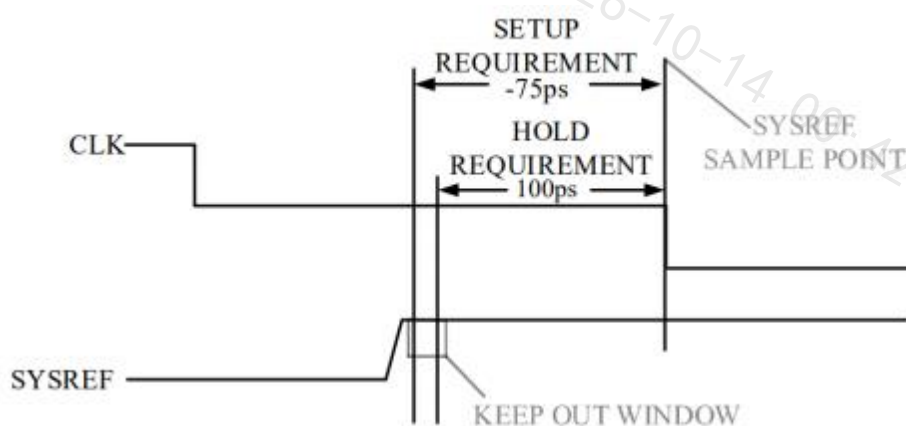


图 81.SYSREF 建立和保持时间要求—使用上升沿时钟捕获的SYSREF 低到高转换（默认）

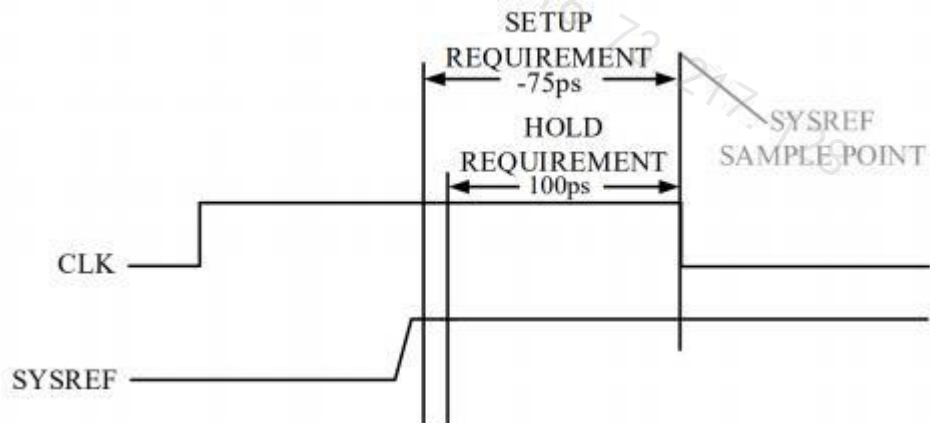


图 82.使用下降沿时钟捕获的 SYSREF 低到高转换（寄存器 0x0120，位 4=1'b0;寄存器 0x0120，位 3=1'b1）

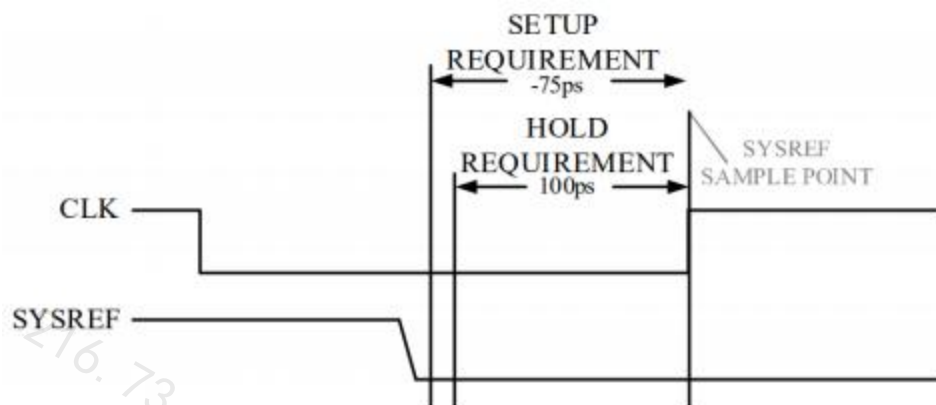


图 83.使用上升沿时钟捕获的 SYSREF 高到低转换（寄存器 0x0120，位 4=1'b1;寄存器 0x0120，位 3=1'b0）

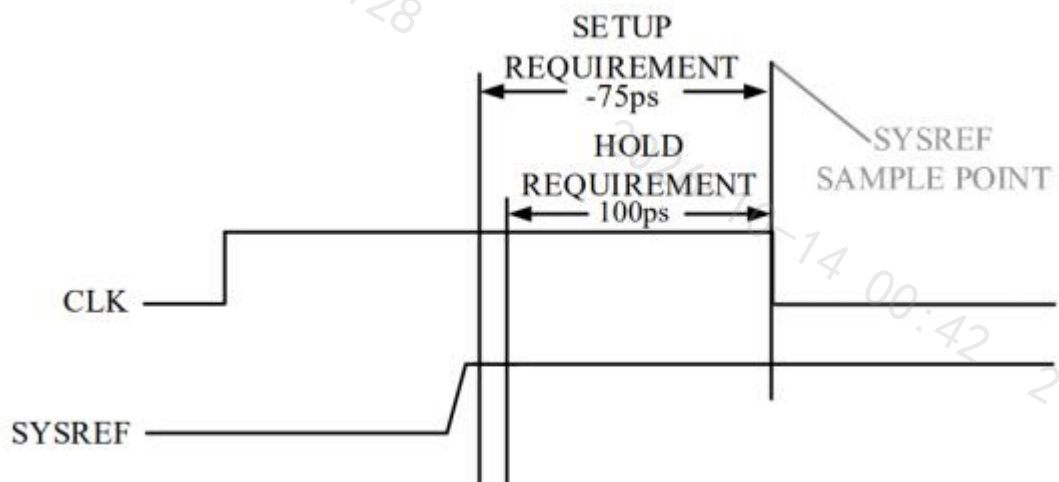


图 84.使用下降沿时钟捕获的 SYSREF 高到低转换（寄存器 0x0120，位4=1'b1;寄存器 0x0120，位 3=1'b1）

第三，CYD9689B 能够忽略可编程数量（最多 16 个）的 SYSREF±事件（通过将 SYSREF±模式寄存器（寄存器 0x0120 的位[2: 1]）设置为 2'b10、N 次触发模式，使能 SYSREF±忽略功能）。此功能有助于处理启动后需要时间建立的周期性 SYSREF±信号。忽略 SYSREF±直到系统中的时钟稳定，可以避免 SYSREF±触发不准确。（本设计中，无论是连续还是 N 次触发模式，均首先忽略 3 个 SYSREF±事件）

图 85 显示了忽略 3 个 SYSREF±事件时 SYSREF±忽略特性的示例。

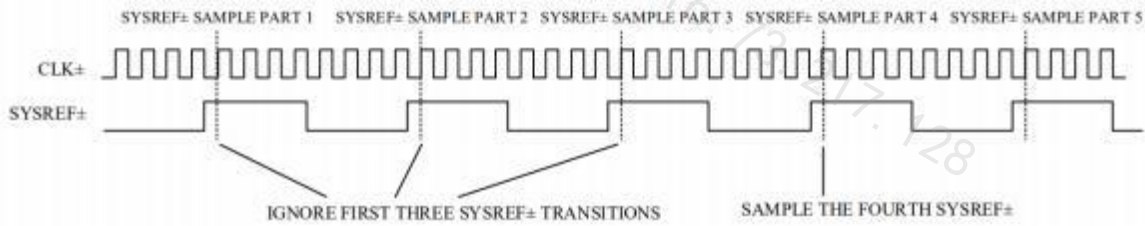


图 85.SYSREF 忽略示例 (SYSREF 忽略计数, 寄存器 0x0121, 位[3: 0]=3)

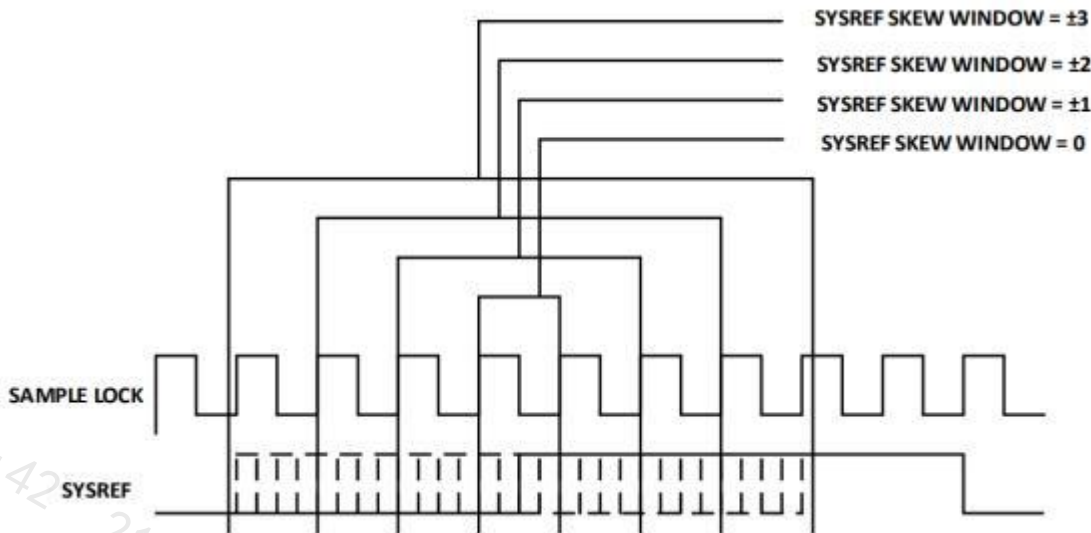


图 86.SYSREF 倾斜窗口

当处于连续 SYSREF 模式 (寄存器 0x0120, Bits[2: 1]=1) 时, CYD9689B 会监控 SYSREF 前沿相对于内部 LMFC 的位置。如果 SYSREF 是使用与 LMFC 对齐的时钟边沿以外的时钟边沿捕获的, 则 CYD9689B 将启动链路的重新同步。由于 CYD9689B 的输入时钟速率最高可达 5GHz, 因此 CYD9689B 提供了另一个与 SYSREF 相关的功能, 可以在周期精确捕获不可行或不需要的情况下容纳周期性 SYSREF 信号。对于这些情况, CYD9689B 具有一个可编程的 SYSREF 偏斜窗口, 允许内部分频器保持不受干扰, 除非 SYSREF 发生在偏斜窗口之外。SYSREF 偏移窗口的分辨率以采样时钟周期为单位设置。如果 SYSREF 负偏斜窗口为 1 且正偏斜窗口为 1, 则总偏斜窗口为 ± 1 个采样时钟周期, 这意味着, 只要 SYSREF 在与 LMFC 对齐的时钟的 ± 1 个采样时钟周期内捕获, 链路继续正常运行。如果 SYSREF 存在抖动, 这可能导致 SYSREF 和 LMFC 之间错位, 则此功能允许系统继续运行而无需重新同步, 同时仍允许设备监控不是由抖动引起的较大错误。对于 CYD9689B, 正和负偏斜窗口由 SYSREF 窗口负寄存器 (寄存器 0x0122, 位[3: 2]) 和 SYSREF 窗口正寄存器 (寄存器 0x0122, 位[1: 0]) 控制。图 86 显示了倾斜窗口设置相对于内部分频器的相位 0 的位置信息。负偏斜定义为在内部分频器到达相位 0 之前发生, 正偏斜定义为在内部分频器到达相位 0 之后。

SYSREF±建立/保持窗口监视器

为确保有效的 SYSREF 信号捕获, CYD9689B 具有一个 SYSREF±建立/保持窗口监控器。此功能允许系统设计人员通过读取存储器映射表回读接口上的建立/保持时间裕量, 从而确定 SYSREF±信号相对于 CLK±信号的位置。图 87 和图 88 显示了建立和保持状态值对于 SYSREF±的不同阶段。建立检测器返

回 CLK±边沿之前的 SYSREF±信号的状态，保持检测器返回CLK±边沿之后的 SYSREF 信号的状态。寄存器 0x0128 存储 SYSREF±的状态，并在 ADC 捕获 SYSREF±信号时通知用户。表 36 显示了寄存器0x0128 内容的描述以及相关解释。

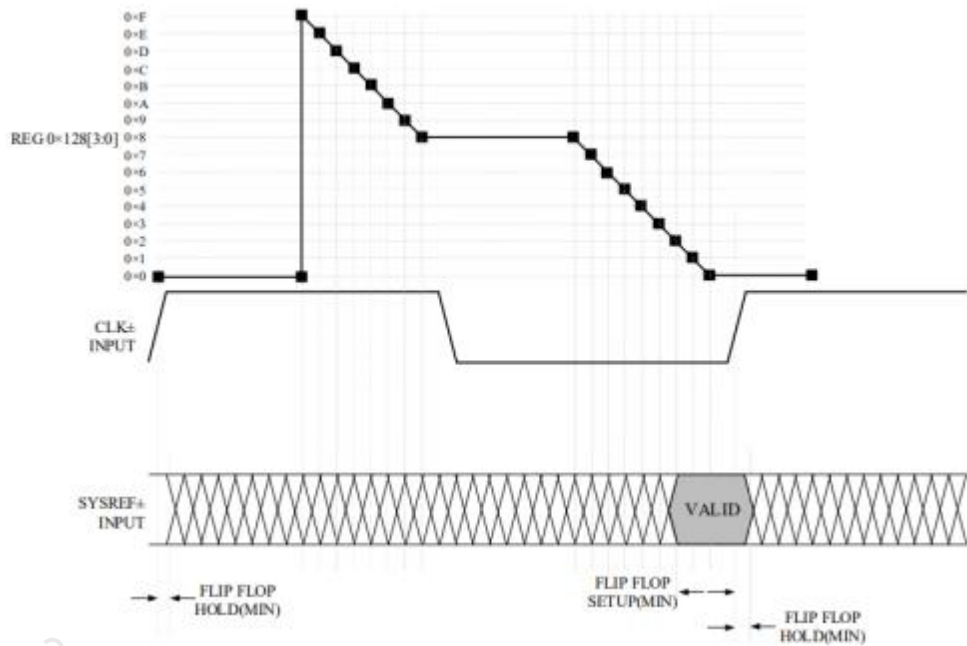


图 87.SYSREF±建立检测器

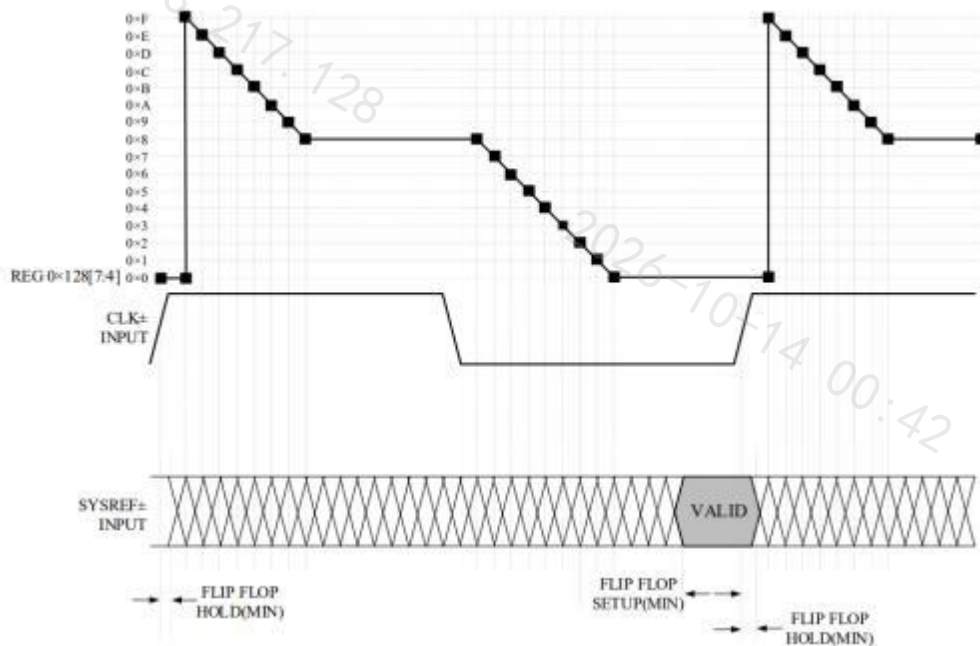


图 88.SYSREF±保持检测器

表 36.SYSREF±建立时间/保持时间监视器，寄存器0x0128

寄存器 0x0128 的位[7: 4]保持状态	寄存器 0x0128 的位[3: 0]建立状态	说明
0x0	0x0 至 0x7	可能的建立错误。此数字越小，建立裕度越小。
0x0 至 0x8	0x8	无建立或保持错误（最佳保持裕度）。
0x8	0x9 至 0xF	无建立或保持错误（最佳建立和保持裕度）。
0x8	0x0	无建立或保持错误（最佳建立裕度）。
0x9 至 0xF	0x0	可能的保持错误。此数字越大，保持裕度越小。
0x0	0x0	可能的建立或保持错误。

延迟

端到端总延迟

CYD9689B 的总延迟取决于芯片应用模式和 JESD204B 配置。对于这些参数的任何给定组合，延迟都是确定性的，但是，必须按照延迟计算示例部分所述计算此确定性延迟的值。表 37 显示了 CYD9689B 支持的不同芯片应用模式下通过 ADC 和 DSP 的组合延迟。表 38 显示了基于 M/L 比率的每种应用程序模式通过 JESD204B 块的延迟。对于这两个表，延迟是典型的，以编码时钟为单位。通过 CYD9689B 块的延迟不取决于输出数据类型（实数或复数）。因此，表 38 中不包括数据类型。要确定总延迟，请从表 37 中选择适当的 ADC+DSP 延迟，并将其添加到表 38 中适当的 JESD204B 延迟中。下一节提供了示例计算。

延迟计算示例

示例配置 1 如下所示：

- ADC 应用模式=全带宽
- 实际输出
- L=8，M=2，F=1，S=2（JESD204B 模式）
- $20 \times (M/L) = 5$
- 延迟=112+108=220 个编码时钟

示例配置 2 如下所示：

- ADC 应用模式=DCM4
- 复数输出
- L=4、M=2、F=1、S=1（JESD204B 模式）
- $20 \times (M/L) = 10$
- 延迟=372+224=596 个编码时钟

LMFC 参考延迟

某些 FPGA 供应商可能要求最终用户知道 LMFC 引用的延迟，以便进行适当的确定性延迟调整。如果需要，表 37 和表38 中的延迟值可用于模拟输入到 LMFC 和 LMFC 到数据输出的延迟值。

表 37.通过 ADC+DSP 模块的延迟（采样时钟数）¹

Chip Application Mode	Enabled Filters	ADC + DSP Latency
Full Bandwidth	Not applicable	112
DCM1(Real)	HB1	220
DCM2(Complex)	HB1	224
DCM3(Complex)	TB1	240
DCM2(Real)	HB2+HB1	364
DCM4(Complex)	HB2+HB1	372
DCM3(Real)	TB2+HB1	448
DCM6(Complex)	TB2+HB1	460
DCM4(Real)	HB3+HB2+HB1	612
DCM8(Complex)	HB3+HB2+HB1	628
DCM5(Real)	FB2+HB1	640
DCM10(Complex)	FB2+HB1	660
DCM6(Real)	TB2+HB2+HB1	816
DCM12(Complex)	TB2+HB2+HB1	840
DCM15(Real)	FB2+TB1	756
DCM8(Real)	HB4+HB3+HB2+HB1	1076
DCM16(Complex)	HB4+HB3+HB2+HB1	1108
DCM10(Real)	FB2+HB2+HB1	1232
DCM20(Complex)	FB2+HB2+HB1	1272
DCM12(Real)	TB2+HB3+HB2+HB1	1496
DCM10(Real)	FB2+HB2+HB1	1232
DCM20(Complex)	FB2+HB2+HB1	1272
DCM12(Real)	TB2+HB3+HB2+HB1	1496
DCM24(Complex)	TB2+HB3+HB2+HB1	1544
DCM30(Complex)	HB2+FB2+TB1	1468
DCM20(Real)	FB2+HB3+HB2+HB1	2344
DCM40(Complex)	FB2+HB3+HB2+HB1	2424
DCM24(Real)	TB2+HB4+HB3+HB2+HB1	2824
DCM48(Complex)	TB2+HB4+HB3+HB2+HB1	2920

1.DCMx 表示抽取率。

表 38.通过 JESD204B 块的延迟（采样时钟数）¹

Chip Application Mode	M/L Ratio ²						
	0.125	0.25	0.5	1	2	4	8
Full Bandwidth	N/A	108	N/A	N/A	N/A	N/A	N/A
DCM1	80	108	56	32	20	N/A	N/A
DCM2	152	232	112	64	40	N/A	N/A
DCM3	288	348	216	96	60	42	N/A
DCM4	352	432	224	128	80	56	N/A
DCM5	N/A	540	280	160	100	N/A	N/A
DCM6	N/A	648	336	192	120	84	N/A
DCM8	N/A	928	448	256	160	112	88
DCM10	N/A	N/A	560	320	200	140	N/A
DCM12	N/A	N/A	672	384	240	168	132
DCM15	N/A	N/A	840	480	300	N/A	N/A
DCM16	N/A	N/A	896	512	320	224	176
DCM20	N/A	N/A	N/A	640	400	280	220
DCM24	N/A	N/A	N/A	768	480	336	264
DCM30	N/A	N/A	N/A	960	600	420	N/A
DCM40	N/A	N/A	N/A	N/A	800	560	440
DCM48	N/A	N/A	N/A	N/A	960	672	528

1.N/A 表示不适用，表示不支持以列出的 M/L 比率计算应用程序模式。

2.M/L 比率是转换器数量除以配置的通道数。

3.所列 M/L 比率的应用模式仅在实际输出模式下受支持。

4.列出的 M/L 比率的应用程序模式仅在复杂输出模式下受支持。

测试模式

ADC 测试模式

CYD9689B 提供各种测试选项，有助于系统级实施。CYD9689B 具有 ADC 测试模式，可在寄存器 0x0550 中使用。这些测试模式如表 39 所述。使能输出测试模式时，ADC 的模拟部分与数字后端模块断开连接，测试模式通过输出编码模块运行。有些测试模式受输出格式的影响，有些则不然。通过设置寄存器 0x0550 的位 4 或位 5，可以复位伪随机噪声（PN）序列测试产生的 PN 发生器。这些测试可以在有或没有模拟信号的情况下执行（如果存在，模拟信号将被忽略）；但是，它们确实需要编码时钟。

如果应用模式设置为选择 DDC 操作模式，则必须为每个启用的 DDC 启用测试模式。测试模式可通过寄存器 0x0327 和寄存器 0x0347 以及 0x0367 的位 2 和位 0 使能，具体取决于所选的 DDC。I 路数据

使用为通道 A 选择的测试码型，Q 路数据使用为通道 B 选择的测试码型。仅对于 DDC3，I 路数据使用通道 A 的测试码型，Q 路数据不输出测试码型。寄存器 0x0387 的位 0 选择要用于 I 路数据的通道 A 测试码型。

表 39.ADC 测试码型

输出测试模式位序列	模式名称	表达式	默认/初始值	样本 (N,N+1,N+2,...)
0000	关闭 (默认)	不适用	不适用	不适用
0001	半满量程	00 0000 0000 0000	不适用	不适用
0010	正满量程	01 1111 1111 1111	不适用	不适用
0011	负满量程	10 0000 0000 0000	不适用	不适用
0100	Checkerboard	10 1010 1010 1010	不适用	0x1555,0x2AAA,0x1555,0x2AAA,0x1555
0101	长PN序列	$X^{23}+X^{18}+1$	0x3AFF	0x3FD7,0x0002,0x26E0,0x0A3D,0x1CA6
0110	短PN序列	X^9+X^5+1	0x0092	0x125B,0x3C9A,0x2660,0x0c65,0x0697
0111	0/1切换	11 1111 1111 1111	不适用	0x0000,0x3FFF,0x0000,0x3FFF,0x0000
1000	用户输入	寄存器0x0551至寄存器0x0558	不适用	User Pattern 1,Bits[15:2],User Pattern 2,Bits[15:2], User Pattern 3,Bits[15:2],User Pattern 4,Bits[15:2], User Pattern 1,Bits[15:2]...for repeat mode User Pattern 1,Bits[15:2],User Pattern 2,Bits[15:2], User Pattern 3,Bits[15:2],User Pattern 4,Bits[15:2], 0x0000...for single mode
1111	斜坡输出	$(x)\%2^{14}$	不适用	$(x)\%2^{14},(x+1)\%2^{14},(x+2)\%2^{14},(x+3)\%2^{14}$

JESD204B 模块测试模式

除了 ADC 流水线测试模式外，CYD9689B 在 JESD204B 模块中还具有灵活的测试模式。这些测试模式在寄存器 0x0573 和寄存器 0x0574 中列出。这些测试模式可以注入到输出数据路径上的各个点。表 40 描述了 JESD204B 块中可用的各种测试模式。对于 CYD9689B，从测试模式（寄存器 0x0573≠0x00）转换为正常模式（寄存器 0x0573=0x00）需要 SPI 软复位。这是通过将 0x81 写入寄存器 0x0000（自清零）来完成的。

传输层采样测试模式

传输层样本在 CYD9689B 中实现，如 JEDEC JESD204B 规范中第 5.1.6.3 节所定义。这些测试显示在寄存器 0x0571 位 5 中。测试码与 ADC 的原始数据等价。

接口测试模式

接口测试模式在寄存器 0x0573 的位[3: 0]中描述。这些测试模式也在表 40 中进行了说明。接口测试可以在数据沿着的各个点注入。寄存器 0x0573 的位[5: 4]显示这些测试注入的位置。

表 41、表 42 和表 43 显示了在 JESD204B 采样输入、物理层 (PHY) 10 位输入和加扰器 8 位输入注入时的部分测试模式示例。UPx 表示来自客户寄存器映射的用户模式控制位。

表 40.JESD204B 接口测试模式

输出测试模式位序列	模式名称	表达式	样本 (N,N+1,N+2,...)
0000	关闭 (默认)	不适用	不适用
0001	Alternating checkerboard	0x5555,0xAAAA,0x5555,...	不适用
0010	1/0字切换	0x0000,0xFFFF,0x0000,...	不适用
0011	31比特PN序列	$x^{31}+x^{28}+1$	0x0003AFFF
0100	23比特PN序列	$x^{23}+x^{18}+1$	0x003AFF
0101	15比特PN序列	$x^{15}+x^{14}+1$	0x03AF
0110	9比特PN序列	x^9+x^5+1	0x092
0111	7比特PN序列	x^7+x^6+1	0x07
1000	斜坡输出	$(x)\%2^{16}$	斜坡大小取决于测试注入点
1110	重复用户测试模式	寄存器0x0551至寄存器0x0558	用户模式1到用户模式4, 然后重复
1111	单次用户测试模式	寄存器0x0551至寄存器0x0558	用户模式1到用户模式4, 然后归零

表 41.JESD204B M=2、S=2、N'=16 的采样输入 (寄存器 0x0573, 位[5: 4]='b00)

Frame Number	Converter Number	Sample Number	Alternating Checkerboard	1/0 Word Toggle	Ramp	PN9	PN23	User Repeat	User Single
0	0	0	0x5555	0x0000	$(x)\%2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
0	0	1	0x5555	0x0000	$(x)\%2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
0	1	0	0x5555	0x0000	$(x)\%2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
0	1	1	0x5555	0x0000	$(x)\%2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
1	0	0	0xAAAA	0xFFFF	$(x+1)\%2^{16}$	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
1	0	1	0xAAAA	0xFFFF	$(x+1)\%2^{16}$	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
1	1	0	0xAAAA	0xFFFF	$(x+1)\%2^{16}$	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
1	1	1	0xAAAA	0xFFFF	$(x+1)\%2^{16}$	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
2	0	0	0x5555	0x0000	$(x+2)\%2^{16}$	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
2	0	1	0x5555	0x0000	$(x+2)\%2^{16}$	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
2	1	0	0x5555	0x0000	$(x+2)\%2^{16}$	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
2	1	1	0x5555	0x0000	$(x+2)\%2^{16}$	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
3	0	0	0xAAAA	0xFFFF	$(x+3)\%2^{16}$	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
3	0	1	0xAAAA	0xFFFF	$(x+3)\%2^{16}$	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
3	1	0	0xAAAA	0xFFFF	$(x+3)\%2^{16}$	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
3	1	1	0xAAAA	0xFFFF	$(x+3)\%2^{16}$	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
4	0	0	0x5555	0x0000	$(x+4)\%2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
4	0	1	0x5555	0x0000	$(x+4)\%2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
4	1	0	0x5555	0x0000	$(x+4)\%2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
4	1	1	0x5555	0x0000	$(x+4)\%2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000

表 42.物理层 10 位输入（寄存器 0x0573，位[5: 4]='b01'）

10-Bit Symbol Number	Alternating Checkerboard	1/0 Word Toggle	Ramp	PN9	PN23	User Repeat	User Single
0	0x155	0x000	$(x)\%2^{10}$	0x125	0x3FD	UP1[15:6]	UP1[15:6]
1	0x2AA	0x3FF	$(x+1)\%2^{10}$	0x2FC	0x1C0	UP2[15:6]	UP2[15:6]
2	0x155	0x000	$(x+2)\%2^{10}$	0x26A	0x00A	UP3[15:6]	UP3[15:6]
3	0x2AA	0x3FF	$(x+3)\%2^{10}$	0x198	0x1B8	UP4[15:6]	UP4[15:6]
4	0x155	0x000	$(x+4)\%2^{10}$	0x031	0x028	UP1[15:6]	0x000
5	0x2AA	0x3FF	$(x+5)\%2^{10}$	0x251	0x3D7	UP2[15:6]	0x000
6	0x155	0x000	$(x+6)\%2^{10}$	0x297	0x0A6	UP3[15:6]	0x000
7	0x2AA	0x3FF	$(x+7)\%2^{10}$	0x3D1	0x326	UP4[15:6]	0x000
8	0x155	0x000	$(x+8)\%2^{10}$	0x18E	0x10F	UP1[15:6]	0x000
9	0x2AA	0x3FF	$(x+9)\%2^{10}$	0x2CB	0x3FD	UP2[15:6]	0x000
10	0x155	0x000	$(x+10)\%2^{10}$	0x0F1	0x31E	UP3[15:6]	0x000
11	0x2AA	0x3FF	$(x+11)\%2^{10}$	0x3DD	0x008	UP4[15:6]	0x000

表 43.扰码器 8 位输入（寄存器 0x0573，位[5: 4]='b10'）

8-Bit Octet Number	Alternating Checkerboard	1/0 Word Toggle	Ramp	PN9	PN23	User Repeat	User Single
0	0x55	0x00	$(x)\%28$	0x49	0xFF	UP1[15:9]	UP1[15:9]
1	0xAA	0xFF	$(x+1)\%28$	0x6F	0x5C	UP2[15:9]	UP2[15:9]
2	0x55	0x00	$(x+2)\%28$	0xC9	0x00	UP3[15:9]	UP3[15:9]
3	0xAA	0xFF	$(x+3)\%28$	0xA9	0x29	UP4[15:9]	UP4[15:9]
4	0x55	0x00	$(x+4)\%28$	0x98	0xB8	UP1[15:9]	0x00
5	0xAA	0xFF	$(x+5)\%28$	0x0C	0x0A	UP2[15:9]	0x00
6	0x55	0x00	$(x+6)\%28$	0x65	0x3D	UP3[15:9]	0x00
7	0xAA	0xFF	$(x+7)\%28$	0x1A	0x72	UP4[15:9]	0x00
8	0x55	0x00	$(x+8)\%28$	0x5F	0x9B	UP1[15:9]	0x00
9	0xAA	0xFF	$(x+9)\%28$	0xD1	0x26	UP2[15:9]	0x00
10	0x55	0x00	$(x+10)\%28$	0x63	0x43	UP3[15:9]	0x00
11	0xAA	0xFF	$(x+11)\%28$	0xAC	0xFF	UP4[15:9]	0x00

数据链路层测试模式

数据链路层测试模式在 CYD9689B 中实现，如 JEDEC JESD204B 规范第 5.3.3.8.2 节所定义。这些测试模式选择位于寄存器 0x0574，Bits[2: 0]中。此时插入的测试模式对于验证数据链路层的功能非常有用。当使能数据链路层测试模式时，通过将 0xC0 写入寄存器 0x0572 来禁用 SYNCINB±。

串行端口接口

CYD9689B SPI 允许用户通过 ADC 内部提供的寄存器去配置特定功能或操作。为用户提供了额外的灵活性和定制性，具体取决于应用程序，地址通过串行端口访问，并且可以通过端口写入或读取，内存被组织成字节，这些字节可以进一步划分为字段，这些字段记录在寄存器映射表中。

使用 SPI 进行配置

CYD9689BADC 的 SPI 由三个引脚定义：SCLK 引脚、SDIO 引脚和 CSB 引脚（见表 44）。SCLK（串行时钟）引脚用于同步读写数据至 ADC 中，SDIO（串行数据输入/输出）引脚是一个两用引脚，允许从内部 ADC 存储器映射寄存器发送和读取数据。CSB（片选信号）引脚控制为低电平有效，用于启用或禁用读/写周期。

表 44.SPI 引脚

引脚	功能描述
SCLK	串行时钟。串行时钟输入用于同步串行接口的数据读取和写入。
SDIO	串行数据输入/输出。一种两用引脚，通常用作输入或输出，具体取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。一种对读写周期进行门控的低电平控制位。

CSB 的下降沿与 SCLK 的上升沿一起确定时序帧的开始。串行时序及其定义的示例可在图 5 和表 5 中找到。

其他涉及 CSB 引脚的模式也可用，CSB 引脚可以无限期地保持为低电平，从而永久启用该器件，这称为流式处理。CSB 可以在字节之间停滞为高电平，以允许额外的外部计时，当 CSB 连接为高电平时，SPI 功能处于高阻抗模式，此模式打开任何 SPI 引脚的辅助功能。

所有数据均由 8 位字节组成，串行数据每个字节的第一位表明是读取还是写入命令，允许 SDIO 引脚从数据输入更改为输出。

除了字长之外，指令阶段还决定了串行帧是读操作还是写操作，允许串行端口用于对芯片进行编程和读取片上存储器的内容。如果指令是回读操作，则执行回读会导致 SDIO 引脚在串行帧中的相应点从输入更改为输出的方向。

数据可以在 MSB 优先模式或 LSB 优先模式下发送。MSB 优先模式是上电时的默认状态，可以通过 SPI 端口配置寄存器进行更改。

硬件接口

表 44 中描述了用户可编程器件和 CYD9689B 串行端口之间的物理接口的引脚特性。使用 SPI 接口时，SCLK 引脚和 CSB 引脚用作输入。SDIO 引脚是双向的，在写入阶段用作输入，在回读期间用作输出。SPI 接口足够灵活，可以由 FPGA 或微控制器控制。在需要转换器的全部动态性能期间，请勿启用

SPI 端口。由于 SCLK 信号、CSB 信号和 SDIO 信号通常与 ADC 时钟异步，因此这些信号的噪声会降低转换器性能。如果板载 SPI 总线用于其他器件，则可能需要在该总线和 CYD9689B 之间提供缓冲器，以防止这些信号在关键采样周期内对芯片进行控制命令。

SPI 可访问特性

表 45 提供了可通过 SPI 访问的一般功能的简要说明。CYD9689B 器件具体特性描述参见寄存器映射表。

表 45. 使用 SPI 访问的功能

特性	描述
模式	允许用户设置断电模式或待机模式。
时钟	允许用户通过 SPI 访问时钟分频器。
DDC	允许用户为不同的应用设置抽取滤波器。
测试输入/输出	允许用户设置测试模式，使输出位上有已知数据。
输出模式	允许用户设置输出。
SERDES 输出设置	允许用户更改 SERDES 设置，如摆动和加重。

寄存器映射

读取存储器映射寄存器表

内存映射寄存器表中的每一行都有 8 位位置。内存映射分为以下部分：

- 模拟功能 SPI 寄存器（寄存器 0x0000 到寄存器 0x000F）
- 时钟/SYSREF/芯片掉电引脚控制寄存器
- 寄存器 0x003F 到寄存器 0x0201
- 快速检测和信号监控控制寄存器（寄存器 0x0245 到寄存器 0x027A）
- DDC 功能寄存器（寄存器 0x0300 到寄存器 0x03CD）
- 数字输出和测试模式寄存器（寄存器 0x0550 到寄存器 0x05CB）
- 可编程滤波器控制和系数寄存器
- 寄存器 0x0DF8 到寄存器 0x0F7F
- VREF/模拟输入控制寄存器（寄存器 0x18A6 到寄存器 0x1A4D）

表 43（详细参见寄存器映射表）记录了所示每个十六进制地址的默认十六进制值。第 7 位是给定的十六进制值的最高位（MSB）。例如，输出采样模式寄存器地址 0x0561 的十六进制默认值为 0x01，这意味着第 0 位=1，其余位为 0。该值为该地址的默认值，即二进制补码。有关此功能和其他功能的更多信息，请参阅表 46。

未分配和保留位置

该器件目前不支持表 46 中未包含的所有地址和位位置。用 0 写入有效地址位置的未使用位，除非另行设置了默认值。仅当地址位置的一部分未分配时（例如，地址 0x0561），才需要写入这些位置。

如果整个地址位置都处于打开状态（例如，地址 0x0013），则不要写入此地址位置。

默认值

CYD9689B 复位后，关键寄存器加载默认值。寄存器的默认值在寄存器映射表 46 中给出。

指定通道寄存器

某些通道设置功能，例如信号监控器控制（寄存器 0x0270），可以为每个通道编程为不同的值。在这些情况下，每个通道的通道地址位置在内部都是重复的。这些寄存器和位在表 46 中指定为本地寄存器。这些本地寄存器和位可以通过在寄存器 0x0008 中设置适当的通道 A 或通道 B 位来访问。

如果两个位都被设置，则后续的写入会影响两通道的寄存器。在一个读周期中，仅设置通道 A 或通道 B 以读取两个寄存器中的一个。如果在 SPI 读取周期内两个位都设置了，则器件返回通道 A 的值。

表 46 中指定为全局的寄存器和位会影响整个器件和通道功能，通道之间不允许独立设置。寄存器 0x0005 中的设置不会影响全局寄存器和位。

SPI 软复位

在对寄存器 0x0000 进行编程 0x81 发出软复位后，CYD9689B 需要 5ms 才能恢复。在对 CYD9689B 进行编程以进行应用程序设置时，请确保在置位软复位后和开始器件设置之前，在固件中编程足够的延迟。

寄存器映射表

此设备当前不支持表 46 中未包含的所有地址位置，并且不得写入。

表 46. 寄存器映射表详细信息

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
Analog Devices SPI Registers							
0x0000	SPI Configuration A	7	Soft reset mirror(selfclearing)		Whenever a soft reset is issued, the user must wait 5 ms before writing to any other register. This provides sufficient time for the boot loader to complete.	0x0	R/WC
				0	Do nothing.		
				1	Reset the SPI and registers (self clearing).		
		6	LSB first mirror	1	Least significant bit (LSB) shifted first for all SPI operations.	0x0	R/W
				0	Most significant bit (MSB) shifted first for all SPI operations.		
		5	Address ascension mirror	0	Multibyte SPI operations cause addresses to autodecrement.	0x0	R/W
				1	Multibyte SPI operations cause addresses to autoincrement.		

		[4:3]	Reserved		Reserved.	0x0	R
		2	Address ascension	0	Multibyte SPI operations cause addresses to auto-decrement.	0x0	R/W
				1	Multibyte SPI operations cause addresses to auto-increment.		
		1	LSB first	1	LSB shifted first for all SPI operations.	0x0	R/W
				0	MSB shifted first for all SPI operations.		
0x0001	SPI Configuration B	0	Soft reset (self clearing)		Whenever a soft reset is issued, the user must wait 5 ms before writing to any other register. This provides sufficient time for the boot loader to complete.	0x0	R/WC
				0	Do nothing.		
				1	Reset the SPI and registers (self clearing).		
		[7:2]	Reserved		Reserved.	0x0	R
0x0002	Chip configuration (local)	1	Datapath soft reset (self clearing)	0	Normal operation.	0x0	R/WC
				1	Datapath soft reset (self clearing).		
		0	Reserved		Reserved.	0x0	R
		[7:2]	Reserved		Reserved.	0x0	R
0x0003	Chip type	[1:0]	Channel power mode	00	Channel power modes.	0x0	R/W
				10	Normal mode (power-up).		
				11	Standby mode; digital datapath clocks disabled; CYD9689B interface enabled.		
					Power-down mode; digital datapath clocks disabled; digital datapath held in reset; CYD9689B interface disabled.		
0x0004	Chip ID LSB	[7:0]	Chip ID LSB [7:0]	0x3	Chip type.	0x03	R
				0x49	High speed ADC.		
0x0005	Chip ID MSB	[7:0]	Chip ID MSB [15:8]		Chip ID. CYD9689	0x49	R
0x0006	Chip grade	[7:4]	Chip speed grade		Chip ID. B	0x0	R
		[3:0]	Reserved		Reserved.	0x0	R
0x0008	Device index	[7:2]	Reserved		Reserved.	0x0	R

		1	Channel B	0	ADC Core B does not receive the next SPI command.	0x1	R/W
				1	ADC Core B receives the next SPI command.		
		0	Channel A	0	ADC Core A does not receive the next SPI command.	0x1	R/W
				1	ADC Core A receives the next SPI command.		
0x000A	Scratch pad	[7:0]	Scratch pad		Chip scratch pad register. This register provides a consistent memory location for software debugging.	0x0	R/W
0x000B	SPI revision	[7:0]	SPI revision		SPI revision register. 0x01: Revision 1.0.	0x1	R
				00000001	Revision 1.0.		
0x000C	Vendor ID LSB	[7:0]	Vendor ID LSB		Vendor ID [7:0].	0x56	R
0x000D	Vendor ID MSB	[7:0]	Vendor IDMSB		Vendor ID [15:8].	0x04	R
0x000F	Transfer	[7:1]	Reserved		Reserved.	0x0	R
		0	Chip transfer		Self clearing chip transfer bit. This bit is used to update the DDC phase increment and phase offset registers when DDC phase update mode (Register 0x0300, Bit 7) = 1. This makes it possible to synchronously update the DDC mixer frequencies. This bit is also used to update the coefficients for the programmable filter (PFILT). Do nothing. Bit is only cleared after transfer is complete.	0x0	R/W
				0	Do nothing. Bit is only cleared after transfer is complete.		
				1	Self clearing bit used to synchronize the transfer of data from master to slave registers.		

Clock/SYSREF/Chip PDWN Pin Control Registers

0x003F	Chip PDWN pin (local)	7	Local chip PDWN pin disable	0	Function is determined by Register 0x0040, Bits[7:6]. Power-down pin (PDWN/STBY) enabled (default). Power-down pin (PDWN/STBY) disabled/ignored.	0x0	R/W
				1			
		[6:0]	Reserved		Reserved.	0x0	R
0x0040	Chip Pin Control 1	[7:6]	Global chip PDWN pin functionality	00	External power-down pin functionality. Assertion of the external power-down pin (PDWN/STBY) has higher priority than the channel power mode control bits (Register 0x0002, Bits[1:0]). The PDWN/STBY pin is only used when Register 0x0040, Bits[7:6] = 00 or 01. Power-down pin (default). Assertion of external power-down pin (PDWN/STBY) causes the chip to enter full power-down mode.	0x0	R/W
				01	Standby pin. Assertion of external power-down pin (PDWN/STBY) causes the chip to enter standby mode.		

				10	Pin disabled. Power-down pin (PDWN/STBY) is ignored.		
		[5:3]	ChipFD_B/GPIO_B 0 pin functionality	000	Fast Detect B/GPIO B0 pin functionality. Fast Detect B output.	0x7	R/W
				001	CYD9689B LMFC output		
				110	Pin functionality determined by 0x0041[7:4]		
				111	Disabled. Configured as input with weak pull-down (default).		
		[2:0]	ChipFD_A/GPIO_A0 pin functionality	000	Fast Detect A/GPIO A0 pin functionality. Fast Detect A output.	0x7	R/W
				001	CYD9689B LMFC output.		
				110	Pin functionality determined by Register 0x0041, Bits[3:0]		
				111	Disabled. Configured as an input with weak pull-down (default).		
0x0041	Chip Pin Control 2	[7:4]	Chip FD_B/GPIO_B0 pin secondary functionality	0000	Fast Detect A/GPIO A0 pin functionality. Fast Detect A output.	0x0	R/W
				0001	CYD9689B LMFC output.		
				1000	Pin functionality determined by Register 0x0041, Bits[3:0]		
				1001	Disabled. Configured as an input with weak pull-down (default).		
		[3:0]	Chip FD_A/GPIO_A0 pin secondary functionality	0000	Fast Detect A/GPIO B0 pin secondary functionality (only used when Register 0x0040, Bits[2:0] = 110). Chip GPIO A0 input (NCO channel selection).	0x0	R/W
				0001	Chip transfer input.		
				1000	Master next trigger output (MNT0).		
				1001	Slave next trigger input (SNTI).		
0x0042	Chip Pin Control 3	[7:4]	Chip GPIO_B1 pin functionality		GPIO B1 pin functionality.	0xF	R/W
				0000	Chip GPIO B1 input (NCO channel selection).		
				1000	Master next trigger output (MNT0).		
				1001	Slave next trigger input (SNTI).		
				1100	jesd204b_dtest_output<1>output		
				1111	Disabled (configured as input with weak pull-down).		
		[3:0]	Chip GPIO_A1 pin functionality		GPIO A1 pin functionality.	0xF	R/W

				0000	Chip GPIO A1 input (NCO channel selection).		
				1000	Master next trigger output (MNT0).		
				1001	Slave next trigger input (SNTI).		
				1100	jesd204b_dtest_output<0>output		
				1111	Disabled (configured as input with weak pull-down).		
0x0108	Clock divider control	[7:4]	Reserved		Reserved.	0x0	R
		[3]	Clock channel enable		clk_channel_en 0 Clock channel disabled, use receiver data for output. 1 Clock channel enable.(default)	0x1	R/W
		[2:0]	Input clock divider (CLK± pins)			0x0	R/W
				00	Divide by 1.		
				01	Divide by 2.		
				11	Divide by 4.		
0x0109	Clock divider phase (local)	[7:4]	Reserved		Reserved.	0x0	R
		[3:0]	Clock divider phase offset			0x0	R/W
				0000	0 input clock cycles delayed.		
				0001	½ input clock cycles delayed (invert clock).		
				0010	1 input clock cycles delayed.		
				...	...		
				11	7 input clock cycles delayed.		
				10			
				1111	7½ input clock cycles delayed.		
0x010A	Clock divider and SYSREF control	7	Clock divider auto phase adjust enable		Clock divider autophase adjust enable. When enabled, Register 0x0129, Bits[3:0] contain the phase of the divider when SYSREF occurred. 0 Clock divider phase is not changed by SYSREF (disabled). 1 Clock divider phase is automatically adjusted by SYSREF (enabled).	0x0	R/W
		[6:4]	Reserved		Reserved.	0x0	R
		[3:2]	Clock divider negative skew window		Clock divider negative skew window (measured in ½ input device clocks). Number of ½ clock cycles before the input device clock by which captured SYSREF transitions are ignored. Only used when Register 0x010A, Bit 7 = 1. Register 0x010A, Bits[3:2] + Register 0x010A, Bits[1:0] < Register	0x0	R/W

				0	0x0108, Bits[2:0]. This allows some uncertainty in the sampling of SYSREF without disturbing the input clock divider. Also, SYSREF must be disabled (Register 0x0120, Bits[2:1] = 0x0) when changing this control field.(adj_sysref_divider_neg<1:0>) No negative skew; SYSREF must be captured accurately.		
				1	½ device clock of negative skew.		
				10	1 device clocks of negative skew.		
				11	1½ device clocks of negative skew.		
		[1:0]	Clock divider positive skew window	0	Clock divider positive skew window (measured in ½ input device clocks). Number of clock cycles after the input device clock by which captured SYSREF transitions are ignored. Only used when Register 0x010A, Bit 7 = 1. Register 0x010A, Bits[3:2] + Register 0x010A, Bits[1:0] < Register 0x0108, Bits[2:0]. This allows some uncertainty in the sampling of SYSREF without disturbing the input clock divider. Also, SYSREF must be disabled (Register 0x0120, Bits[2:1] = 0x0) when changing this control field. No positive skew; SYSREF must be captured accurately.	0x0	R/W
				1	½ device clock of positive skew.		
				10	1 device clocks of positive skew.		
				11	1½ device clocks of positive skew.		
0x010B	Clock divider SYSREF status	[7:4]	Reserved		Reserved.	0x0	R
		[3:0]	Clock divider SYSREF offset		Clock divider phase status (measured in ½ clock cycles). Internal clock divider phase of the captured SYSREF signal applied to the phase offset. Only used when 0x010A[7] = 1. When Register 0x010A, Bit 7 = 1, Register 0x010A, Bits[3:2] = 0, and Register 0x010A, Bits[1:0] = 0, the clock divider SYSREF offset = Register 0x0129, Bits[3:0].	0x0	R
		[7:3]	Reserved		Reserved.	0x0	R
		[2:0]	Clock delay mode select		Clock delay mode select. Used in conjunction with	0x0	R/W

				000	Register 0x0111 and Register 0x0112. No clock delay.		
				010	Fine delay: only 0 to 16 delay steps are valid.		
				011	Fine delay (lowest jitter): only 0 to 16 delay steps are valid.		
				100	Fine delay: all 192 delay steps are valid.		
				110	Fine delay enabled (all 192 delay steps are valid); superfine delay enabled (all 128 delay steps are valid).		
0x0111	Clock superfine delay (local)	[7:0]	Clock superfine delay adjust	0x00	Clock superfine delay adjust. This is an unsigned control to adjust the superfine sample clock delay in 0.25 ps steps. These bits are only used when Register 0x0110, Bits[2:0] = 010 or 110. 0 delay steps.	0x0	R/W
				...	...		
				0x08	8 delay steps.		
				...	...		
				0x80	128 delay steps.		
0x0112	Clock fine delay (local)	[7:0]	Set clock fine delay	0x00	Clock fine delay adjust. This is an unsigned control to adjust the fine sample clock skew in 1.725 ps steps. These bits are only used when Register 0x0110, Bits[2:0] = 0x2, 0x3, 0x4, or 0x6. Minimum = 0. Maximum = 192. Increment = 1. Unit = delay steps. 0 delay steps.	0xC0	R/W
				...	...		
				0x08	8 delay steps.		
				...	...		
				0xC0	192 delay steps.		
0x011B	Clock status	[7:1]	Reserved		Reserved.	0x0	R
		0	Input clock detect	0	Clock detection status. Input clock not detected.	0x0	R
				1	Input clock detected/locked.		
0x011C	Clock Duty Cycle Stabilizer 1 control (local)	[7:1]	Reserved		Reserved	0x0	R/W
		0	DCS1 enable		Clock DCS1 enable.	0x1	R/W
				0	DCS1 bypassed.		
				1	DCS1 enabled.		

0x011E	Clock Duty Cycle Stabilizer 2 control	[7:1]	Reserved		Reserved.	0x0	R/W
		0	DCS2 enable		Clock DCS2 enable.	0x1	R/W
				0 1	DCS2 bypassed. DCS2 enabled.		
0x0120	SYSREF Control 1	7	Reserved		Reserved.	0x0	R
		6	SYSREF± flag reset			0x0	R/W
				0 1	Normal flag operation. SYSREF flags held in reset (setup and hold error flags cleared).		
		5	Reserved		Reserved.	0x0	R
		4	SYSREF± transition select			0x0	R/W
				0 1	SYSREF is valid on low to high transitions using the selected CLK± edge. When changing this setting, SYSREF± mode select must be set to disabled. SYSREF is valid on high to low transitions using the selected CLK± edge. When changing this setting, SYSREF± mode select must be set to disabled.		
		3	CLK± edge select			0x0	R/W
				0 1	Captured on the rising edge of CLK± input. Captured on the falling edge of CLK± input.		
		[2:1]	SYSREF± mode select			0x0	R/W
				0 1 10	Disabled. Continuous. N-shot.		
		0	Reserved		Reserved.	0x0	R
0x0121	SYSREF Control 2	[7:4]	Reserved		Reserved.	0x0	R
		[3:0]	SYSREF N-shot ignore counter select			0x0	R/W
				0000 0001	Next SYSREF only (do not ignore). Ignore the first SYSREF± transition.		

				0010	Ignore the first two SYSREF± transitions.		
				0011	Ignore the first three SYSREF± transitions.		
				...	...		
				111	Ignore the first 14 SYSREF± transitions.		
				0			
				1111	Ignore the first 15 SYSREF± transitions.		
0x0122	SYSREF Control 3	[7:4]	Reserved		Reserved.	0x0	R
		[3:2]	SYSREF window negative		Negative skew window (measured in sample clocks). Number of clock cycles before the sample clock by which captured SYSREF transitions are ignored.	0x0	R/W
				00	No negative skew; SYSREF must be captured accurately.		
				01	One sample clock of negative skew. Can not use when 0x0814 bit[7:6]=00		
				10	Two sample clocks of negative skew. Can not use when 0x0814 bit[7:6]=00/01		
				11	Three sample clocks of negative skew. Only can use when 0x0814 bit[7:6]=11		
		[1:0]	SYSREF window positive		Positive skew window (measured in sample clocks). Number of clock cycles before the sample clock by which captured SYSREF transitions are ignored.	0x0	R/W
				00	No positive skew; SYSREF must be captured accurately.		
				01	One sample clock of positive skew. Can not use when 0x0814 bit[7:6]=00		
				10	Two sample clocks of positive skew. Can not use when 0x0814 bit[7:6]=00/01		
				11	Three sample clocks of positive skew. Only can use when 0x0814 bit[7:6]=11		
0x0123	SYSREF Control 4	7	Reserved		Reserved.	0x0	R
		[6:0]	SYSREF± timestamp delay, Bits[6:0]		SYSREF timestamp delay (in converter mac clock cycles).	0x00	R/W
				0	0 mac clock cycle delay.		
				1	1 mac clock cycle delay.		
				...	...		
				111	127 mac clock cycle delay.		
				1111			
0x0128	SYSREF Status 1	[7:4]	SYSREF± hold status		SYSREF hold status.	0x0	R
		[3:0]	SYSREF± setup status		SYSREF setup status.	0x0	R
0x0129	SYSREF Status 2	[7:4]	Reserved		Reserved.	0x0	R
		[3:0]	Clock divider phase when SYSREF±		SYSREF divider phase. Represents the phase of the divider when SYSREF was captured.	0x0	R

			was captured	0000	In phase.		
				0001	SYSREF± is ½ cycle delayed from clock.		
				0010	SYSREF± is 1 cycle delayed from clock.		
				0011	SYSREF± is 1½ input clock cycles delayed.		
				0100	SYSREF± is 2 input clock cycles delayed.		
				...	...		
				1111	SYSREF± is 7½ input clock cycles delayed.		
0x012A	SYSREF Status 3	[7:0]	SYSREF counter, Bits[7:0] increments when SYSREF± is captured		SYSREF count. Running counter that increments whenever a SYSREF event is captured. Reset by Register 0x120, Bit 6. Wraps around at 255. Read these bits only when Register 0x120, Bits[2:1] are set to disabled.	0x0	R
0x01FF	Chip sync mode	[7:1]	Reserved		Reserved.	0x0	R
		0	Synchronization mode	0 1	CYD9689B synchronization mode. The SYSREF signal resets all internal clock dividers. Use this mode when synchronizing multiple chips as specified in the CYD9689B standard. If the phase of any of the dividers must change, the CYD9689 B link goes down. Timestamp mode. The SYSREF signal does not reset internal clock dividers. In this mode, the CYD9689B link and the signal monitor are not affected by the SYSREF signal. The SYSREF signal timestamps a sample as it passes through the ADC and is used as a control bit in the CYD9689B output word.	0x0	R/W

Chip Operating Mode Control Registers

0x0200	Chip mode	[7:6]	Reserved		Reserved.	0x0	R/W
		5	Chip Q ignore	0 1	Chip real (I) only selection. Both real (I) and complex (Q) selected. Only real (I) selected; complex (Q) is ignored.	0x0	R/W
		4	Reserved		Reserved.	0x0	R
		[3:0]	Chip application mode	0000 0001 0010 0011	Full bandwidth mode (default). One DDC mode (DDC0 only) Two DDC mode (DDC0 and DDC1 only) Four DDC mode (DDC0, DDC1, DDC2, and DDC3)	0x0	R/W
	Chip decimation	[7:4]	Reserved		Reserved.	0x0	R

0x0201	ratio	[3:0]	Chip decimation ratio		Chip decimation ratio.	0x0	R/W
				0000	Full sample rate (decimate by 1, DDCs are bypassed).		
				0001	Decimate by 2.		
				1000	Decimate by 3.		
				0010	Decimate by 4.		
				0101	Decimate by 5.		
				1001	Decimate by 6.		
				0011	Decimate by 8.		
				0110	Decimate by 10.		
				1010	Decimate by 12.		
				0111	Decimate by 15.		
				0100	Decimate by 16.		
				1101	Decimate by 20.		
				1011	Decimate by 24.		
				1110	Decimate by 30.		
				1111	Decimate by 40.		
				1100	Decimate by 48.		
0x0202	tmis_ctrl	7	Reserved		Reserved	0x0	R
		6	tmis_dir		tmis calibration direction	0x0	R/W
				0	direction of odd Nyquist frequency domain input signal (default)		
				1	direction of even Nyquist frequency domain input signal	0x0	R
		[5:0]	Reserved		Reserved		
0x0245	Fast control (local)	[7:4]	Reserved		Reserved.	0x0	R
		3	Force FD_A/FD_B pins			0x0	R/W
				0	Normal operation of the fast detect pin.		
				1	Force a value on the fast detect pin (see Bit 2).		
		2	Force value of FD_A/FD_B pins		The fast detect output pin for this channel is set to this value when the output is forced.	0x0	R/W
		1	Reserved		Reserved.	0x0	R
		0	Enable fast detect			0x0	R/W

			output	0	Fast detect disabled.		
				1	Fast detect enabled.		
0x0247	Fast detect up LSB (local)	[7:0]	Fast detect upper threshold		LSBs of the fast detect upper threshold. This register contains the 8 LSBs of the programmable 13-bit upper threshold that is compared to the fine ADC magnitude.	0x0	R/W
0x0248	Fast detect up MSB (local)	[7:5]	Reserved		Reserved.	0x0	R
		[4:0]	Fast detect upper threshold		MSBs of the fast detect upper threshold. This register contains the 8 LSBs of the programmable 13-bit upper threshold that is compared to the fine ADC magnitude.	0x0	R/W
0x0249	Fast detect low LSB (local)	[7:0]	Fast detect lower threshold		LSBs of the fast detect lower threshold. This register contains the 8 LSBs of the programmable 13-bit lower threshold that is compared to the fine ADC magnitude.	0x0	R/W
0x024A	Fast detect low MSB (local)	[7:5]	Reserved		Reserved.	0x0	R
		[4:0]	Fast detect lower threshold		MSBs of the fast detect lower threshold. This register contains the 8 LSBs of the programmable 13-bit lower threshold that is compared to the fine ADC magnitude.	0x0	R/W
0x024B	Fast detect dwell LSB (local)	[7:0]	Fast detect dwell time		LSBs of the fast detect dwell time counter target. This is a load value for a 16-bit counter that determines how long the ADC data must remain below the lower threshold before the FD_x pins are reset to 0.	0x0	R/W
0x024C	Fast detect dwell MSB (local)	[7:0]	Fast detect dwell time		MSBs of the fast detect dwell time counter target. This is a load value for a 16-bit counter that determines how long the ADC data must remain below the lower threshold before the FD_x pins are reset to 0.	0x0	R/W
0x0270	Signal monitor control (local)	[7:2]	Reserved		Reserved.	0x0	R
		1	Peak detector	0	Peak detector disabled.	0x0	R/W
				1	Peak detector enabled.		
		0	Reserved		Reserved.	0x0	R
0x0271	Signal Monitor Period 0 (local)	[7:0]	Signal monitor period [7:0]		Bits[7:0] of the 24-bit value that sets the number of output clock cycles over which the signal monitor performs its operation. Only even values are supported.	0x80	R/W
0x0272	Signal Monitor Period 1 (local)	[7:0]	Signal monitor period [15:8]		Bits[15:8] of the 24-bit value that sets the number of output clock cycles over which the signal	0x0	R/W

					monitor performs its operation. Only even values are supported.		
0x0273	Signal Monitor Period 2 (local)	[7:0]	Signal monitor period [23:16]		Bits[23:16] of the 24-bit value that sets the number of output clock cycles over which the signal monitor performs its operation. Only even values are supported.	0x0	R/W
0x0274	Signal monitor status control (local)	[7:5]	Reserved		Reserved.	0x0	R
		4	Result update	1	Update signal monitor status registers, Register 0x0275 to Register 0x0278. Self clearing.	0x0	R/WC
		3	Reserved		Reserved.	0x0	R
		[2:0]	Result selection	001	Peak detector placed on status readback signals.	0x1	R/W
0x0275	Signal Monitor Status 0 (local)	[7:0]	Signal monitor result [7:0]		Signal monitor status result. This 20-bit value contains the status result calculated by the signal monitor block.	0x0	R
0x0276	Signal Monitor Status 1 (local)	[7:0]	Signal monitor result [15:8]		Signal monitor status result.	0x0	R
0x0277	Signal Monitor Status 2 (local)	[7:4]	Reserved		Reserved.	0x0	R
		[3:0]	Signal monitor result [19:16]		Signal monitor status result.	0x0	R
0x0278	Signal monitor status frame counter (local)	[7:0]	Period count result, Bits[7:0]		Signal monitor frame counter status bits. Frame counter increments whenever the period counter expires.	0x0	R
0x0279	Signal monitor serial framer control (local)	[7:2]	Reserved		Reserved.	0x0	R
		[1:0]	Signal monitor SPORT over CYD9689B enable	00 11	Disabl ed. Enable d.	0x0	R/W
0x027A	SPORT over CYD9689B input selection (local)	[7:6]	Reserved		Reserved.	0x0	R
		1	SPORT over CYD9689B input selection	0 1	Signal monitor serial framer input selection. When each individual bit is a 1, the corresponding signal statistics information is sent within the frame. Disabled. Peak detector data inserted in the serial frame.	0x1	R/W

		0	Reserved		Reserved.	0x0	R
DDC Function Registers (See the Digital Downconverter (DDC) Section)							
0x0300	DDC SYNC control	7	DDC FTW/POW/MA W/ MBW update mode		Select DDC FTW/POW/MAW/MBW update mode.	0x0	R/W
				0	Instantaneous/continuous update. FTW/POW/MAW/MBW values are updated immediately.		
				1	FTW/POW/MAW/MBW values are updated synchronously when the chip transfer bit (Register 0x000F, Bit 0) is set.		
		[6:5]	Pre_dcm			0x0	R/W
				00	normal		
				01	input data with DCM=2		
0x0301	dither_disable			others	reserved		
		4	DDC NCO soft reset		This bit can be used to synchronize all the NCOs inside the DDC blocks.	0x0	R/W
				0	Normal operation.		
				1	DDC held in reset.		
		[3:2]	Reserved.		Reserved.	0x0	R
		1	DDC next synchronization			0x0	R/W
0x0301	dither_disable			0	Continuous mode. The SYSREF frequency must be an integer multiple of the NCO frequency for this function to operate correctly in continuous mode. Only the next valid edge of the SYSREF± pin is used to synchronize the NCO in the DDC block. Subsequent edges of the SYSREF± pin are ignored.		
				1			
		0	DDC synchronization mode		The SYSREF input pin must be enabled to synchronize the DDCs.	0x0	R/W
				0	Synchronization disabled.		
				1	If DDC next synchronization (Register 0x0300, Bit 1 = 1), only the next valid edge of the SYSREF± pin is used to synchronize the NCO in the DDC block.		
0x0301	dither_disable	[7:4]	Reserved.		Reserved	0x0	R
		3	ddc3_nco			0x0	R/W
				0	enabled		
				1	disabled.		

0x0310	DDCO control	2	ddc2_nco	0	enabled	0x0	R/W
				1	disabled.		
		1	ddc3_nco	0	enabled	0x0	R/W
				1	disabled.		
		0	ddc2_nco	0	enabled	0x0	R/W
				1	disabled.		
0x0310	DDCO control	7	DDCO mixer select	0	Real mixer (I and Q inputs must be from the same real channel).	0x0	R/W
				1	Complex mixer (I and Q must be from separate, real and imaginary quadrature ADC receive channels; analog demodulator). (-3dB gain loss)		
		6	DDCO gain select	0	Gain can be used to compensate for the 6 dB loss associated with mixing an input signal down to baseband and filtering out its negative component.	0x0	R/W
				1	0 dB gain.		
					6 dB gain (multiply by 2).		
		[5:4]	DDCO intermediate frequency (IF) mode	00	Variable IF mode.	0x0	R/W
				01	0 Hz IF mode.		
				10	fS Hz IF mode.		
				11	Test mode.		
		3	DDCO complex to real enable	0	Complex (I and Q) outputs contain valid data.	0x0	R/W
				1	Real (I) output only. complex to real enabled. Uses extra fS mixing to convert to real.		
		[2:0]	DDCO decimation rate select		Decimation filter selection.	0x0	R/W

				000	HB1 + HB2 filter selection: decimate by 2 (complex to real enabled), or decimate by 4 (complex to real disabled).		
				001	HB1 + HB2 + HB3 filter selection: decimate by 4 (complex to real enabled), or decimate by 8 (complex to real disabled).		
				010	HB1 + HB2 + HB3 + HB4 filter selection: decimate by 8 (complex to real enabled), or decimate by 16 (complex to real disabled).		
				011	HB1 filter selection: decimate by 1 (complex to real enabled), or decimate by 2 (complex to real disabled).		
				100	HB1 + TB2 filter selection: decimate by 3 (complex to real enabled), or decimate by 6 (complex to real disabled).		
				101	HB1 + HB2 + TB2 filter selection: decimate by 6 (complex to real enabled), or decimate by 12 (complex to real disabled).		
				110	HB1 + HB2 + HB3 + TB2 filter selection: decimate by 12 (complex to real enabled), or decimate by 24 (complex to real disabled).		
				111	Decimation determined by Register 0x0311, Bits[7:4].		
0x0311	DDCO input select	[7:4]	DDCO decimation rate select		Only valid when Register 0x0310, Bits[2:0] = 3'b111.	0x0	R/W
				0	TB2 + HB4 + HB3 + HB2 + HB1 filter selection: decimate by 48 (complex to real disabled), or decimate by 24 (complex to real enabled).		
				10	FB2 + HB1 filter selection: decimate by 10 (complex to real disabled), or decimate by 5 (complex to real enabled).		
				11	FB2 + HB2 + HB1 filter selection: decimate by 20 (complex to real disabled), or decimate by 10 (complex to real enabled).		
				100	FB2 + HB3 + HB2 + HB1 filter selection: decimate by 40 (complex to real disabled), or decimate by 20 (complex to real enabled).		

				111	real enabled).		
				1000	TB1 filter selection: decimate by 3 (decimate by 1.5 not supported).		
				1001	FB2 + TB1 filter selection: decimate by 15 (decimate by 7.5 not supported).		
				1001	HB2 + FB2 + TB1 filter selection: decimate by 30 (decimate by 15 not supported).		
		3	Reserved		Reserved.	0x0	R
		2	DDCO Q input select			0x0	R/W
				0	Channel A.		
				1	Channel B.		
		1	Reserved		Reserved.	0x0	R
		0	DDCO I input select			0x0	R/W
				0	Channel A.		
				1	Channel B.		
0x0314	DDCO NCO control	[7:4]	DDCO NCO channel select mode		For edge control, the internal counter wraps after the Register 0x0314, Bits[3:0] value is reached.	0x0	R/W
				0	Use Register 0x0314, Bits[3:0].		
				1	2'b0, GPIO_B0, GPIO_A0.		
				10	2'b0, GPIO_B1, GPIO_A1.		
				11	2'b00, GPIO_A1, GPIO_A0.		
				100	2'b00, GPIO_B1, GPIO_B0.		
				101	GPIO_B1, GPIO_A1, GPIO_B0, GPIO_A0.		
				110	GPIO_B1, GPIO_B0, GPIO_A1, GPIO_A0.		
				1000	Increment internal counter on rising edge of the GPIO_A0 pin.		
				1001	Increment internal counter on rising edge of the GPIO_A1 pin.		
				1010	Increment internal counter on rising edge of the GPIO_B0 pin.		
				1011	Increment internal counter on rising edge of the GPIO_B1 pin.		
		[3:0]	DDCO NCO register map		NCO channel select register map control.	0x0	R/W

			channel select				
				0	Select NCO Channel 0. (standalone NCO)		
				1	Select NCO Channel 1. (standalone NCO)		
				10	Select NCO Channel 2. (shared NCO)		
				11	Select NCO Channel 3. (shared NCO)		
				100	Select NCO Channel 4. (shared NCO)		
				101	Select NCO Channel 5. (shared NCO)		
				110	Select NCO Channel 6. (shared NCO)		
				111	Select NCO Channel 7. (shared NCO)		
				1000	Select NCO Channel 8. (shared NCO)		
				1001	Select NCO Channel 9. (shared NCO)		
				1010	Select NCO Channel 10. (shared NCO)		
				1011	Select NCO Channel 11. (shared NCO)		
				1100	Select NCO Channel 12. (shared NCO)		
				1101	Select NCO Channel 13. (shared NCO)		
				1110	Select NCO Channel 14. (shared NCO)		
				1111	Select NCO Channel 15. (shared NCO)		
0x0315	DDCO phase	[7:4]	Reserved		Reserved.	0x0	R
	control	[3:0]	DDCO phase update index		Indexes the NCO channel whose phase and offset is updated. The update method is based on the DDC phase update mode, which can be continuous or require chip transfer.	0x0	R/W
				0000	Update NCO Channel 0.		
				0001	Update NCO Channel 1.		
				0010	Update NCO Channel 2.		
				0011	Update NCO Channel 3.		
0x0316	DDCO Phase Increment 0	[7:0]	DDCO phase increment		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment × fs)/2 ⁴⁸ .	0x0	R/W
0x0317	DDCO Phase Increment 1	[7:0]	DDCO phase increment		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment × fs)/2 ⁴⁸ .	0x0	R/W
0x0318	DDCO Phase Increment 2	[7:0]	DDCO phase increment		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment × fs)/2 ⁴⁸ .	0x0	R/W
0x0319	DDCO Phase Increment 3	[7:0]	DDCO phase increment		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment	0x0	R/W

					$\times fs)/2^{48}$.		
0x031A	DDC0 Phase Increment 4	[7:0]	DDC0 phase increment [39:32]		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment $\times fs)/2^{48}$.	0x0	R/W
0x031B	DDC0 Phase Increment 5	[7:0]	DDC0 phase increment [47:40]		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment $\times fs)/2^{48}$.	0x0	R/W
0x031D	DDC0 Phase Offset 0	[7:0]	DDC0 phase offset [7:0]		Twos complement phase offset value for the NCO.	0x0	R/W
0x031E	DDC0 Phase Offset 1	[7:0]	DDC0 phase offset [15:8]		Twos complement phase offset value for the NCO.	0x0	R/W
0x031F	DDC0 Phase Offset 2	[7:0]	DDC0 phase offset [23:16]		Twos complement phase offset value for the NCO.	0x0	R/W
0x0320	DDC0 Phase Offset 3	[7:0]	DDC0 phase offset [31:24]		Twos complement phase offset value for the NCO.	0x0	R/W
0x0321	DDC0 Phase Offset 4	[7:0]	DDC0 phase offset [39:32]		Twos complement phase offset value for the NCO.	0x0	R/W
0x0322	DDC0 Phase Offset 5	[7:0]	DDC0 phase offset [47:40]		Twos complement phase offset value for the NCO.	0x0	R/W
0x0327	DDC0 test enable	[7:3]	Reserved		Reserved.	0x0	R
		2	DDC0 Q output test mode enable	0 1	Q samples always use the Test Mode B block. The test mode is selected using the channel dependent Register 0x0550, Bits[3:0]. Test mode disabled. Test mode enabled.	0x0	R/W
		1	Reserved		Reserved.	0x0	R
		0	DDC0 I output test mode enable	0 1	I samples always use the Test Mode A block. The test mode is selected using the channel dependent Register 0x0550, Bits[3:0]. Test mode disabled. Test mode enabled.	0x0	R/W
0x0330	DDC1 control	7	DDC1 mixer select	0	Real mixer (I and Q inputs must be from the same real channel).	0x0	R/W

			1	Complex mixer (I and Q must be from separate, real and imaginary quadrature ADC receive channels; analog demodulator). (-3dB gain loss)		
	6	DDC1 gain select		Gain can be used to compensates for the 6 dB loss associated with mixing an input signal down to baseband and filtering out its negative component.	0x0	R/W
			0	0 dB gain.		
			1	6 dB gain (multiply by 2).		
	[5:4]	DDC1 intermediate frequency (IF) mode			0x0	R/W
			00	Variable IF mode.		
			01	0 Hz IF mode.		
			10	fS Hz IF mode.		
			11	Test mode.		
	3	DDC1 complex to real enable			0x0	R/W
			0	Complex (I and Q) outputs contain valid data.		
			1	Real (I) output only. Complex to real enabled. Uses extra fS mixing to convert to real.		
	[2:0]	DDC1 decimation rate select		Decimation filter selection.	0x0	R/W
			000	HB1 + HB2 filter selection: decimate by 2 (complex to real enabled), or decimate by 4 (complex to real disabled).		
			001	HB1 + HB2 + HB3 filter selection: decimate by 4 (complex to real enabled), or decimate by 8 (complex to real disabled).		
			010	HB1 + HB2 + HB3 + HB4 filter selection: decimate by 8 (complex to real enabled), or decimate by 16 (complex to real disabled).		
			011	HB1 filter selection: decimate by 1 (complex to real enabled), or decimate by 2 (complex to real disabled).		
			100	HB1 + TB2 filter selection: decimate by 3 (complex to real		

				101	enabled), or decimate by 6 (complex to real disabled).		
				110	HB1 + HB2 + TB2 filter selection: decimate by 6 (complex to real enabled), or decimate by 12 (complex to real disabled).		
				111	HB1 + HB2 + HB3 + TB2 filter selection: decimate by 12 (complex to real enabled), or decimate by 24 (complex to real disabled).		
				111	Decimation determined by Register 0x0331, Bits[7:4].		
0x0331	DDC1 input select	[7:4]	DDC1 decimation rate select		Only valid when Register 0x0310, Bits[2:0] = 3'b111.	0x0	R/W
				0	TB2 + HB4 + HB3 + HB2 + HB1 filter selection: decimate by 48 (complex to real disabled), or decimate by 24 (complex to real enabled).		
				10	FB2 + HB1 filter selection: decimate by 10 (complex to real disabled), or decimate by 5 (complex to real enabled).		
				11	FB2 + HB2 + HB1 filter selection: decimate by 20 (complex to real disabled), or decimate by 10 (complex to real enabled).		
				100	FB2 + HB3 + HB2 + HB1 filter selection: decimate by 40 (complex to real disabled), or decimate by 20 (complex to real enabled).		
				111	TB1 filter selection: decimate by 3 (decimate by 1.5 not supported).		
				1000	FB2 + TB1 filter selection: decimate by 15 (decimate by 7.5 not supported).		
				1001	HB2 + FB2 + TB1 filter selection: decimate by 30 (decimate by 15 not supported).		
		3	Reserved		Reserved.	0x0	R
		2	DDC1 Q input select			0x1	R/W
				0	Channel A.		
				1	Channel B.		
		1	Reserved		Reserved.	0x0	R

		0	DDC1 I input select	0 1	Channel A. Channel B.	0x1	R/W
0x0334	DDC1 NCO control	[7:4]	DDC1 NCO channel select mode	0 1 10 11 100 101 110 1000 1001 1010 1011	For edge control, the internal counter wraps when the Register 0x0334, Bits[3:0] value is reached. Use Register 0x0314, Bits[3:0] 2'b0, GPIO_B0, GPIO_A0. 2'b0, GPIO_B1, GPIO_A1. 2'b00, GPIO_A1, GPIO_A0. 2'b00, GPIO_B1, GPIO_B0. GPIO_B1, GPIO_A1, GPIO_B0, GPIO_A0. GPIO_B1, GPIO_B0, GPIO_A1, GPIO_A0. Increment internal counter when rising edge of the GPIO_A0 pin. Increment internal counter when rising edge of the GPIO_A1 pin. Increment internal counter when rising edge of the GPIO_B0 pin. Increment internal counter when rising edge of the GPIO_B1 pin.	0x0	R/W
		[3:0]	DDC1 NCO register map channel select	0 1 10 11 100 101 110 111 1000 1001 1010 1011 1100	NCO channel select register map control Select NCO Channel 0. (standalone NCO) Select NCO Channel 1. (standalone NCO) Select NCO Channel 2. (shared NCO) Select NCO Channel 3. (shared NCO) Select NCO Channel 4. (shared NCO) Select NCO Channel 5. (shared NCO) Select NCO Channel 6. (shared NCO) Select NCO Channel 7. (shared NCO) Select NCO Channel 8. (shared NCO) Select NCO Channel 9. (shared NCO) Select NCO Channel 10. (shared NCO) Select NCO Channel 11. (shared NCO) Select NCO Channel 12. (shared NCO)	0x0	R/W

0x0335	DDC1 phase control			1101	Select NCO Channel 13. (shared NCO)		
				1110	Select NCO Channel 14. (shared NCO)		
				1111	Select NCO Channel 15. (shared NCO)		
		[7:4]	Reserved		Reserved.	0x0	R
		[3:0]	DDC1 phase update index		Indexes the NCO channel for which the phase and offset is to be updated. The update method is based on the DDC phase update mode, which can be continuous or require chip transfer.	0x0	R/W
				0000	Update NCO Channel 0.		
				0001	Update NCO Channel 1.		
				0010	Update NCO Channel 2.		
				0011	Update NCO Channel 3.		
0x0336	DDC1 Phase Increment 0	[7:0]	DDC1 phase increment [7:0]		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment $\times$ fs)/2 ⁴⁸ .	0x0	R/W
0x0337	DDC1 Phase Increment 1	[7:0]	DDC1 phase increment [15:8]		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment $\times$ fs)/2 ⁴⁸ .	0x0	R/W
0x0338	DDC1 Phase Increment 2	[7:0]	DDC1 phase increment [23:16]		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment $\times$ fs)/2 ⁴⁸ .	0x0	R/W
0x0339	DDC1 Phase Increment 3	[7:0]	DDC1 phase increment [31:24]		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment $\times$ fs)/2 ⁴⁸ .	0x0	R/W
0x033A	DDC1 Phase Increment 4	[7:0]	DDC1 phase increment [39:32]		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment $\times$ fs)/2 ⁴⁸ .	0x0	R/W
0x033B	DDC1 Phase Increment 5	[7:0]	DDC1 phase increment [47:40]		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment $\times$ fs)/2 ⁴⁸ .	0x0	R/W
0x033D	DDC1 Phase Offset 0	[7:0]	DDC1 phase offset [7:0]		Twos complement phase offset value for the NCO.	0x0	R/W
0x033E	DDC1 Phase Offset 1	[7:0]	DDC1 phase offset [15:8]		Twos complement phase offset value for the NCO.	0x0	R/W
0x033F	DDC1 Phase Offset 2	[7:0]	DDC1 phase offset [23:16]		Twos complement phase offset value for the NCO.	0x0	R/W
0x0340	DDC1 Phase Offset 3	[7:0]	DDC1 phase offset		Twos complement phase offset value for the NCO.	0x0	R/W

			[31:24]				
0x0341	DDC1 Phase Offset 4	[7:0]	DDC1 phase offset		Twos complement phase offset value for the NCO.	0x0	R/W
0x0342	DDC1 Phase Offset 5	[7:0]	DDC1 phase offset		Twos complement phase offset value for the NCO.	0x0	R/W
0x0347	DDC1 test enable	[7:3]	Reserved		Reserved.	0x0	R
		2	DDC1 Q output test mode enable	0 1	Q samples always use the Test Mode B block. The test mode is selected using the channel dependent Register 0x0550, Bits[3:0]. Test mode disabled. Test mode enabled.	0x0	R/W
		1	Reserved		Reserved.	0x0	R
		0	DDC1 I output test mode enable	0 1	I samples always use the Test Mode A block. The test mode is selected using the channel dependent Register 0x0550, Bits[3:0]. Test mode disabled. Test mode enabled.	0x0	R/W
0x0350	DDC2 control	7	DDC2 mixer select	0 1	Real mixer (I and Q inputs must be from the same real channel) Complex mixer (I and Q must be from separate, real and imaginary quadrature ADC receive channels; analog demodulator) (-3dB gain loss)	0x0	R/W
		6	DDC2 gain select	0 1	Gain can be used to compensates for the 6 dB loss associated with mixing an input signal down to baseband and filtering out its negative component. 0 dB gain. 6 dB gain (multiply by 2).	0x0	R/W
		[5:4]	DDC2 intermediate frequency (IF) mode	00 01 10 11	Variable IF mode. 0 Hz IF mode. fS Hz IF mode. Test mode.	0x0	R/W

		3	DDC2 complex to real enable	0	Complex (I and Q) outputs contain valid data.	0x0	R/W
				1	Real (I) output only. Complex to real enabled. Uses extra fs mixing to convert to real.		
		[2:0]	DDC2 decimation rate select		Decimation filter selection.	0x0	R/W
				000	HB1 + HB2 filter selection: decimate by 2 (complex to real enabled), or decimate by 4 (complex to real disabled).		
				001	HB1 + HB2 + HB3 filter selection: decimate by 4 (complex to real enabled), or decimate by 8 (complex to real disabled).		
				010	HB1 + HB2 + HB3 + HB4 filter selection: decimate by 8 (complex to real enabled), or decimate by 16 (complex to real disabled).		
				011	HB1 filter selection: decimate by 1 (complex to real enabled), or decimate by 2 (complex to real disabled).		
				100	HB1 + TB2 filter selection: decimate by 3 (complex to real enabled), or decimate by 6 (complex to real disabled).		
				101	HB1 + HB2 + TB2 filter selection: decimate by 6 (complex to real enabled), or decimate by 12 (complex to real disabled).		
				110	HB1 + HB2 + HB3 + TB2 filter selection: decimate by 12 (complex to real enabled), or decimate by 24 (complex to real disabled).		
				111	Decimation determined by Register 0x0351, Bits[7:4].		
0x0351	DDC2 input select	[7:4]	DDC2 decimation rate select	0	TB2 + HB4 + HB3 + HB2 + HB1 filter selection: decimate by 48 (complex to real disabled), or decimate by 24 (complex to real enabled).	0x0	R/W
				10	FB2 + HB1 filter selection: decimate by 10		

				11	(complex to real disabled), or decimate by 5 (complex to real enabled). FB2 + HB2 + HB1 filter selection: decimate by 20 (complex to real disabled), or decimate by 10 (complex to real enabled).								
				100	FB2 + HB3 + HB2 + HB1 filter selection: decimate by 40 (complex to real disabled), or decimate by 20 (complex to real enabled).								
				3	Reserved			Reserved.	0x0	R			
				2	DDC2 Q input select			0 1	Channel A. Channel B.	0x0	R/W		
				1	Reserved			Reserved.	0x0	R			
				0	DDC2 I input select			0 1	Channel A. Channel B.	0x0	R/W		
				0x0354	DDC2 NCO control			[7:4]	DDC2 NCO channel select mode	0 1 10 11 100 101 110 1000 1001 1010 1011	For edge control, the internal counter wraps when the Register 0x0354, Bits[3:0] value is reached. Use 0x0314[3:0] 2'b0, GPIO B0, GPIO A0. 2'b0, GPIO B1, GPIO A1. 2'b00, GPIO A1, GPIO A0. 2'b00, GPIO B1, GPIO B0. GPIO B1, GPIO A1, GPIO B0, GPIO A0. GPIO B1, GPIO B0, GPIO A1, GPIO A0. Increment internal counter when rising edge of the GPIO_A0 pin. Increment internal counter when rising edge of the GPIO_A1 pin. Increment internal counter when rising edge of the GPIO_B0 pin. Increment internal counter when rising edge of the GPIO_B1 pin.	0x0	R/W
				[3:0]	DDC2 NCO register map channel select				NCO channel select register map control.	0x0	R/W		

				0	Select NCO Channel 0. (standalone NCO)		
				1	Select NCO Channel 1. (standalone NCO)		
				10	Select NCO Channel 2. (shared NCO)		
				11	Select NCO Channel 3. (shared NCO)		
				100	Select NCO Channel 4. (shared NCO)		
				101	Select NCO Channel 5. (shared NCO)		
				110	Select NCO Channel 6. (shared NCO)		
				111	Select NCO Channel 7. (shared NCO)		
				1000	Select NCO Channel 8. (shared NCO)		
				1001	Select NCO Channel 9. (shared NCO)		
				1010	Select NCO Channel 10. (shared NCO)		
				1011	Select NCO Channel 11. (shared NCO)		
				1100	Select NCO Channel 12. (shared NCO)		
				1101	Select NCO Channel 13. (shared NCO)		
				1110	Select NCO Channel 14. (shared NCO)		
				1111	Select NCO Channel 15. (shared NCO)		
0x0355	DDC2 phase control	[7:4]	Reserved		Reserved.	0x0	R
		[3:0]	DDC2 phase update index		Indexes the NCO channel whose phase and offset gets updated. The update method is based on the DDC phase update mode, which can be continuous or require chip transfer.	0x0	R/W
				0000	Update NCO Channel 0.		
				0001	Update NCO Channel 1.		
				0010	Update NCO Channel 2.		
				0011	Update NCO Channel 3.		
0x0356	DDC2 Phase Increment 0	[7:0]	DDC2 phase increment [7:0]		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = $(\text{DDC phase increment} \times f_s)/2^{48}$.	0x0	R/W
0x0357	DDC2 Phase Increment 1	[7:0]	DDC2 phase increment [15:8]		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = $(\text{DDC phase increment} \times f_s)/2^{48}$.	0x0	R/W
0x0358	DDC2 Phase Increment 2	[7:0]	DDC2 phase increment [23:16]		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = $(\text{DDC phase increment} \times f_s)/2^{48}$.	0x0	R/W
0x0359	DDC2 Phase Increment 3	[7:0]	DDC2 phase increment		FTW. Twos complement phase increment value for the NCO.	0x0	R/W

			[31:24]		Complex mixing frequency = (DDC phase increment × fs)/2 ⁴⁸ .		
0x035A	DDC2 Phase Increment 4	[7:0]	DDC2 phase increment [39:32]		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment × fs)/2 ⁴⁸ .	0x0	R/W
0x035B	DDC2 Phase Increment 5	[7:0]	DDC2 phase increment [47:40]		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment × fs)/2 ⁴⁸ .	0x0	R/W
0x035D	DDC2 Phase Offset 0	[7:0]	DDC2 phase offset [7:0]		Twos complement phase offset value for the NCO.	0x0	R/W
0x035E	DDC2 Phase Offset 1	[7:0]	DDC2 phase [15:8]		Twos complement phase offset value for the NCO.	0x0	R/W
0x035F	DDC2 Phase Offset 2	[7:0]	DDC2 phase [23:16]		Twos complement phase offset value for the NCO.	0x0	R/W
0x0360	DDC2 Phase Offset 3	[7:0]	DDC2 phase [31:24]		Twos complement phase offset value for the NCO.	0x0	R/W
0x0361	DDC2 Phase Offset 4	[7:0]	DDC2 phase offset [39:32]		Twos complement phase offset value for the NCO.	0x0	R/W
0x0362	DDC2 Phase Offset 5	[7:0]	DDC2 phase offset [47:40]		Twos complement phase offset value for the NCO.	0x0	R/W
0x0367	DDC2 test enable	[7:3]	Reserved		Reserved.	0x0	R
		2	DDC2 Q output test mode enable		Q samples always use the Test Mode B block. The test mode is selected using the channel dependent Register 0x0550, Bits[3:0].	0x0	R/W
				0	Test mode disabled.		
				1	Test mode enabled.		
		1	Reserved		Reserved.	0x0	R
		0	DDC2 I output test mode enable		I samples always use the Test Mode A block. The test mode is selected using the channel dependent Register 0x0550, Bits[3:0].	0x0	R/W
				0	Test mode disabled.		
				1	Test mode enabled.		
0x0370	DDC3 control	7	DDC3 mixer select			0x0	R/W
				0	Real mixer (I and Q inputs must be from the same real channel).		

		1	Complex mixer (I and Q must be from separate, real and imaginary quadrature ADC receive channels; analog demodulator). (-3dB gain loss)		
6	DDC3 gain select		Gain can be used to compensate for the 6 dB loss associated with mixing an input signal down to baseband and filtering out its negative component.	0x0	R/W
		0	0 dB gain.		
		1	6 dB gain (multiply by 2)		
[5:4]	DDC3 intermediate frequency (IF) mode			0x0	R/W
		00	Variable IF mode.		
		01	0 Hz IF mode.		
		10	fS Hz IF mode.		
		11	Test mode.		
3	DDC3 complex to real enable			0x0	R/W
		0	Complex (I and Q) outputs contain valid data.		
		1	Real (I) output only. complex to real enabled. Uses extra fS mixing to convert to real.		
[2:0]	DDC3 decimation rate select		Decimation filter selection.	0x0	R/W
		000	HB1 + HB2 filter selection: decimate by 2 (complex to real enabled), or decimate by 4 (complex to real disabled).		
		001	HB1 + HB2 + HB3 filter selection: decimate by 4 (complex to real enabled), or decimate by 8 (complex to real disabled).		
		010	HB1 + HB2 + HB3 + HB4 filter selection: decimate by 8 (complex to real enabled), or decimate by 16 (complex to real disabled).		
		011	HB1 filter selection: decimate by 1 (complex to real enabled), or decimate by 2 (complex to real disabled).		
		100	HB1 + TB2 filter selection: decimate by 3 (complex to real enabled), or decimate by 6 (complex to real disabled).		

				101	enabled), or decimate by 6 (complex to real disabled).		
				110	HB1 + HB2 + TB2 filter selection: decimate by 6 (complex to real enabled), or decimate by 12 (complex to real disabled).		
				111	HB1 + HB2 + HB3 + TB2 filter selection: decimate by 12 (complex to real enabled), or decimate by 24 (complex to real disabled).		
				111	Decimation determined by Register 0x0371, Bits[7:4].		
0x0371	DDC3 input select	[7:4]	DDC3 decimation rate select		Only valid when Register 0x0310, Bits[2:0] = 3'b111.	0x0	R/W
				0	TB2 + HB4 + HB3 + HB2 + HB1 filter selection: decimate by 48 (complex to real disabled), or decimate by 24 (complex to real enabled).		
				10	FB2 + HB1 filter selection: decimate by 10 (complex to real disabled), or decimate by 5 (complex to real enabled)		
				11	FB2 + HB2 + HB1 filter selection: decimate by 20 (complex to real disabled), or decimate by 10 (complex to real enabled)		
				100	FB2 + HB3 + HB2 + HB1 filter selection: decimate by 40 (complex to real disabled), or decimate by 20 (complex to real enabled)		
		3	Reserved		Reserved.	0x0	R
		2	DDC3 Q input select	0	Channel A.	0x1	R/W
				1	Channel B.		
		1	Reserved		Reserved.	0x0	R
		0	DDC3 I input select	0	Channel A.	0x1	R/W
				1	Channel B.		

0x0374	DDC3 NCO control	[7:4]	DDC3 NCO channel select mode		For edge control, the internal counter wraps when the Register 0x0374, Bits[3:0] value is reached. Use Register 0x0314, Bits[3:0].	0x0	R/W
				0	2'b0, GPIO B0, GPIO A0.		
				1			
				10	2'b0, GPIO B1, GPIO A1.		
				11	2'b00, GPIO A1, GPIO A0.		
				100	2'b00, GPIO B1, GPIO B0.		
				101	GPIO B1, GPIO A1, GPIO B0, GPIO A0.		
				110	GPIO B1, GPIO B0, GPIO A1, GPIO A0.		
				1000	Increment internal counter when rising edge of GPIO_A0 pin.		
				1001	Increment internal counter when rising edge of GPIO_A1 pin.		
				1010	Increment internal counter when rising edge of GPIO_B0 pin.		
				1011	Increment internal counter when rising edge of GPIO_B1 pin.		
		[3:0]	DDC3 NCO register map channel select		NCO channel select register map control.	0x0	R/W
				0	Select NCO Channel 0. (standalone NCO)		
				1	Select NCO Channel 1. (standalone NCO)		
				10	Select NCO Channel 2. (shared NCO)		
				11	Select NCO Channel 3. (shared NCO)		
				100	Select NCO Channel 4. (shared NCO)		
				101	Select NCO Channel 5. (shared NCO)		
				110	Select NCO Channel 6. (shared NCO)		
				111	Select NCO Channel 7. (shared NCO)		
				1000	Select NCO Channel 8. (shared NCO)		
				1001	Select NCO Channel 9. (shared NCO)		
				1010	Select NCO Channel 10. (shared NCO)		
				1011	Select NCO Channel 11. (shared NCO)		
				1100	Select NCO Channel 12. (shared NCO)		
				1101	Select NCO Channel 13. (shared NCO)		
				1110	Select NCO Channel 14. (shared NCO)		
				1111	Select NCO Channel 15. (shared NCO)		

0x0375	DDC3 phase control	[7:4]	Reserved		Reserved.	0x0	R
		[3:0]	DDC3 phase update index		Indexes the NCO channel whose phase and offset gets updated. The update method is based on the DDC phase update mode, which can be continuous or require chip transfer.	0x0	R/W
				0000	Update NCO Channel 0.		
				0001	Update NCO Channel 1.		
				0010	Update NCO Channel 2.		
				0011	Update NCO Channel 3.		
0x0376	DDC3 Phase Increment 0	[7:0]	DDC3 phase increment [7:0]		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment $\times$ fs)/2 ⁴⁸ .	0x0	R/W
0x0377	DDC3 Phase Increment 1	[7:0]	DDC3 phase increment [15:8]		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment $\times$ fs)/2 ⁴⁸	0x0	R/W
0x0378	DDC3 Phase Increment 2	[7:0]	DDC3 phase increment [23:16]		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment $\times$ fs)/2 ⁴⁸ .	0x0	R/W
0x0379	DDC3 Phase Increment 3	[7:0]	DDC3 phase increment [31:24]		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment $\times$ fs)/2 ⁴⁸ .	0x0	R/W
0x037A	DDC3 Phase Increment 4	[7:0]	DDC3 phase increment [39:32]		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment $\times$ fs)/2 ⁴⁸ .	0x0	R/W
0x037B	DDC3 Phase Increment 5	[7:0]	DDC3 phase increment [47:40]		FTW. Twos complement phase increment value for the NCO. Complex mixing frequency = (DDC phase increment $\times$ fs)/2 ⁴⁸ .	0x0	R/W
0x037D	DDC3 Phase Offset 0	[7:0]	DDC3 phase offset [7:0]		Twos complement phase offset value for the NCO.	0x0	R/W
0x037E	DDC3 Phase Offset 1	[7:0]	DDC3 phase offset [15:8]		Twos complement phase offset value for the NCO.	0x0	R/W
0x037F	DDC3 Phase Offset 2	[7:0]	DDC3 phase offset [23:16]		Twos complement phase offset value for the NCO.	0x0	R/W
0x0380	DDC3 Phase Offset 3	[7:0]	DDC3 phase offset [31:24]		Twos complement phase offset value for the NCO.	0x0	R/W
0x0381	DDC3 Phase Offset 4	[7:0]	DDC3 phase offset [39:32]		Twos complement phase offset value for the NCO.	0x0	R/W

0x0382	DDC3 Phase Offset 5	[7:0]	DDC3 phase offset [47:40]		Twos complement phase offset value for the NCO.	0x0	R/W
0x0387	DDC3 test enable	[7:3]	Reserved		Reserved.	0x0	R
		2	DDC3 Q output test mode enable	0 1	Q samples always use the Test Mode B block. The test mode is selected using the channel dependent Register 0x0550, Bits[3:0]. Test mode disabled. Test mode enabled.	0x0	R/W
		1	Reserved		Reserved.	0x0	R
		0	DDC3 I output test mode enable	0 1	I samples always use the Test Mode A block. The test mode is selected using the channel dependent Register 0x0550, Bits[3:0]. Test mode disabled. Test mode enabled.	0x0	R/W
0x0390	DDC0 Phase Increment Fractional A0	[7:0]	DDC0 Phase Increment Fractional A [7:0]		Numerator correction term for Modulus Phase Accumulator A.	0x0	R/W
0x0391	DDC0 Phase Increment Fractional A1	[7:0]	DDC0 Phase Increment Fractional A [15:8]		Numerator correction term for Modulus Phase Accumulator A.	0x0	R/W
0x0392	DDC0 Phase Increment Fractional A2	[7:0]	DDC0 Phase Increment Fractional A [23:16]		Numerator correction term for Modulus Phase Accumulator A.	0x0	R/W
0x0393	DDC0 Phase Increment Fractional A3	[7:0]	DDC0 Phase Increment Fractional A [31:24]		Numerator correction term for Modulus Phase Accumulator A.	0x0	R/W
0x0394	DDC0 Phase Increment Fractional A4	[7:0]	DDC0 Phase Increment Fractional A [39:32]		Numerator correction term for Modulus Phase Accumulator A.	0x0	R/W
0x0395	DDC0 Phase Increment Fractional A5	[7:0]	DDC0 Phase Increment Fractional A [47:40]		Numerator correction term for Modulus Phase Accumulator A.	0x0	R/W
0x0398	DDC0 Phase Increment Fractional B0	[7:0]	DDC0 Phase Increment Fractional B [7:0]		Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x0399	DDC0 Phase Increment Fractional B1	[7:0]	DDC0 Phase Increment Fractional B [15:8]		Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W

0x039A	DDC0 Phase Increment Fractional B2	[7:0]	DDC0 Phase Increment Fractional B [23:16]		Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x039B	DDC0 Phase Increment Fractional B3	[7:0]	DDC0 Phase Increment Fractional B [31:24]		Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x039C	DDC0 Phase Increment Fractional B4	[7:0]	DDC0 Phase Increment Fractional B [39:32]		Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x039D	DDC0 Phase Increment Fractional B5	[7:0]	DDC0 Phase Increment Fractional B [47:40]		Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x03A0	DDC1 Phase Increment Fractional A0	[7:0]	DDC1 Phase Increment Fractional A [7:0]		Numerator correction Accumulator A.	term	for / s
0x03A1	DDC1 Phase Increment Fractional A1	[7:0]	DDC1 Phase Increment Fractional A [15:8]		Numerator correction Accumulator A.	term	for / s
0x03A2	DDC1 Phase Increment Fractional A2	[7:0]	DDC1 Phase Increment Fractional A [23:16]		Numerator correction Accumulator A.	term	for / s
0x03A3	DDC1 Phase Increment Fractional A3	[7:0]	DDC1 Phase Increment Fractional A [31:24]		Numerator correction Accumulator A.	term	for / s
0x03A4	DDC1 Phase Increment Fractional A4	[7:0]	DDC1 Phase Increment Fractional A [39:32]		Numerator correction Accumulator A.	term	for / s
0x03A5	DDC1 Phase Increment Fractional A5	[7:0]	DDC1 Phase Increment Fractional A [47:40]		Numerator correction Accumulator A.	term	for / s

0x03A8	DDC1 Phase Increment Fractional B0	[7:0]	DDC1 Phase Increment Fractional B [7:0]	Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x03A9	DDC1 Phase Increment Fractional B1	[7:0]	DDC1 Phase Increment Fractional B [15:8]	Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x03AA	DDC1 Phase Increment Fractional B2	[7:0]	DDC1 Phase Increment Fractional B [23:16]	Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x03AB	DDC1 Phase Increment Fractional B3	[7:0]	DDC1 Phase Increment Fractional B [31:24]	Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x03AC	DDC1 Phase Increment Fractional B4	[7:0]	DDC1 Phase Increment Fractional B [39:32]	Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x03AD	DDC1 Phase Increment Fractional B5	[7:0]	DDC1 Phase Increment Fractional B [47:40]	Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x03B0	DDC2 Phase Increment Fractional A0	[7:0]	DDC2 Phase Increment Fractional A [7:0]	Numerator correction Accumulator A.	term	for P h/aW s e
0x03B1	DDC2 Phase Increment Fractional A1	[7:0]	DDC2 Phase Increment Fractional A [15:8]	Numerator correction Accumulator A.	term	for P h/aW s e
0x03B2	DDC2 Phase Increment Fractional A2	[7:0]	DDC2 Phase Increment Fractional A [23:16]	Numerator correction Accumulator A.	term	for P h/aW s e
0x03B3	DDC2 Phase Increment Fractional A3	[7:0]	DDC2 Phase Increment Fractional A [31:24]	Numerator correction Accumulator A.	term	for P h/aW s e

0x03B4	DDC2 Phase Increment Fractional A4	[7:0]	DDC2 Phase Increment Fractional A [39:32]		Numerator correction Accumulator A.	term	for P h/aW s e
0x03B5	DDC2 Phase Increment Fractional A5	[7:0]	DDC2 Phase Increment Fractional A [47:40]		Numerator correction Accumulator A.	term	for P h/aW s e
0x03B8	DDC2 Phase Increment Fractional B0	[7:0]	DDC2 Phase Increment Fractional B [7:0]		Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x03B9	DDC2 Phase Increment Fractional B1	[7:0]	DDC2 Phase Increment Fractional B [15:8]		Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x03BA	DDC2 Phase Increment Fractional B2	[7:0]	DDC2 Phase Increment Fractional B [23:16]		Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x03BB	DDC2 Phase Increment Fractional B3	[7:0]	DDC2 Phase Increment Fractional B [31:24]		Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x03BC	DDC2 Phase Increment Fractional B4	[7:0]	DDC2 Phase Increment Fractional B [39:32]		Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x03BD	DDC2 Phase Increment Fractional B5	[7:0]	DDC2 Phase Increment Fractional B [47:40]		Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x03C0	DDC3 Phase Increment Fractional A0	[7:0]	DDC3 Phase Increment Fractional A [7:0]		Numerator correction Accumulator A.	term	for R/W

0x03C1	DDC3 Phase Increment Fractional A1	[7:0]	DDC3 Phase Increment Fractional A [15:8]		Numerator correction Accumulator A.	term	for / W
0x03C2	DDC3 Phase Increment Fractional A2	[7:0]	DDC3 Phase Increment Fractional A [23:16]		Numerator correction Accumulator A.	term	for / W
0x03C3	DDC3 Phase Increment Fractional A3	[7:0]	DDC3 Phase Increment Fractional A [31:24]		Numerator correction Accumulator A.	term	for / W
0x03C4	DDC3 Phase Increment Fractional A4	[7:0]	DDC3 Phase Increment Fractional A [39:32]		Numerator correction Accumulator A.	term	for / W
0x03C5	DDC3 Phase Increment Fractional A5	[7:0]	DDC3 Phase Increment Fractional A [47:40]		Numerator correction Accumulator A.	term	for / W
0x03C8	DDC3 Phase Increment Fractional B0	[7:0]	DDC3 Phase Increment Fractional B [7:0]		Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x03C9	DDC3 Phase Increment Fractional B1	[7:0]	DDC3 Phase Increment Fractional B [15:8]		Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x03CA	DDC3 Phase Increment Fractional B2	[7:0]	DDC3 Phase Increment Fractional B [23:16]		Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x03CB	DDC3 Phase Increment Fractional B3	[7:0]	DDC3 Phase Increment Fractional B [31:24]		Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
0x03CC	DDC3 Phase Increment Fractional B4	[7:0]	DDC3 Phase Increment Fractional B [39:32]		Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W

0x03CD	DDC3 Phase Increment Fractional B5	[7:0]	DDC3 Phase Increment Fractional B [47:40]		Denominator correction term for Modulus Phase Accumulator B.	0x0	R/W
--------	------------------------------------	-------	---	--	--	-----	-----

Digital Outputs and Test Modes Registers

0x0550	ADC test mode control (local)	7	User pattern selection		Test mode user pattern selection. This bit is only used when Register 0x0550, Bits[3:0] = 4'b1000 (user input mode). Otherwise, it is ignored. User Pattern 1 is found in the User Pattern 1 MSB register (Register 0x0552) and the User Pattern 1 LSB (Register 0x0551) registers. User Pattern 2 is found in the User Pattern 2 MSB register (Register 0x0554) and the User Pattern 2 LSB (Register 0x0553) register, and so on. 0 Continuous/repeat pattern. Place each user pattern (1, 2, 3, and 4) on the output for 1 clock cycle and then repeat. (Output User Pattern 1, 2, 3, 4, 1, 2, 3, 4, 1, 2, 3, 4, and so on.) 1 Single pattern. Place each user pattern (1, 2, 3, and 4) on the output for 1 clock cycle and then output all zeros. (Output User Pattern 1, 2, 3, 4, and then output all zeros)	0x0	R/W
		6	Reserved		Reserved.	0x0	R
		5	Reset PN long generator		Test mode long pseudorandom number test generator reset. 0 Long PN enabled. 1 Long PN held in reset.	0x0	R/W
		4	Reset PN short generator		Test mode short pseudorandom number test generator reset. 0 Short PN enabled. 1 Short PN held in reset.	0x0	R/W
		[3:0]	Test mode selection		Test mode generation selection. 0000 Off (normal operation). 0001 Midscale short. 0010 Positive full scale. 0011 Negative full scale. 0100 Alternating checker board. 0101 PN sequence (long). 0110 PN sequence (short). 0111 1/0 word toggle. 1000 User pattern test mode (used with Register 0x0550, Bit 7)	0x0	R/W

				1111	and the User Pattern 1, User Pattern 2, User Pattern 3, and User Pattern 4 registers). Ramp output.		
0x0551	User Pattern 1 LSB	[7:0]	User Pattern 1 [7:0]		User Test Pattern 1 least significant byte.	0x0	R/W
0x0552	User Pattern 1 MSB	[7:0]	User Pattern 1 [15:8]		User Test Pattern 1 least significant byte.	0x0	R/W
0x0553	User Pattern 2 LSB	[7:0]	User Pattern 2 [7:0]		User Test Pattern 2 least significant byte.	0x0	R/W
0x0554	User Pattern 2 MSB	[7:0]	User Pattern 2 [15:8]		User Test Pattern 2 least significant byte.	0x0	R/W
0x0555	User Pattern 3 LSB	[7:0]	User Pattern 3 [7:0]		User Test Pattern 3 least significant bits.	0x0	R/W
0x0556	User Pattern 3 MSB	[7:0]	User Pattern 3 [15:8]		User Test Pattern 3 least significant bits.	0x0	R/W
0x0557	User Pattern 4 LSB	[7:0]	User Pattern 4 [7:0]		User Test Pattern 4 least significant bits.	0x0	R/W
0x0558	User Pattern 4 MSB	[7:0]	User Pattern 4 [15:8]		User Test Pattern 4 least significant bits.	0x0	R/W
0x0559	Output Mode Control 1	[7:4]	Converter control Bit 1 selection	0000	Tie low (1'b0).	0x0	R/W
				0001	Overrange bit.		
				0010	Signal monitor bit.		
				0011	Fast detect (FD) bit.		
				0101	SYSREF.		
		[3:0]	Converter control Bit 0 selection	0000	Tie low (1'b0).	0x0	R/W
				0001	Overrange bit.		
				0010	Signal monitor bit.		
				0011	Fast detect (FD) bit.		
				0101	SYSREF.		
0x055A	Output Mode	[7:4]	Reserved		Reserved.	0x0	R

	Control 2	[3:0]	Converter control Bit 2 selection	0000 0001 0010 0011 0101	Tie low (1'b0). Overrange bit. Signal monitor bit. Fast detect (FD) bit. SYSREF.	0x1	R/W
0x0561	Out sample mode	[7:3]	Reserved		Reserved.	0x0	R/W
		2	Sample invert	0 1	ADC sample data is not inverted. ADC sample data is inverted.	0x0	R/W
		[1:0]	Data format select	00 01	Offset binary. Twos complement (default)	0x1	R/W
0x0562	Out overrange clear	[7:0]	Data format overrange clear	0 1	Overrange clear bits (one bit for each virtual converter). Writing a 1 to the overrange clear bit clears the corresponding overrange sticky bit. Overrange bit enabled. Overrange bit cleared.	0x0	R/W
0x0563	Out overrange status	[7:0]	Data format overrange	0 1	Overrange sticky bit status (one bit for each virtual converter). Writing a 1 to the overrange clear bit clears the corresponding overrange sticky bit. No overrange occurred. Overrange occurred.	0x0	R
0x0564	Out channel select	[7:1]	Reserved		Reserved.	0x0	R
		0	Converter channel swap control	0 1	Normal channel ordering. Channel swap enabled.	0x0	R/W

0x056E	PLL control	[7:4]	CYD9689B lane rate control	0000 Lane rate = 8 Gbps to 13.5 Gbps. 1000 Lane rate = 6.75 Gbps to 8 Gbps 0001 Lane rate = 4 Gbps to 6.75 Gbps. 1001 Lane rate = 3.375 Gbps to 4 Gbps. 0101 Lane rate = 2 Gbps to 3.375 Gbps. 1101 Lane rate = 1.6875 Gbps to 2 Gbps. 0011 Lane rate = 13.5 Gbps to 16 Gbps.	0x3	R/W
		[3:0]	Reserved	Reserved.	0x0	R
0x056F	PLL status	7	PLL lock status	0 Not locked. 1 Locked.	0x0	R
		[6:4]	Reserved	Reserved.	0x0	R
		3	PLL loss of lock	1 Loss of lock sticky bit. Indicate a loss of lock has occurred at some time. Cleared by setting Register 0x0571, Bit 0.		
		[2:0]	Reserved	Reserved		
0x0570	fS × 4 configuration	[7:0]		See the fS × 4 Mode section. 0xFE L = 8, M = 2, F = 2, S = 4, N' = 16, N = 16, CS = 0, CF = 0, HD = 0; fS × 4 mode enabled. 0xFF fS × 4 mode disabled. L, M, and F set by Register 0x058B, Bits[4:0], Register 0x58E, Bits[7:0], and Register 0x058C, Bits[7:0], respectively.	0xFF	R/W
0x0571	CYD9689B Link Control 1	7	Standby mode	0 Standby mode forces zeros for all converter samples. 1 Standby mode forces code group synchronization (K28.5 characters).	0x0	R/W
		6	Tail bit(t) PN	0 Disable. 1 Enable.	0x0	R/W
		5	Long transport layer test	0 CYD9689B test samples disabled.	0x0	R/W

				1	CYD9689B test samples enabled; long transport layer test sample sequence (as specified in CYD9689B Section 5.1.6.3) sent on all link lanes.	0x1	R/W
				4	Lane synchronization		
				0	Disable FACL uses /K28.7/.		
		[3:2]	ILAS sequence mode	1	Enable FACL uses /K28.3/ and /K28.7/.	0x1	R/W
				00	Initial lane alignment sequence disabled (CYD9689B Section 5.3.3.5).		
				01	Initial lane alignment sequence enabled (CYD9689B Section 5.3.3.5).		
		1	FACL	11	Initial lane alignment sequence always on test mode. CYD9689B data link layer test mode where repeated lane alignment sequence (as specified in CYD9689B Section 5.3.3.8.2) sent on all lanes.	0x0	R/W
				0	Frame alignment character insertion enabled (CYD9689B Section 5.3.3.4).		
				1	Frame alignment character insertion disabled. For debug only (CYD9689B Section 5.3.3.4).		
		0	Link control			0x0	R/W
				0	CYD9689B serial transmit link enabled. Transmission of the /K28.5/ characters for code group synchronization is controlled by the SYNC~ signal.		
				1	CYD9689B serial transmit link powered down (held in reset and clock gated).		
0x0572	CYD9689B Link Control 2	[7:6]	SYNCINB± pin control			0x0	R/W
				00	Normal mode.		
				10	Ignore SYNCINB± (force CGS).		
				11	Ignore SYNCINB± (force ILAS/user data).		
		5	SYNCINB± pin invert			0x0	R/W
				0	SYNCINB± pin not inverted.		

0x0573	CYD9689B Link Control 3		1	SYNCINB± pin inverted.		
		4	SYNCINB± pin type	0	LVDS differential pair SYNC~ input.	0x0 R/W
			1	CMOS single-ended SYNC~ input. SYNCINB+ used.		
		3	Syncb error report disable		syncb error report disable	0x0 R/W
		2	8-bit/10-bit bypass	0	8-bit/10-bit enabled.	0x0 R/W
			1	8-bit/10-bit bypassed (most significant 2 bits are 0).		
		1	8-bit/10-bit bit invert	0	Normal.	0x0 R/W
			1	Invert a, b, c, d, e, f, g, h, l, and j symbols.		
		0	Reserved		Reserved.	0x0 R/W
		[7:6]	Checksum mode	00	Checksum is the sum of all 8-bit registers in the link configuration table.	0x0 R/W
				01	Checksum is the sum of all individual link configuration fields (LSB aligned).	
				10	Checksum is disabled (set to zero). For test purposes only.	
				11	Unused.	
		[5:4]	Test injection point	0	N' sample input.	0x0 R/W
				1	10-bit data at 8-bit/10-bit output (for PHY testing).	
				10	8-bit data at scrambler input.	
		[3:0]	CYD9689B test mode patterns	0	Normal operation (test mode disabled).	
				1	Alternating checkerboard.	
				10	1/0 word toggle.	
				11	31-bit pseudorandom number (PN) sequence: $x^{31} + x^{28} + 1$.	
				100	23-bit PN sequence: $x^{23} + x^{18} + 1$.	
				101	15-bit PN sequence: $x^{15} + x^{14} + 1$.	
				110	9-bit PN sequence: $x^9 + x^5 + 1$.	

				111	7-bit PN sequence: $x^7 + x^6 + 1$.		
				1000	Ramp output.		
				1110	Continuous/repeat user test.		
				1111	Single user test.		
0x0574	CYD9689B Link Control 4	[7:4]	ILAS delay			0x0	R/W
				0	Transmit ILAS on first LMFC after SYNCINB± deasserted.		
				1	Transmit ILAS on second LMFC after SYNCINB± deasserted.		
				10	Transmit ILAS on third LMFC after SYNCINB± deasserted.		
				11	Transmit ILAS on fourth LMFC after SYNCINB± deasserted.		
				100	Transmit ILAS on fifth LMFC after SYNCINB± deasserted.		
				101	Transmit ILAS on sixth LMFC after SYNCINB± deasserted.		
				110	Transmit ILAS on seventh LMFC after SYNCINB± deasserted.		
				111	Transmit ILAS on eighth LMFC after SYNCINB± deasserted.		
				1000	Transmit ILAS on ninth LMFC after SYNCINB± deasserted.		
				1001	Transmit ILAS on tenth LMFC after SYNCINB± deasserted.		
				1010	Transmit ILAS on eleventh LMFC after SYNCINB± deasserted.		
				1011	Transmit ILAS on twelfth LMFC after SYNCINB± deasserted.		
				1100	Transmit ILAS on thirteenth LMFC after SYNCINB± deasserted.		
				1101	Transmit ILAS on fourteenth LMFC after SYNCINB± deasserted.		
				1110	Transmit ILAS on fifteenth LMFC after SYNCINB± deasserted.		
				1111	Transmit ILAS on sixteenth LMFC after SYNCINB± deasserted.		
		3	Reserved		Reserved.	0x0	R
		[2:0]	Link layer test			0x0	R/W

			mode	000 Normal operation (link layer test mode disabled). 001 Continuous sequence of /D21.5/ characters. 010 Reserved. 011 Reserved. 100 Modified RPAT test sequence. 101 JSPAT test sequence. 110 JTSPAT test sequence. 111 Reserved.		
0x0578	CYD9689B LMFC offset	[7:5]	Reserved	Reserved.	0x0	R
		[4:0]	LMFC phase offset value	Local multiframe clock (LMFC) phase offset value (in frame clocks). Refer to the Deterministic Latency section.	0x0	R/W
0x0580	CYD9689B DID configuration	[7:0]	CYD9689B Tx DID value	CYD9689B serial device identification (DID) number.	0x0	R/W
0x0581	CYD9689B BID configuration	[7:4]	Reserved	Reserved.	0x0	R
		[3:0]	CYD9689B Tx BID value	CYD9689B serial bank identification (BID) number (extension to DID).	0x0	R/W
0x0583	CYD9689B LID0 configuration	[7:5]	Reserved	Reserved.	0x0	R
		[4:0]	Lane 0 LID value	CYD9689B serial lane identification (LID) number for Lane 0.	0x0	R/W
0x0584	CYD9689B LID1 configuration	[7:5]	Reserved	Reserved.	0x0	R
		[4:0]	Lane 1 LID value	CYD9689B serial lane identification (LID) number for Lane 1.	0x1	R/W
0x0585	CYD9689B LID2 configuration	[7:5]	Reserved	Reserved.	0x0	R
		[4:0]	Lane 2 LID value	CYD9689B serial lane identification (LID) number for Lane 2.	0x2	R/W
0x0586	CYD9689B LID3 configuration	[7:5]	Reserved	Reserved.	0x0	R
		[4:0]	Lane 3 LID value	CYD9689B serial lane identification (LID) number for Lane 3.	0x3	R/W
0x0587	CYD9689B LID4 configuration	[7:5]	Reserved	Reserved.	0x0	R
		[4:0]	Lane 4 LID value	CYD9689B serial lane identification (LID) number for Lane 4.	0x4	R/W
0x0588	CYD9689B LID5 configuration	[7:5]	Reserved	Reserved.	0x0	R
		[4:0]	Lane 5 LID value	CYD9689B serial lane identification (LID) number for Lane 5.	0x5	R/W
0x0589	CYD9689B LID6	[7:5]	Reserved	Reserved.	0x0	R

	configuration	[4:0]	Lane 6 LID value		CYD9689B serial lane identification (LID) number for Lane 6.	0x6	R/W
0x058A	CYD9689B LID7 configuration	[7:5]	Reserved		Reserved.	0x0	R
		[4:0]	Lane 7 LID value		CYD9689B serial lane identification (LID) number for Lane 7.	0x7	R/W
0x058B	CYD9689B scrambling and number lanes (L) configuration	7	CYD9689B scrambling (SCR)			0x1	R/W
				0	CYD9689B scrambler disabled (SCR = 0).		
				1	CYD9689B scrambler enabled (SCR = 1).		
		[6:5]	Reserved		Reserved.	0x0	R
		[4:0]	CYD9689B lanes (L)			0x7	R/W
				0x0	One lane per link (L = 1).		
				0x1	Two lanes per link (L = 2).		
				0x3	Four lanes per link (L = 4).		
				0x7	Eight lanes per Link (L = 8).		
0x058C	CYD9689B link number of octets per frames (F)	[7:0]	CYD9689B F configuration		CYD9689B number of octets per frame (F = CYD9689B F configuration + 1)	0x0	R/W
				0	F = 1.		
				1	F = 2.		
				10	F = 3.		
				11	F = 4.		
				101	F = 6.		
				111	F = 8.		
				1111	F = 16.		
0x058D	CYD9689B link number of frames per multiframe (K)	[7:5]	Reserved		Reserved.	0x0	R
		[4:0]	CYD9689B K configuration		CYD9689B number of frames per multiframe (K = CYD9689B K configuration + 1). Only values where F × K is divisible by 4 can be used.	0x1F	R/W
0x058E	CYD9689B link number of converters (M)	[7:0]	CYD9689B M configuration		CYD9689B number of converters per link/device (M = CYD9689B M configuration).	0x1	R/W
				0	Link connected to one virtual converter (M = 1).		

				1	Link connected to two virtual converters (M = 2).		
				11	Link connected to four virtual converters (M = 4).		
				111	Link connected to eight virtual converters (M = 8).		
0x058F	CYD9689B number of control bits (CS) and ADC resolution (N)	[7:6]	Number of control bits (CS) per sample			0x0	R/W
				0	No control bits (CS = 0).		
				1	1 control bit (CS = 1), Control Bit 2 only.		
				10	2 control bits (CS = 2), Control Bit 2 and Control Bit 1 only.		
				11	3 control bits (CS = 3), all control bits (Control Bit 2, Control Bit 1, and Control Bit 0).		
		5	Reserved		Reserved.	0x0	R
		[4:0]	ADC converter resolution (N)			0xF	R/W
				00110	N = 7-bit resolution.		
				00111	N = 8-bit resolution.		
				01000	N = 9-bit resolution.		
				01001	N = 10-bit resolution.		
				01010	N = 11-bit resolution.		
				01011	N = 12-bit resolution.		
				01100	N = 13-bit resolution.		
				01101	N = 14-bit resolution.		
				01110	N = 15-bit resolution.		
				01111	N = 16-bit resolution.		
0x0590	CYD9689B SCV NP configuration	[7:5]	Subclass support			0x1	R/W
				000	Subclass 0.		
				001	Subclass 1.		
		[4:0]	ADC number of bits per sample(N')				0xF
				0 0111		N' = 8.	
				0 1011		N' = 12.	
				0 1111		N' = 16.	
	CYD9689B JV S	[7:5]	Reserved		Reserved.	0x1	R

0x0591	configuration	[4:0]	Samples per converter frame cycle (S)		Samples per converter frame cycle (S = Register 0x0591, Bits[4:0] + 1).	0x0	R
0x0592	CYD9689B HD CF configuration	7	HD value	0 1	High density format disabled. High density format enabled.	0x0	R
		[6:5]	Reserved		Reserved.	0x0	R
		[4:0]	Control words per frame clock cycle per link (CF)		Number of control words per frame clock cycle per link (CF = Register 0x0592, Bits[4:0]).	0x0	R
0x0593	link_ready&tx_ready	[7:2]	Reserved		Reserved	0x0	R
		1	link_ready		pma fsm reset done	0x0	R
		0	tx_ready		clk_char&clk_samp reset done.	0x0	R
0x05A0	CYD9689B Checksum 0 configuration	[7:0]	Checksum 0 checksum value for SERDOUT0±		Serial checksum value for Lane 0. Automatically calculated for each lane. Sum (all link configuration parameters for Lane 0) mod 256.	0xC3	R
0x05A1	CYD9689B Checksum 1 configuration	[7:0]	Checksum 1 checksum value for SERDOUT1±		Serial checksum value for Lane 1. Automatically calculated for each lane. Sum (all link configuration parameters for Lane 1) mod 256.	0xC4	R
0x05A2	CYD9689B Checksum 2 configuration	[7:0]	Checksum 2 checksum value for SERDOUT2±		Serial checksum value for Lane 2. Automatically calculated for each lane. Sum (all link configuration parameters for each lane) mod 256.	0xC5	R
0x05A3	CYD9689B Checksum 3 configuration	[7:0]	Checksum 3 checksum value for SERDOUT3±		Serial checksum value for Lane 3. Automatically calculated for each lane. Sum (all link configuration parameters for Lane 3) mod 256.	0xC6	R
0x05B0	CYD9689B lane power-down	7	CYD9689B Lane 7 powerdown	0 1	Physical Lane 7 force power-down. SERDOUT7± normal operation. SERDOUT7± power-down.	0x0	R/W
		6	CYD9689B Lane 6 powerdown	0 1	Physical Lane 6 force power-down. SERDOUT6± normal operation. SERDOUT6± power-down.	0x0	R/W
		5	CYD9689B Lane 5 powerdown		Physical Lane 5 force power-down.	0x0	R/W

0x05B2	CYD9689B Lane Assign 1			0	SERDOUT5± normal operation.		
				1	SERDOUT5± power-down.		
		4	CYD9689B Lane 4 powerdown		Physical Lane 4 force power-down.	0x0	R/W
				0	SERDOUT4± normal operation.		
				1	SERDOUT4± power-down.		
		3	CYD9689B Lane 3 powerdown		Physical Lane 3 force power-down.	0x0	R/W
				0	SERDOUT3± normal operation.		
				1	SERDOUT3± power-down.		
		2	CYD9689B Lane 2 powerdown		Physical Lane 2 force power-down.	0x0	R/W
				0	SERDOUT2± normal operation.		
				1	SERDOUT2± power-down.		
		1	CYD9689B Lane 1 powerdown		Physical Lane 1 force power-down.	0x0	R/W
				0	SERDOUT1± normal operation.		
				1	SERDOUT1± power-down.		
		0	CYD9689B Lane 0 powerdown		Physical Lane 0 force power-down.	0x0	R/W
				0	SERDOUT0± normal operation.		
				1	SERDOUT0± power-down.		
0x05B2	CYD9689B Lane Assign 1	7	Reserved		Reserved.	0x0	R
		[6:4]	SERDOUT1± lane assignment		Physical Lane 1 assignment.	0x1	R/W
				0	Logical Lane 0.		
				1	Logical Lane 1 (default).		
				10	Logical Lane 2.		
				11	Logical Lane 3.		
0x05B2	CYD9689B Lane Assign 1			100	Logical Lane 4.		
				101	Logical Lane 5.		
				110	Logical Lane 6.		
				111	Logical Lane 7.		
		3	Reserved		Reserved.	0x0	R
		[2:0]	SERDOUT0±		Physical Lane 0 assignment.	0x0	R/W

			lane assignment	0 Logical Lane 0 (default). 1 Logical Lane 1. 10 Logical Lane 2. 11 Logical Lane 3. 100 Logical Lane 4. 101 Logical Lane 5. 110 Logical Lane 6. 111 Logical Lane 7.		
0x05B3	CYD9689B Lane Assign 2	7	Reserved	Reserved.	0x0	R
		[6:4]	SERDOUT3± lane assignment	Physical Lane 3 assignment. 0 Logical Lane 0. 1 Logical Lane 1. 10 Logical Lane 2. 11 Logical Lane 3 (default). 100 Logical Lane 4. 101 Logical Lane 5. 110 Logical Lane 6. 111 Logical Lane 7.	0x3	R/W
		3	Reserved	Reserved.	0x0	R
		[2:0]	SERDOUT2± lane assignment	Physical Lane 2 assignment. 0 Logical Lane 0. 1 Logical Lane 1. 10 Logical Lane 2 (default). 11 Logical Lane 3. 100 Logical Lane 4. 101 Logical Lane 5. 110 Logical Lane 6. 111 Logical Lane 7.	0x2	R/W
0x05B5	CYD9689B Lane Assign 3	7	Reserved	Reserved.	0x0	R
		[6:4]	SERDOUT5± lane assignment	Physical Lane 5 assignment.	0x5	R/W

				0	Logical Lane 0.		
				1	Logical Lane 1.		
				10	Logical Lane 2.		
				11	Logical Lane 3.		
				100	Logical Lane 4.		
				101	Logical Lane 5 (default).		
				110	Logical Lane 6.		
				111	Logical Lane 7.		
		3	Reserved		Reserved.	0x0	R
		[2:0]	SERDOUT4± lane assignment		Physical Lane 4 assignment.	0x4	R/W
				0	Logical Lane 0.		
				1	Logical Lane 1.		
				10	Logical Lane 2.		
				11	Logical Lane 3.		
				100	Logical Lane 4 (default).		
				101	Logical Lane 5.		
				110	Logical Lane 6.		
				111	Logical Lane 7.		
		7	Reserved		Reserved.	0x0	R
		[6:4]	SERDOUT7± lane assignment		Physical Lane 7 assignment.	0x7	R/W
				0	Logical Lane 0.		
				1	Logical Lane 1.		
				10	Logical Lane 2.		
				11	Logical Lane 3.		
				100	Logical Lane 4.		
				101	Logical Lane 5.		
				110	Logical Lane 6.		
				111	Logical Lane 7 (default).		
		3	Reserved		Reserved.	0x0	R
		[2:0]	SERDOUT6± lane assignment		Physical Lane 6 assignment.	0x6	R/W
				0	Logical Lane 0.		
				1	Logical Lane 1.		
				10	Logical Lane 2.		

				11	Logical Lane 3.		
				100	Logical Lane 4.		
				101	Logical Lane 5.		
				110	Logical Lane 6 (default).		
				111	Logical Lane 7.		
0x05BF	SERDOUTx± data	7	Invert SERDOUT7± data		Invert SERDOUT7± data.	0x0	R/W
	invert			0	Normal.		
				1	Invert.		
		6	Invert SERDOUT6± data		Invert SERDOUT6± data.	0x0	R/W
				0	Normal.		
				1	Invert.		
		5	Invert SERDOUT5± data		Invert SERDOUT5± data.	0x0	R/W
				0	Normal.		
				1	Invert.		
		4	Invert SERDOUT4± data		Invert SERDOUT4± data.	0x0	R/W
				0	Normal.		
				1	Invert.		
		3	Invert SERDOUT3± data		Invert SERDOUT3± data.	0x0	R/W
				0	Normal.		
				1	Invert.		
		2	Invert SERDOUT2± data		Invert SERDOUT2± data.	0x0	R/W
				0	Normal.		
				1	Invert.		
		1	Invert SERDOUT1± data		Invert SERDOUT1± data.	0x0	R/W
				0	Normal.		
				1	Invert.		
		0	Invert SERDOUT0± data		Invert SERDOUT0± data.	0x0	R/W
				0	Normal.		

				1	Invert.		
0x05C0	CYD9689B Swing Adjust 1	7	Reserved		Reserved.	0x0	R
		[6:4]	SERDOUT1± voltage swing adjust	000 326m Vpp 001 405m Vpp 010 483m Vpp 011 560m Vpp 100 634m Vpp 101 704m Vpp 110 768m Vpp 111 Reserved	Output swing level for SERDOUT1±.	0x4	R/W
		3	Reserved		Reserved.	0x0	R
		[2:0]	SERDOUT0± voltage swing adjust	000 326m Vpp 001 405m Vpp 010 483m Vpp 011 560m Vpp 100 634m Vpp 101 704m Vpp 110 768m Vpp 111 Reserved	Output swing level for SERDOUT0±.	0x4	R/W
0x05C1	CYD9689B Swing Adjust 2	7	Reserved		Reserved.	0x0	R
		[6:4]	SERDOUT3± voltage swing adjust	000 326m Vpp 001 405m Vpp 010 483m Vpp 011 560m Vpp 100 634m Vpp 101 704m Vpp 110 768m Vpp 111 Reserved	Output swing level for SERDOUT3±.	0x4	R/W
		3	Reserved		Reserved.	0x0	R
		[2:0]	SERDOUT2± voltage		Output swing level for SERDOUT2±.	0x4	R/W

			swing adjust	000 001 010 011 100 101 110 111	326m Vpp 405m Vpp 483m Vpp 560m Vpp 634m Vpp 704m Vpp 768m Vpp Reserved		
0x05C2	CYD9689B Swing Adjust 3	7	Reserved		Reserved.	0x0	R
		[6:4]	SERDOUT5± voltage swing adjust	000 001 010 011 100 101 110 111	326m Vpp 405m Vpp 483m Vpp 560m Vpp 634m Vpp 704m Vpp 768m Vpp Reserved	Output swing level for SERDOUT5±.	0x4 R/W
		3	Reserved		Reserved.	0x0	R
		[2:0]	SERDOUT4± voltage swing adjust	000 001 010 011 100 101 110 111	326m Vpp 405m Vpp 483m Vpp 560m Vpp 634m Vpp 704m Vpp 768m Vpp Reserved	Output swing level for SERDOUT4±.	0x4 R/W
0x05C3	CYD9689B Swing Adjust 4	7	Reserved		Reserved.	0x0	R
		[6:4]	SERDOUT7± voltage swing adjust	000 001	326m Vpp 405m Vpp	Output swing level for SERDOUT7±.	0x4 R/W

				010	483m Vpp		
				011	560m Vpp		
				100	634m Vpp		
				101	704m Vpp		
				110	768m Vpp		
				111	Reserved		
		3	Reserved		Reserved.	0x0	R
		[2:0]	SERDOUT6± voltage swing adjust		Output swing level for SERDOUT6±.	0x4	R/W
				000	326m Vpp		
				001	405m Vpp		
				010	483m Vpp		
				011	560m Vpp		
				100	634m Vpp		
				101	704m Vpp		
				110	768m Vpp		
				111	Reserved		
0x05C4	SERDOUT0 preemphasis select	7	Post tap enable		Post tap enable.	0x0	R/W
				0	Disable.		
				1	Enable.		
		[6:4]	Set post tap level for SERDOUT0±		Set post tap level.	0x0	R/W
				000	0 dB.		
				001	1.1 dB.		
				010	2.4 dB.		
				011	3.9 dB.		
				100	5.8 dB.		
				101	8.2 dB		
				110	11.5 dB		
				111	Reserved		
		[3:0]	Reserved		Reserved.	0x0	R/W
0x05C5	SERDOUT1 preemphasis select	7	Post tap enable		Post tap enable.	0x0	R/W
				0	Disable.		
				1	Enable.		

		[6:4]	Set post tap level for SERDOUT1±	000 0 dB. 001 1.1 dB. 010 2.4 dB. 011 3.9 dB. 100 5.8 dB. 101 8.2 dB. 110 11.5 dB. 111 Reserved	0x0	R/W
		[3:0]	Reserved	Reserved.	0x0	R/W
	0x05C6 SERDOUT2 preemphasis select	7	Post tap enable	0 Disable. 1 Enable.	0x0	R/W
		[6:4]	Set post tap level for SERDOUT2±	000 0 dB. 001 1.1 dB. 010 2.4 dB. 011 3.9 dB. 100 5.8 dB. 101 8.2 dB. 110 11.5 dB. 111 Reserved	0x0	R/W
		[3:0]	Reserved	Reserved.	0x0	R/W
0x05C7	SERDOUT3 preemphasis select	7	Post tap enable	0 Disa ble. 1 Enab le.	0x0	R/W
		[6:4]	Set post tap level for SERDOUT3±	Set post tap level.	0x0	R/W

				000	0 dB.		
				001	1.1 dB.		
				010	2.4 dB.		
				011	3.9 dB.		
				100	5.8 dB.		
				101	8.2 dB		
				110	11.5 dB		
				111	Reserved		
		[3:0]	Reserved		Reserved.	0x0	R/W
0x05C8	SERDOUT4 preemphasis select	7	Post tap enable		Post tap enable.	0x0	R/W
				0	Disa ble.		
				1	Enab le.		
		[6:4]	Set post tap level for SERDOUT4±		Set post tap level.	0x0	R/W
				000	0 dB.		
				001	1.1 dB.		
				010	2.4 dB.		
				011	3.9 dB.		
				100	5.8 dB.		
				101	8.2 dB		
				110	11.5 dB		
				111	Reserved		
		[3:0]	Reserved		Reserved.	0x0	R/W
0x05C9	SERDOUT5 preemphasis select	7	Post tap enable		Post tap enable.	0x0	R/W
				0	Disable.		
				1	Enable.		
		[6:4]	Set post tap level for SERDOUT5±		Set post tap level.	0x0	R/W
				000	0 dB.		
				001	1.1 dB.		
				010	2.4 dB.		

0x05CA	SERDOUT6 preemphasis select			011	3.9 dB.		
				100	5.8 dB.		
				101	8.2 dB		
				110	11.5 dB		
				111	Reserved		
		[3:0]	Reserved		Reserved.	0x0	R/W
		7	Post tap enable		Post tap enable.	0x0	R/W
				0	Disable.		
				1	Enable.		
		[6:4]	Set post tap level for SERDOUT6±		Set post tap level.	0x0	R/W
0x05CB	SERDOUT7 preemphasis select			000	0 dB.		
				001	1.1 dB.		
				010	2.4 dB.		
				011	3.9 dB.		
				100	5.8 dB.		
				101	8.2 dB		
				110	11.5 dB		
				111	Reserved		
		[3:0]	Reserved		Reserved.	0x0	R/W
		7	Post tap enable		Post tap enable.	0x0	R/W
0x05CB	SERDOUT7 preemphasis select			0	Disable		
				1	Enable		
		[6:4]	Set post tap level for SERDOUT7±		Set post tap level.	0x0	R/W
				000	0 dB.		
				001	1.1 dB.		
				010	2.4 dB.		
				011	3.9 dB.		
				100	5.8 dB.		
				101	8.2 dB		
				110	11.5 dB		
				111	Reserved		

		[3:0]	Reserved		Reserved.	0x0	R/W
Programmable Filter Control and Coefficients Registers							
0x0DF8	PFILT control	[7:3]	Reserved		Reserved.	0x0	R
		[2:0]	PFILT mode		Programmable filter (PFILT) mode. 000 = disabled (filters bypassed). 001 = single filter (X only). $DOUT_I[n] = DIN_I[n] * X_I[n]$. $DOUT_Q[n] = DIN_Q[n] * X_Q[n]$. 010 = single filter (X and Y together). $DOUT_I[n] = DIN_I[n] * XY_I[n]$. $DOUT_Q[n] = DIN_Q[n] * XY_Q[n]$. 100 = cascaded filters (X to Y). $DOUT_I[n] = DIN_I[n] * X_I[n] * Y_I[n]$. $DOUT_Q[n] = DIN_Q[n] * X_Q[n] * Y_Q[n]$. $DOUT_Q[n] = DIN_Q[n] * X_Q[n] * Y_Q[n]$. 101 = complex filters. $DOUT_I[n] = DIN_I[n] * X_I[n] + DIN_Q[n] * Y_Q[n]$. $DOUT_Q[n] = DIN_Q[n] * X_Q[n] + DIN_I[n] * Y_I[n]$. 110 = half complex filter. $DOUT_I[n] = DIN_I[n]$. $DOUT_Q[n] = DIN_Q[n] * XY_Q[n] + DIN_I[n] * XY_I[n]$. 111 = real 96-tap filter. $DOUT_I[n] = DIN_I[n] * XY_I[n]$. $DOUT_Q[n] = DIN_Q[n] * XY_Q[n]$.	0x0	R/W
0x0DF9	PFILT gain	7	Reserved		Reserved.	0x0	R
		[6:4]	PFILT Y gain		PFILT Y gain.	0x0	R/W
				110	_12 dB loss.		
				111	_6 dB loss.		
				000	0 dB gain.		
				001	+6 dB gain.		
				010	+12 dB gain.		
		3	Reserved		Reserved.	0x0	R
		[2:0]	PFILT X gain		PFILT X gain.	0x0	R/W
				110	_12 dB loss.		
				111	_6 dB loss.		
				000	0 dB gain.		
				001	+6 dB gain.		
				010	+12 dB gain.		

0x0E00	PFILT X Coefficient 0	[7:0]	PFILT X Coefficient 0	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E01	PFILT X Coefficient 1	[7:0]	PFILT X Coefficient 1	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E02	PFILT X Coefficient 2	[7:0]	PFILT X Coefficient 2	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E03	PFILT X Coefficient 3	[7:0]	PFILT X Coefficient 3	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E04	PFILT X Coefficient 4	[7:0]	PFILT X Coefficient 4	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E05	PFILT X Coefficient 5	[7:0]	PFILT X Coefficient 5	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E06	PFILT X Coefficient 6	[7:0]	PFILT X Coefficient 6	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E07	PFILT X Coefficient 7	[7:0]	PFILT X Coefficient 7	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E08	PFILT X Coefficient 8	[7:0]	PFILT X Coefficient 8	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E09	PFILT X Coefficient 9	[7:0]	PFILT X Coefficient 9	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E0A	PFILT X Coefficient 10	[7:0]	PFILT X Coefficient 10	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E0B	PFILT X Coefficient 11	[7:0]	PFILT X Coefficient 11	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E0C	PFILT X Coefficient 12	[7:0]	PFILT X Coefficient 12	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E0D	PFILT X Coefficient 13	[7:0]	PFILT X Coefficient 13	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E0E	PFILT X Coefficient 14	[7:0]	PFILT X Coefficient 14	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E0F	PFILT X Coefficient 15	[7:0]	PFILT X Coefficient 15	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E10	PFILT X Coefficient 16	[7:0]	PFILT X Coefficient 16	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W

0x0E11	PFILT X Coefficient 17	[7:0]	PFILT X Coefficient 17	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E12	PFILT X Coefficient 18	[7:0]	PFILT X Coefficient 18	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E13	PFILT X Coefficient 19	[7:0]	PFILT X Coefficient 19	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E14	PFILT X Coefficient 20	[7:0]	PFILT X Coefficient 20	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E15	PFILT X Coefficient 21	[7:0]	PFILT X Coefficient 21	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E16	PFILT X Coefficient 22	[7:0]	PFILT X Coefficient 22	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E17	PFILT X Coefficient 23	[7:0]	PFILT X Coefficient 23	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E18	PFILT X Coefficient 24	[7:0]	PFILT X Coefficient 24	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E19	PFILT X Coefficient 25	[7:0]	PFILT X Coefficient 25	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E1A	PFILT X Coefficient 26	[7:0]	PFILT X Coefficient 26	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E1B	PFILT X Coefficient 27	[7:0]	PFILT X Coefficient 27	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E1C	PFILT X Coefficient 28	[7:0]	PFILT X Coefficient 28	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E1D	PFILT X Coefficient 29	[7:0]	PFILT X Coefficient 29	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E1E	PFILT X Coefficient 30	[7:0]	PFILT X Coefficient 30	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E1F	PFILT X Coefficient 31	[7:0]	PFILT X Coefficient 31	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E20	PFILT X Coefficient 32	[7:0]	PFILT X Coefficient 32	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E21	PFILT X Coefficient 33	[7:0]	PFILT X Coefficient 33	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E22	PFILT X Coefficient 34	[7:0]	PFILT X Coefficient 34	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E23	PFILT X Coefficient 35	[7:0]	PFILT X Coefficient 35	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W

0x0E24	PFILT X Coefficient 36	[7:0]	PFILT X Coefficient 36	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E25	PFILT X Coefficient 37	[7:0]	PFILT X Coefficient 37	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E26	PFILT X Coefficient 38	[7:0]	PFILT X Coefficient 38	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E27	PFILT X Coefficient 39	[7:0]	PFILT X Coefficient 39	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E28	PFILT X Coefficient 40	[7:0]	PFILT X Coefficient 40	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E29	PFILT X Coefficient 41	[7:0]	PFILT X Coefficient 41	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E2A	PFILT X Coefficient 42	[7:0]	PFILT X Coefficient 42	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E2B	PFILT X Coefficient 43	[7:0]	PFILT X Coefficient 43	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E2C	PFILT X Coefficient 44	[7:0]	PFILT X Coefficient 44	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E2D	PFILT X Coefficient 45	[7:0]	PFILT X Coefficient 45	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E2E	PFILT X Coefficient 46	[7:0]	PFILT X Coefficient 46	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E2F	PFILT X Coefficient 47	[7:0]	PFILT X Coefficient 47	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E30	PFILT X Coefficient 48	[7:0]	PFILT X Coefficient 48	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E31	PFILT X Coefficient 49	[7:0]	PFILT X Coefficient 49	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E32	PFILT X Coefficient 50	[7:0]	PFILT X Coefficient 50	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E33	PFILT X Coefficient 51	[7:0]	PFILT X Coefficient 51	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E34	PFILT X Coefficient 52	[7:0]	PFILT X Coefficient 52	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E35	PFILT X Coefficient 53	[7:0]	PFILT X Coefficient 53	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E36	PFILT X Coefficient 54	[7:0]	PFILT X Coefficient 54	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W

0x0E37	PFILT X Coefficient 55	[7:0]	PFILT X Coefficient 55	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E38	PFILT X Coefficient 56	[7:0]	PFILT X Coefficient 56	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E39	PFILT X Coefficient 57	[7:0]	PFILT X Coefficient 57	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E3A	PFILT X Coefficient 58	[7:0]	PFILT X Coefficient 58	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E3B	PFILT X Coefficient 59	[7:0]	PFILT X Coefficient 59	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E3C	PFILT X Coefficient 60	[7:0]	PFILT X Coefficient 60	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E3D	PFILT X Coefficient 61	[7:0]	PFILT X Coefficient 61	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E3E	PFILT X Coefficient 62	[7:0]	PFILT X Coefficient 62	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E3F	PFILT X Coefficient 63	[7:0]	PFILT X Coefficient 63	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E40	PFILT X Coefficient 64	[7:0]	PFILT X Coefficient 64	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E41	PFILT X Coefficient 65	[7:0]	PFILT X Coefficient 65	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E42	PFILT X Coefficient 66	[7:0]	PFILT X Coefficient 66	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E43	PFILT X Coefficient 67	[7:0]	PFILT X Coefficient 67	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E44	PFILT X Coefficient 68	[7:0]	PFILT X Coefficient 68	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E45	PFILT X Coefficient 69	[7:0]	PFILT X Coefficient 69	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E46	PFILT X Coefficient 70	[7:0]	PFILT X Coefficient 70	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E47	PFILT X Coefficient 71	[7:0]	PFILT X Coefficient 71	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E48	PFILT X Coefficient 72	[7:0]	PFILT X Coefficient 72	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E49	PFILT X Coefficient 73	[7:0]	PFILT X Coefficient 73	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W

0x0E4A	PFILT X Coefficient 74	[7:0]	PFILT X Coefficient 74	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E4B	PFILT X Coefficient 75	[7:0]	PFILT X Coefficient 75	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E4C	PFILT X Coefficient 76	[7:0]	PFILT X Coefficient 76	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E4D	PFILT X Coefficient 77	[7:0]	PFILT X Coefficient 77	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E4E	PFILT X Coefficient 78	[7:0]	PFILT X Coefficient 78	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E4F	PFILT X Coefficient 79	[7:0]	PFILT X Coefficient 79	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E50	PFILT X Coefficient 80	[7:0]	PFILT X Coefficient 80	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E51	PFILT X Coefficient 81	[7:0]	PFILT X Coefficient 81	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E52	PFILT X Coefficient 82	[7:0]	PFILT X Coefficient 82	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E53	PFILT X Coefficient 83	[7:0]	PFILT X Coefficient 83	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E54	PFILT X Coefficient 84	[7:0]	PFILT X Coefficient 84	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E55	PFILT X Coefficient 85	[7:0]	PFILT X Coefficient 85	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E56	PFILT X Coefficient 86	[7:0]	PFILT X Coefficient 86	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E57	PFILT X Coefficient 87	[7:0]	PFILT X Coefficient 87	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E58	PFILT X Coefficient 88	[7:0]	PFILT X Coefficient 88	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E59	PFILT X Coefficient 89	[7:0]	PFILT X Coefficient 89	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E5A	PFILT X Coefficient 90	[7:0]	PFILT X Coefficient 90	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E5B	PFILT X Coefficient 91	[7:0]	PFILT X Coefficient 91	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E5C	PFILT X Coefficient 92	[7:0]	PFILT X Coefficient 92	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W

0x0E5D	PFILT X Coefficient 93	[7:0]	PFILT X Coefficient 93	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E5E	PFILT X Coefficient 94	[7:0]	PFILT X Coefficient 94	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E5F	PFILT X Coefficient 95	[7:0]	PFILT X Coefficient 95	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E60	PFILT X Coefficient 96	[7:0]	PFILT X Coefficient 96	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E61	PFILT X Coefficient 97	[7:0]	PFILT X Coefficient 97	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E62	PFILT X Coefficient 98	[7:0]	PFILT X Coefficient 98	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E63	PFILT X Coefficient 99	[7:0]	PFILT X Coefficient 99	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E64	PFILT X Coefficient 100	[7:0]	PFILT X Coefficient 100	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E65	PFILT X Coefficient 101	[7:0]	PFILT X Coefficient 101	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E66	PFILT X Coefficient 102	[7:0]	PFILT X Coefficient 102	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E67	PFILT X Coefficient 103	[7:0]	PFILT X Coefficient 103	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E68	PFILT X Coefficient 104	[7:0]	PFILT X Coefficient 104	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E69	PFILT X Coefficient 105	[7:0]	PFILT X Coefficient 105	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E6A	PFILT X Coefficient 106	[7:0]	PFILT X Coefficient 106	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E6B	PFILT X Coefficient 107	[7:0]	PFILT X Coefficient 107	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E6C	PFILT X Coefficient 108	[7:0]	PFILT X Coefficient 108	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E6D	PFILT X Coefficient 109	[7:0]	PFILT X Coefficient 109	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E6E	PFILT X Coefficient 110	[7:0]	PFILT X Coefficient 110	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E6F	PFILT X Coefficient 111	[7:0]	PFILT X Coefficient 111	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W

0x0E70	PFILT X Coefficient 112	[7:0]	PFILT X Coefficient 112	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E71	PFILT X Coefficient 113	[7:0]	PFILT X Coefficient 113	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E72	PFILT X Coefficient 114	[7:0]	PFILT X Coefficient 114	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E73	PFILT X Coefficient 115	[7:0]	PFILT X Coefficient 115	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E74	PFILT X Coefficient 116	[7:0]	PFILT X Coefficient 116	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E75	PFILT X Coefficient 117	[7:0]	PFILT X Coefficient 117	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E76	PFILT X Coefficient 118	[7:0]	PFILT X Coefficient 118	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E77	PFILT X Coefficient 119	[7:0]	PFILT X Coefficient 119	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E78	PFILT X Coefficient 120	[7:0]	PFILT X Coefficient 120	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E79	PFILT X Coefficient 121	[7:0]	PFILT X Coefficient 121	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E7A	PFILT X Coefficient 122	[7:0]	PFILT X Coefficient 122	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E7B	PFILT X Coefficient 123	[7:0]	PFILT X Coefficient 123	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E7C	PFILT X Coefficient 124	[7:0]	PFILT X Coefficient 124	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E7D	PFILT X Coefficient 125	[7:0]	PFILT X Coefficient 125	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E7E	PFILT X Coefficient 126	[7:0]	PFILT X Coefficient 126	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0E7F	PFILT X Coefficient 127	[7:0]	PFILT X Coefficient 127	Programmable Filter X coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F00	PFILT Y Coefficient 0	[7:0]	PFILT Y Coefficient 0	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F01	PFILT Y Coefficient 1	[7:0]	PFILT Y Coefficient 1	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F02	PFILT Y Coefficient 2	[7:0]	PFILT Y Coefficient 2	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W

0x0F03	PFILT Y Coefficient 3	[7:0]	PFILT Y Coefficient 3	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F04	PFILT Y Coefficient 4	[7:0]	PFILT Y Coefficient 4	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F05	PFILT Y Coefficient 5	[7:0]	PFILT Y Coefficient 5	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F06	PFILT Y Coefficient 6	[7:0]	PFILT Y Coefficient 6	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F07	PFILT Y Coefficient 7	[7:0]	PFILT Y Coefficient 7	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F08	PFILT Y Coefficient 8	[7:0]	PFILT Y Coefficient 8	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F09	PFILT Y Coefficient 9	[7:0]	PFILT Y Coefficient 9	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F0A	PFILT Y Coefficient 10	[7:0]	PFILT Y Coefficient 10	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F0B	PFILT Y Coefficient 11	[7:0]	PFILT Y Coefficient 11	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F0C	PFILT Y Coefficient 12	[7:0]	PFILT Y Coefficient 12	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F0D	PFILT Y Coefficient 13	[7:0]	PFILT Y Coefficient 13	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F0E	PFILT Y Coefficient 14	[7:0]	PFILT Y Coefficient 14	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F0F	PFILT Y Coefficient 15	[7:0]	PFILT Y Coefficient 15	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F10	PFILT Y Coefficient 16	[7:0]	PFILT Y Coefficient 16	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F11	PFILT Y Coefficient 17	[7:0]	PFILT Y Coefficient 17	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F12	PFILT Y Coefficient 18	[7:0]	PFILT Y Coefficient 18	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F13	PFILT Y Coefficient 19	[7:0]	PFILT Y Coefficient 19	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F14	PFILT Y Coefficient 20	[7:0]	PFILT Y Coefficient 20	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F15	PFILT Y Coefficient 21	[7:0]	PFILT Y Coefficient 21	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W

0x0F16	PFILT Y Coefficient 22	[7:0]	PFILT Y Coefficient 22	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F17	PFILT Y Coefficient 23	[7:0]	PFILT Y Coefficient 23	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F18	PFILT Y Coefficient 24	[7:0]	PFILT Y Coefficient 24	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F19	PFILT Y Coefficient 25	[7:0]	PFILT Y Coefficient 25	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F1A	PFILT Y Coefficient 26	[7:0]	PFILT Y Coefficient 26	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F1B	PFILT Y Coefficient 27	[7:0]	PFILT Y Coefficient 27	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F1C	PFILT Y Coefficient 28	[7:0]	PFILT Y Coefficient 28	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F1D	PFILT Y Coefficient 29	[7:0]	PFILT Y Coefficient 29	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F1E	PFILT Y Coefficient 30	[7:0]	PFILT Y Coefficient 30	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F1F	PFILT Y Coefficient 31	[7:0]	PFILT Y Coefficient 31	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F20	PFILT Y Coefficient 32	[7:0]	PFILT Y Coefficient 32	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F21	PFILT Y Coefficient 33	[7:0]	PFILT Y Coefficient 33	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F22	PFILT Y Coefficient 34	[7:0]	PFILT Y Coefficient 34	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F23	PFILT Y Coefficient 35	[7:0]	PFILT Y Coefficient 35	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F24	PFILT Y Coefficient 36	[7:0]	PFILT Y Coefficient 36	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F25	PFILT Y Coefficient 37	[7:0]	PFILT Y Coefficient 37	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F26	PFILT Y Coefficient 38	[7:0]	PFILT Y Coefficient 38	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F27	PFILT Y Coefficient 39	[7:0]	PFILT Y Coefficient 39	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F28	PFILT Y Coefficient 40	[7:0]	PFILT Y Coefficient 40	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W

0x0F29	PFILT Y Coefficient 41	[7:0]	PFILT Y Coefficient 41	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F2A	PFILT Y Coefficient 42	[7:0]	PFILT Y Coefficient 42	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F2B	PFILT Y Coefficient 43	[7:0]	PFILT Y Coefficient 43	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F2C	PFILT Y Coefficient 44	[7:0]	PFILT Y Coefficient 44	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F2D	PFILT Y Coefficient 45	[7:0]	PFILT Y Coefficient 45	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F2E	PFILT Y Coefficient 46	[7:0]	PFILT Y Coefficient 46	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F2F	PFILT Y Coefficient 47	[7:0]	PFILT Y Coefficient 47	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F30	PFILT Y Coefficient 48	[7:0]	PFILT Y Coefficient 48	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F31	PFILT Y Coefficient 49	[7:0]	PFILT Y Coefficient 49	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F32	PFILT Y Coefficient 50	[7:0]	PFILT Y Coefficient 50	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F33	PFILT Y Coefficient 51	[7:0]	PFILT Y Coefficient 51	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F34	PFILT Y Coefficient 52	[7:0]	PFILT Y Coefficient 52	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F35	PFILT Y Coefficient 53	[7:0]	PFILT Y Coefficient 53	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F36	PFILT Y Coefficient 54	[7:0]	PFILT Y Coefficient 54	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F37	PFILT Y Coefficient 55	[7:0]	PFILT Y Coefficient 55	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F38	PFILT Y Coefficient 56	[7:0]	PFILT Y Coefficient 56	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F39	PFILT Y Coefficient 57	[7:0]	PFILT Y Coefficient 57	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F3A	PFILT Y Coefficient 58	[7:0]	PFILT Y Coefficient 58	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F3B	PFILT Y Coefficient 59	[7:0]	PFILT Y Coefficient 59	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W

0x0F3C	PFILT Y Coefficient 60	[7:0]	PFILT Y Coefficient 60	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F3D	PFILT Y Coefficient 61	[7:0]	PFILT Y Coefficient 61	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F3E	PFILT Y Coefficient 62	[7:0]	PFILT Y Coefficient 62	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F3F	PFILT Y Coefficient 63	[7:0]	PFILT Y Coefficient 63	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F40	PFILT Y Coefficient 64	[7:0]	PFILT Y Coefficient 64	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F41	PFILT Y Coefficient 65	[7:0]	PFILT Y Coefficient 65	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F42	PFILT Y Coefficient 66	[7:0]	PFILT Y Coefficient 66	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F43	PFILT Y Coefficient 67	[7:0]	PFILT Y Coefficient 67	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F44	PFILT Y Coefficient 68	[7:0]	PFILT Y Coefficient 68	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F45	PFILT Y Coefficient 69	[7:0]	PFILT Y Coefficient 69	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F46	PFILT Y Coefficient 70	[7:0]	PFILT Y Coefficient 70	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F47	PFILT Y Coefficient 71	[7:0]	PFILT Y Coefficient 71	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F48	PFILT Y Coefficient 72	[7:0]	PFILT Y Coefficient 72	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F49	PFILT Y Coefficient 73	[7:0]	PFILT Y Coefficient 73	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F4A	PFILT Y Coefficient 74	[7:0]	PFILT Y Coefficient 74	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F4B	PFILT Y Coefficient 75	[7:0]	PFILT Y Coefficient 75	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F4C	PFILT Y Coefficient 76	[7:0]	PFILT Y Coefficient 76	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F4D	PFILT Y Coefficient 77	[7:0]	PFILT Y Coefficient 77	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F4E	PFILT Y Coefficient 78	[7:0]	PFILT Y Coefficient 78	Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W

0x0F4F	PFILT Y Coefficient 79	[7:0]	PFILT Y Coefficient 79		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F50	PFILT Y Coefficient 80	[7:0]	PFILT Y Coefficient 80		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F51	PFILT Y Coefficient 81	[7:0]	PFILT Y Coefficient 81		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F52	PFILT Y Coefficient 82	[7:0]	PFILT Y Coefficient 82		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F53	PFILT Y Coefficient 83	[7:0]	PFILT Y Coefficient 83		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F54	PFILT Y Coefficient 84	[7:0]	PFILT Y Coefficient 84		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F55	PFILT Y Coefficient 85	[7:0]	PFILT Y Coefficient 85		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F56	PFILT Y Coefficient 86	[7:0]	PFILT Y Coefficient 86		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F57	PFILT Y Coefficient 87	[7:0]	PFILT Y Coefficient 87		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F58	PFILT Y Coefficient 88	[7:0]	PFILT Y Coefficient 88		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F59	PFILT Y Coefficient 89	[7:0]	PFILT Y Coefficient 89		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F5A	PFILT Y Coefficient 90	[7:0]	PFILT Y Coefficient 90		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F5B	PFILT Y Coefficient 91	[7:0]	PFILT Y Coefficient 91		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F5C	PFILT Y Coefficient 92	[7:0]	PFILT Y Coefficient 92		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F5D	PFILT Y Coefficient 93	[7:0]	PFILT Y Coefficient 93		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F5E	PFILT Y Coefficient 94	[7:0]	PFILT Y Coefficient 94		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F5F	PFILT Y Coefficient 95	[7:0]	PFILT Y Coefficient 95		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F60	PFILT Y Coefficient 96	[7:0]	PFILT Y Coefficient 96		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F61	PFILT Y Coefficient 97	[7:0]	PFILT Y Coefficient 97		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W

0x0F62	PFILT Y Coefficient 98	[7:0]	PFILT Y Coefficient 98		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F63	PFILT Y Coefficient 99	[7:0]	PFILT Y Coefficient 99		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F64	PFILT Y Coefficient 100	[7:0]	PFILT Y Coefficient 100		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F65	PFILT Y Coefficient 101	[7:0]	PFILT Y Coefficient 101		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F66	PFILT Y Coefficient 102	[7:0]	PFILT Y Coefficient 102		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F67	PFILT Y Coefficient 103	[7:0]	PFILT Y Coefficient 103		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F68	PFILT Y Coefficient 104	[7:0]	PFILT Y Coefficient 104		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F69	PFILT Y Coefficient 105	[7:0]	PFILT Y Coefficient 105		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F6A	PFILT Y Coefficient 106	[7:0]	PFILT Y Coefficient 106		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F6B	PFILT Y Coefficient 107	[7:0]	PFILT Y Coefficient 107		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F6C	PFILT Y Coefficient 108	[7:0]	PFILT Y Coefficient 108		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F6D	PFILT Y Coefficient 109	[7:0]	PFILT Y Coefficient 109		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F6E	PFILT Y Coefficient 110	[7:0]	PFILT Y Coefficient 110		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F6F	PFILT Y Coefficient 111	[7:0]	PFILT Y Coefficient 111		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F70	PFILT Y Coefficient 112	[7:0]	PFILT Y Coefficient 112		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F71	PFILT Y Coefficient 113	[7:0]	PFILT Y Coefficient 113		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F72	PFILT Y Coefficient 114	[7:0]	PFILT Y Coefficient 114		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F73	PFILT Y Coefficient 115	[7:0]	PFILT Y Coefficient 115		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F74	PFILT Y Coefficient 116	[7:0]	PFILT Y Coefficient 116		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W

0x0F75	PFILT Y Coefficient 117	[7:0]	PFILT Y Coefficient 117		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F76	PFILT Y Coefficient 118	[7:0]	PFILT Y Coefficient 118		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F77	PFILT Y Coefficient 119	[7:0]	PFILT Y Coefficient 119		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F78	PFILT Y Coefficient 120	[7:0]	PFILT Y Coefficient 120		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F79	PFILT Y Coefficient 121	[7:0]	PFILT Y Coefficient 121		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F7A	PFILT Y Coefficient 122	[7:0]	PFILT Y Coefficient 122		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F7B	PFILT Y Coefficient 123	[7:0]	PFILT Y Coefficient 123		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F7C	PFILT Y Coefficient 124	[7:0]	PFILT Y Coefficient 124		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F7D	PFILT Y Coefficient 125	[7:0]	PFILT Y Coefficient 125		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F7E	PFILT Y Coefficient 126	[7:0]	PFILT Y Coefficient 126		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W
0x0F7F	PFILT Y Coefficient 127	[7:0]	PFILT Y Coefficient 127		Programmable Filter Y coefficients. Coefficients are only applied after the chip transfer bit is written.	0x0	R/W

VREF/Analog Input Control Registers

0x0701	DC offset calibration control (local)	[7:0]	DC offset calibration control	0x06 0x86	Disable. Enable.	0x06	R/W
0x18A6	VREF control	[7:1]	Reserved		Reserved.	0x0	R
		0	VREF control	0 1	Internal reference. External reference.		
0x18E3	External VCM buffer control	7	Reserved		Reserved.	0x0	R
		6	External VCM buffer	0 1	Disable. Enable.	0x0	R/W
		[5:0]	External VCM buffer [5:0]		See the Input Common Mode section.	0x0	R/W

0x18E6	Temperature diode export	[7:0]	Temperature diode location select	See the Temperature Diode section. 0x00 Central diode. VREF pin = high-Z. 0x01 Central diode. VREF pin = 1× diode voltage output. 0x02 Central diode. VREF pin = 20× diode voltage output. 0x03 Central diode. VREF pin = GND. 0x40 Channel A diode. VREF pin = high-Z. 0x41 Channel A diode. VREF pin = 1× diode voltage output. 0x42 Channel A diode. VREF pin = 20× diode voltage output. 0x43 Channel A diode. VREF pin = GND. 0x50 Channel B diode. VREF pin = high-Z. 0x51 Channel B diode. VREF pin = 1× diode voltage output. 0x52 Channel B diode. VREF pin = 20× diode voltage output. 0x53 Channel B diode. VREF pin = GND.	0x0	R/W
0x1908	Analog input control (local)	[7:3]	Reserved	Reserved.	0x0	R
		2	Enable dc coupling	0 Analog input is optimized for ac coupling. 1 Analog input is optimized for dc coupling.	0x0	R/W
		[1:0]	Reserved	Reserved.	0x0	R
0x1910	Input full-scale control (local)	[7:4]	Reserved	Reserved.	0x0	R
		[3:0]	Input full-scale voltage	Full-scale voltage setting. 1000 1.13 V p-p differential. 1001 1.25 V p-p differential. 1101 1.7 V p-p differential. 1110 1.81 V p-p differential. 1111 1.93 V p-p differential. 0000 2.04 V p-p differential.	0xD	R/W
0x1A4C	Buffer Control 1	[7:6]	Reserved	Reserved.	0x0	R

	(local)	[5:0]	Buffer Control 1	adj_inputbuf_idrive<5:0>, inputbuf output current=30 X idrive;	0x09	R/W
			000000	640 uA		
			000001	680 uA		
						
			00100	1000		
			1	uA		
						
			00111	1240		
			1	uA		
			01(or 10)000	1280 uA		
			0			
						
			01(or 10)111	1880 uA		
			1			
			110000	1920 uA		
						
			111111	2520 uA		
0x1A4D	Buffer Control 2 (local)	[7:6]	Reserved	Reserved.	0x0	R/W
		[5:0]	Buffer Control 2	adj_inputbuf_idrive<5:0>, inputbuf output current=30 X idrive;	0x09	R/W
			000000	640 uA		
			000001	680 uA		
						
			001001	1000 uA		
						
			001111	1240 uA		
			01(or 10)0000	1280 uA		
						
			01(or 10)1111	1880 uA		
			110000	1920 uA		
						
			111111	2520 uA		

11. 应用信息

电源建议

为 CYD9689B 供电所需的电源如表 47 所示。操作 CYD9689B 不需要上电顺序，电源域可以按任何顺序启动，上电完毕后通过 0x0001 与 0x003C 进行软复位。

表 47.CYD9689B 的典型电源

电源域	电压 (V)	纹波 (%)
AVDD1	0.975	±2.5
AVDD1_SR	0.975	±2.5
DVDD	0.975	±2.5
DRVDD1	0.975	±2.5
AVDD2	1.9	±2.5
DRVDD2	1.9	±2.5
SPIVDD	1.9	±2.5
AVDD3	2.5	±2.5

对于需要最佳高功率效率 and 低噪声性能的应用，建议使用 ADP5054 四通道开关稳压器将 6.0V 至 15V 范围内的输入电压转换为中间电压（1.3V、2.4V 和 3.0V）。然后，这些中间电压由极低噪声、低压差（LDO）稳压器进行后置调节。图 89 展示了 CYD9689B 的推荐电源方案。

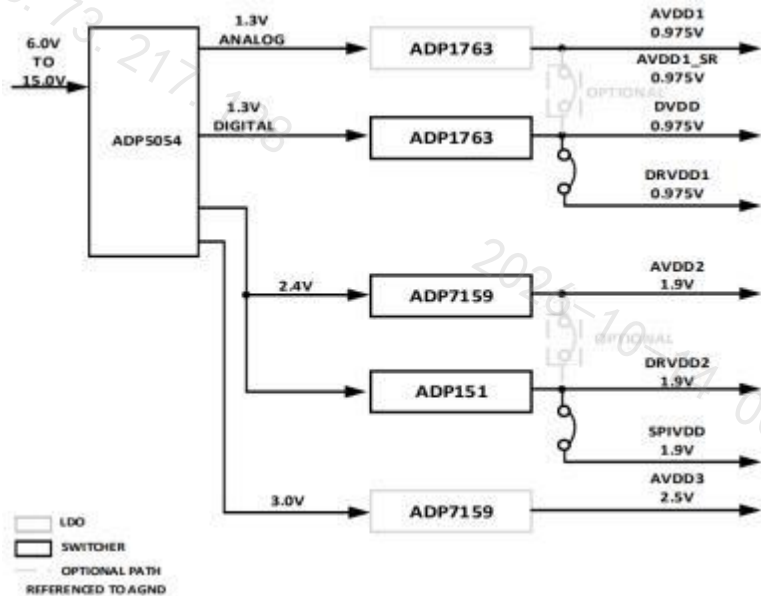


图 89.用于 CYD9689B 的高效率、低噪声电源解决方案

没有必要在所有情况下都拆分所有这些电源域。图 89 所示的推荐解决方案为 CYD9689B 提供了噪声最低、效率最高的供电系统。如果只有一个 0.975V 电源可用，则首先连接至 AVDD1，然后将其用铁氧体磁珠或滤波器扼流圈隔离器件分接至 AVDD1_SR、DVDD 和 DRVDD1 以及去耦电容。图 90 展示了简化的原理图。在选择合适的铁氧体磁珠时，必须考虑铁氧体磁珠的直流电阻（DCR）。否则，铁氧体磁珠上的电压过大损耗会导致 ADC 故障。可调 LDO 可用于输出更高的电压，以解决铁氧体磁珠上的压降。或者可以完全旁路 LDO，CYD9689B 可以直接由 DC-DC 转换器驱动。请注意，这种方法

存在风险，因为可能会有更多的电源噪声注入 ADC 的电源域。为了最大限度地降低噪声，请遵循 DC-DC 转换器的布局指南。

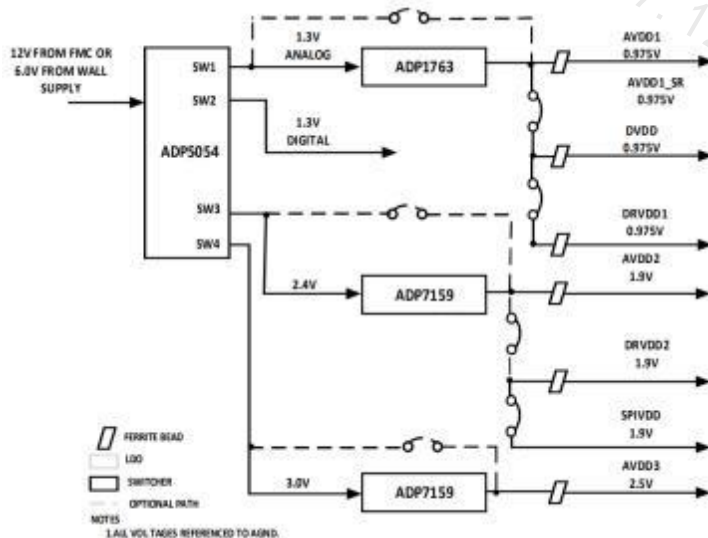


图 90. CYD9689B 的简化电源解决方案

用户可以使用几种不同的去耦电容值来覆盖高频和低频。这些电容必须位于 PCB 级的入口点附近，并且靠近器件，并具有最小的走线长度。

12. 布局准则

ADC 评估板可用作良好布局实践的指南。

评估板布局方式如下：

- (1) 尽量减少模拟输入之间的耦合（通道 A 至通道 B 和通道 B 到通道 A）。
- (2) 尽量减少时钟耦合至模拟输入。
- (3) 为各种电源域提供足够的电源和接地层，同时减少交叉耦合。
- (4) 为 ADC 提供足够的散热。

AVDD1_SR（引脚 E7）和 AGND（引脚 E6 和引脚 E8）可用于为 CYD9689B 的 SYSREF $\pm$ 电路提供单独的电源节点。如果在子类 1 中运行，CYD9689B 可以支持周期性的单脉冲或间隙信号。为了最大限度地减少此电源与 AVDD1 电源节点的耦合，需要足够多的电源旁路电容。

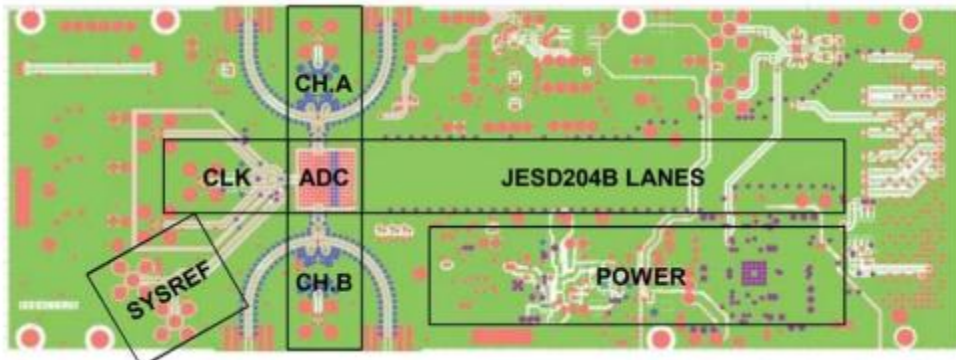
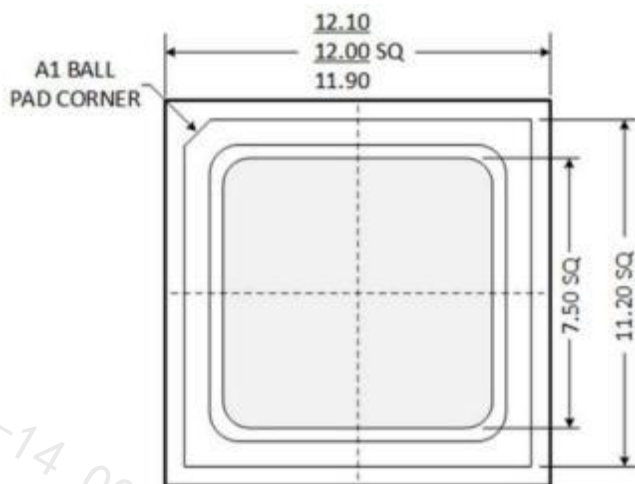


图 91. 推荐的 CYD9689B PCB 布局方式

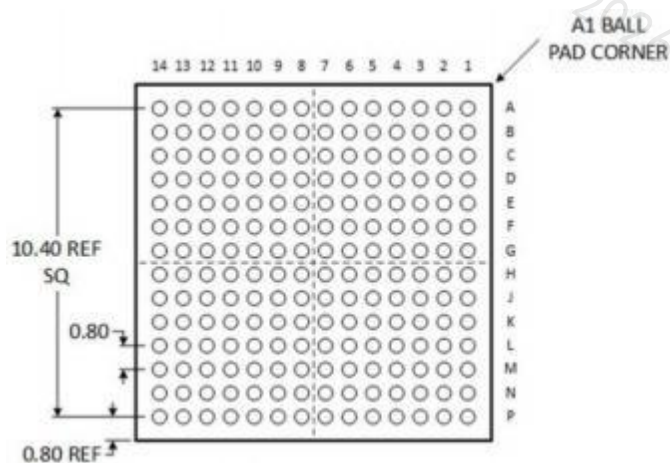
13. 封装形式

封装形式 BGA

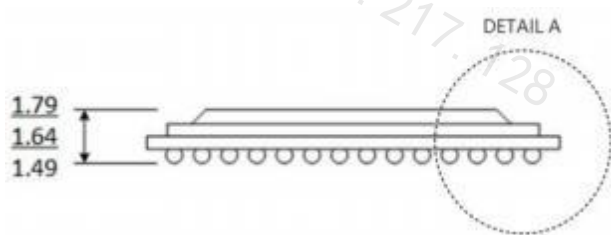
单位 (mm)



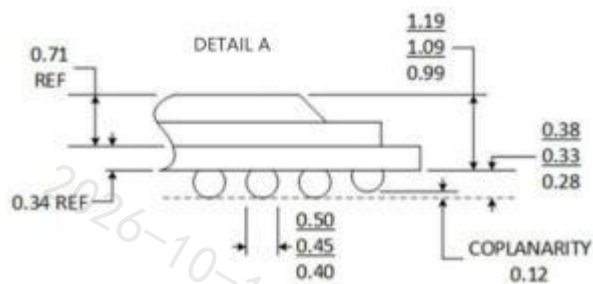
顶视图



底视图



侧视图



侧视图

图 92.封装尺寸图

14. 订购信息

物料编号	温度范围(Tc)	等级类型	频率	封装
CYD9689B-2000I	-40℃- 85℃	工业级	2.0GHz	BGA196
CYD9689B-2000J	-55℃- 105℃	宽温级	2.0GHz	BGA196
CYD9689B-2600I	-40℃- 85℃	工业级	2.6GHz	BGA196
CYD9689B-2600J	-55℃- 105℃	宽温级	2.6GHz	BGA196

15. 说明

如欲了解更多的产品及公司信息，请联系公司办公室人员或登录公司网站：

联系电话：021-33885531；

网址：<https://mall.ichelps.com/>

16. 本文档中的信息如有变更，恕不另行通知



请使用微信扫码进入
芯片助手 ICHELPS 小程序

查资料 查替代 查库存 查价格

招募中国区各省代理，联系电话：021-33885531

可使用微信扫码进入
芯片助手ICHELPS小程序
查资料 查替代 查库存 查价格



可使用微信扫码进入
芯片助手ICHELPS小程序
查资料 查替代 查库存 查价格

