

文档版本	修订日期	内容描述
1.0	2026-4-24	初版
1.1	2026-5-13	料号修改
1.2	2026-5-18	子料号命名规则修改以及增加了军温级选项

CYF7K325T

现场可编程门阵列电路

1. 产品介绍

1.1. 产品概述

CYF7K325T 是基于 SRAM 配置的高密度可编程逻辑阵列电路。其中，6 输入查找表数量 203800 个，嵌入式存储器容量为 16020Kbit，用户 I/O 数量 500 个，内置 10 个时钟管理模块，具有 840 个 DSP 数字信号处理模块，资源数量列如表 1 所示，产品信息如表 2 所示。

表 1 CYF7K325T 型 FPGA 资源数量

器件	逻辑资源		I/O 资源		嵌入式存储器		时钟管理模块	PCI Express	Total I/O Banks	DSP	ADC Blocks
	LUT	FF	Max User I/O	Max Rocket I/O	36Kb 存储单元	BRAM 总容量					
CYF7K325T	203800	407600	500	16 GTX	445	16020 Kb	10	1	10	840	1

表 2 CYF7K325T 型 FPGA 产品信息

产品型号	封装规格	GTX	HR I/O 数量	HP I/O 数量
CYF7K325T-FFG900	FCBGA 900, 31mm×31mm, 1.0mm Ball pitch	16	350	150
CYF7K325T-FFG676	FCBGA 676, 27mm×27mm, 1.0mm Ball pitch	8	250	150

1.2. 产品特点

CYF7K325T 主要用于具备高级串行连接功能的高性能信号处理应用。

CYF7K325T 具有以下特点：

- 基于可配置为分布式存储器的真实 6 输入查找表（LUT）技术的高级高性能 FPGA 逻辑；
- 强大的时钟管理块（CMT），结合了锁相环（PLL）和混合模式时钟管理器（MMCM）模块，可实现高精度和低抖动；
- 具有内置 FIFO 逻辑的 36Kb 双端口 Block RAM，用于片上数据缓冲；
- 具有 25x18 乘法器，48 位累加器和预加器的 DSPSlice，用于高性能滤波，包括优化的对称系数滤波；
- 灵活的配置选项，包括：SPI 和并行 Flash 接口；专用的回读重配置逻辑，可支持多比特流；自动总线宽度检测功能；

- 对所有器件都有系统监控功能，包括：片上/片外热特性监控；片上/片外电源监控；通过 JTAG 端口访问所有监控量；
- 采用境内 28nm 工艺设计加工，芯核电压 1.0V；
- 用于 PCIeExpress (PCIe) 的集成块，最多可用于× 8 Gen2 端点和根端口设计；
- 通过内置的多千兆位收发器实现从 600Mb/s 到最大的高速串行连接。速率最高可达 12.5Gb/s，提供了一种特殊的低功耗模式，针对芯片到芯片接口进行了优化；
- 采用高可靠军级塑封，采用 Flip-Chip 键合方式；
- 用户可配置的模拟接口 (XADC)，将双 12 位 1MSPS 模数转换器与片上温度传感器和电源传感器结合在一起；
- 多种配置选项，包括对存储器的支持，具有 HMAC/SHA-256 身份验证的 256 位 AES 加密以及内置的 SEU 检测和校正。

1.3 产品用途

CYF7K325T 为可编程逻辑器件，内部集成了功能强大、并可以灵活配置组合的可编程资源，可实现输入输出接口、通用数字逻辑、存储器、数字信号处理、时钟管理等多种功能，同时提供了丰富的专用时钟与布线资源，适用于实现复杂、高速的数字逻辑电路，可广泛应用于通讯、信息处理、工业控制、数据中心、仪表测量、医疗仪器、人工智能、自动驾驶等领域，尤其适用于低功耗、小型化应用场景。

1.4 对应国外产品情况

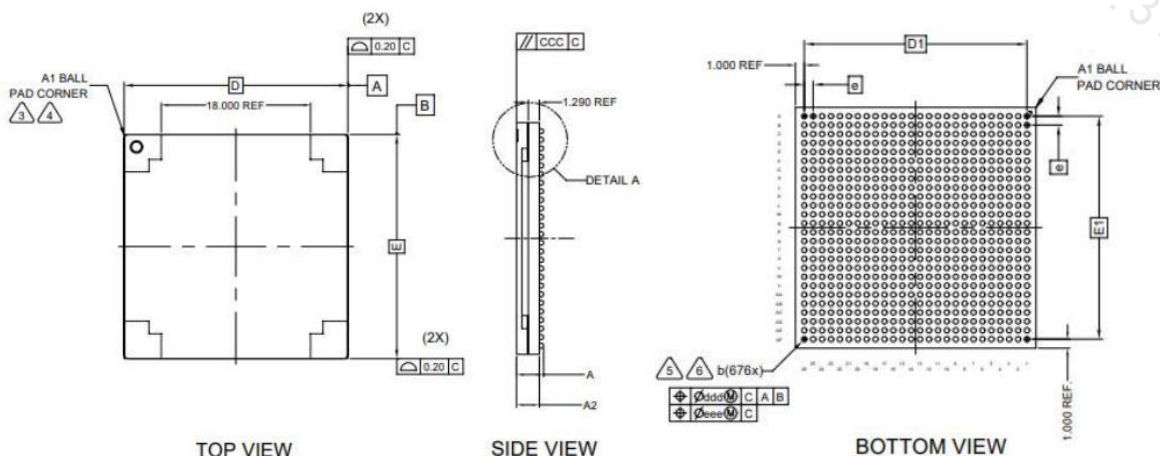
主要性能指标、引脚与 Xilinx 公司 FPGA 产品 XC7K325T 对标。

2、产品说明

2.1 产品尺寸

2.1.1 CYF7K325T-FFG676 封装

CYF7K325T-FFG676 封装尺寸为 27mm × 27mm，外形尺寸如图 1 所示。



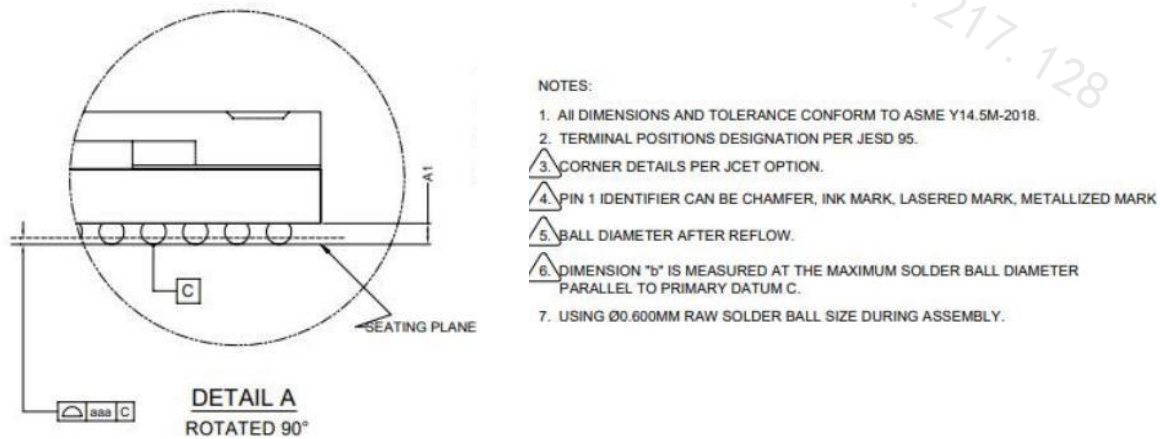


图 1 CYF7K325T-FFG676 封装外形示意图

表 3 CYF7K325T-FFG676 封装外形尺寸

尺寸符号	数值(单位为毫米)			备注
	最小	公称	最大	
A	2.992	3.165	3.338	SYMBOL "M" IS THE PIN MATRIX SIZE.
A1	0.450	0.500	0.550	
A2	2.499	2.665	2.831	
D	—	27.00	—	
E	—	27.00	—	
D1	—	25.00	—	
E1	—	25.00	—	
e	—	1.00	—	
b	0.55	0.60	0.70	
aaa	—	—	0.20	
ccc	—	—	0.35	
ddd	—	—	0.25	
eee	—	—	0.10	
M	22			

2.1.2 CYF7K325T-FFG900 封装

CYF7K325T-FFG900 封装尺寸为 31mm × 31mm，外形尺寸如图 2 所示。

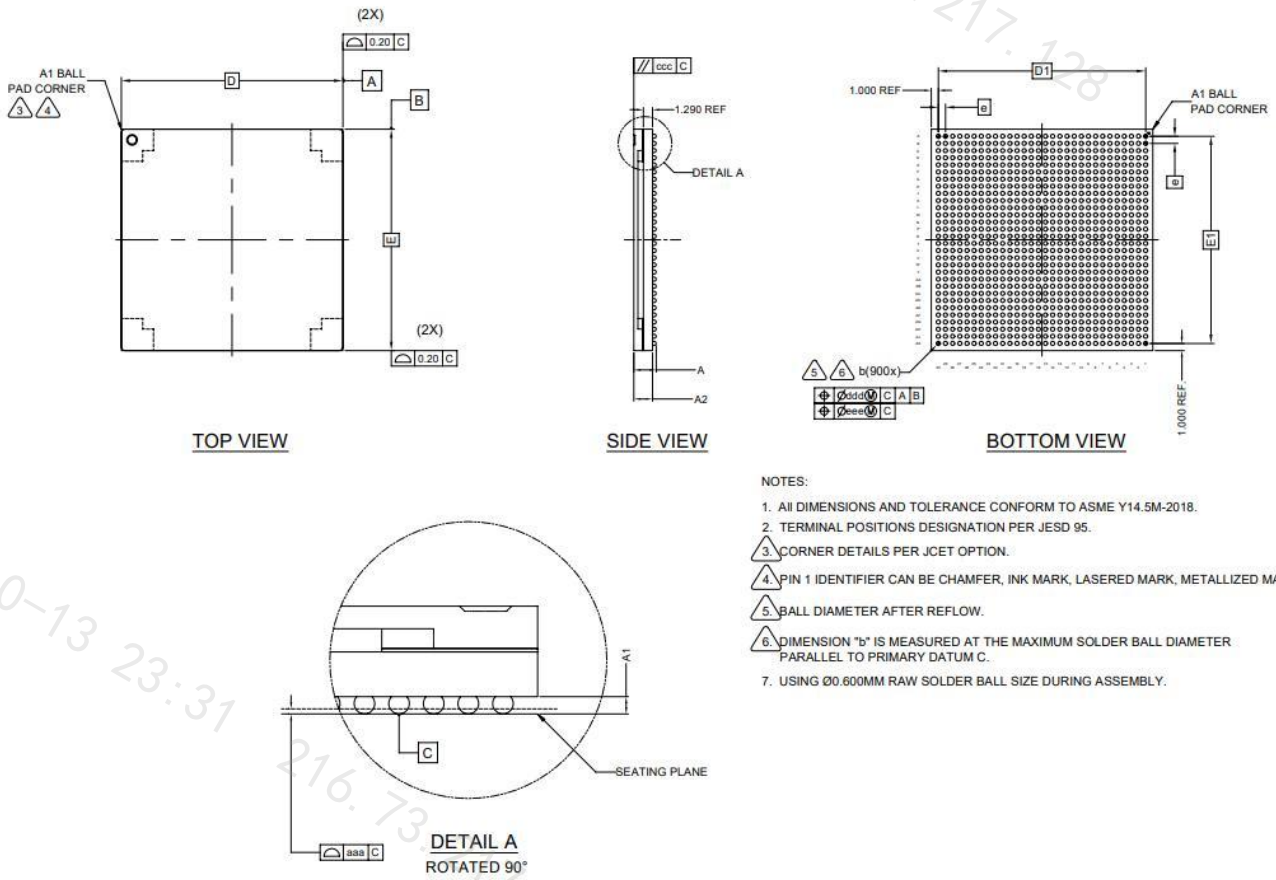


图 2 CYF7K325T-FFG900 封装外形示意图

表 4 CYF7K325T-FFG900 封装外形尺寸

尺寸符号	数值(单位为毫米)			备注
	最小	公称	最大	
A	2.942	3.115	3.288	SYMBOL "M" IS THE PIN MATRIX SIZE.
A1	0.450	0.500	0.550	
A2	2.449	2.615	2.781	
D	—	31.00	—	
E	—	31.00	—	
D1	—	29.00	—	
E1	—	29.00	—	
e	—	1.00	—	
b	0.50	0.60	0.70	
aaa	—	—	0.20	
ccc	—	—	0.35	
ddd	—	—	0.25	
eee	—	—	0.10	
M	18			

2.2 重量

CYF7K325T-FFG676 封装后质量不大于 9 克, CYF7K325T-FFG900 封装后质量不大于 11 克。

2.3 工艺说明

器件采用 28nm CMOS 工艺设计加工。

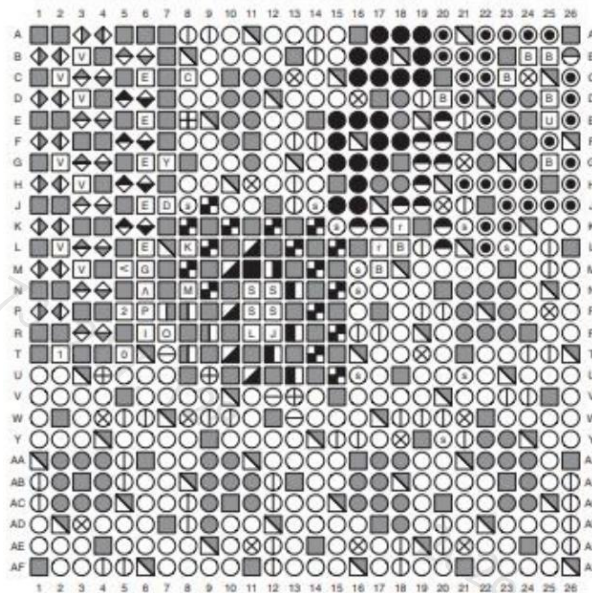
2.3.1 封装工艺

器件采用 FlipChip 的方式实现芯片与基板的互连, 焊球材料为 Ni⁺SnAg。

2.3.2 引脚说明

2.3.2.1 CYF7K325T-FFG676 封装

CYF7K325T-FFG676 器件采用 FFG676 封装, 引出端排列应符合图 3 规定, 其管脚定义见附录 A.1。

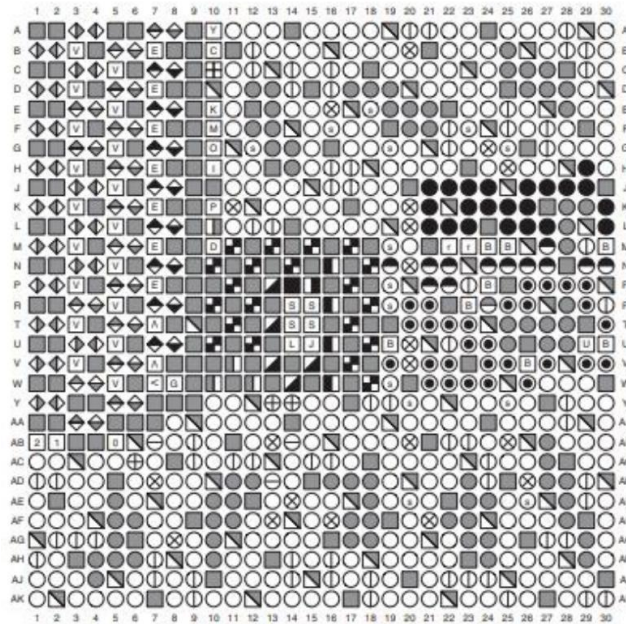


User I/O Pins	Transceiver Pins	Dedicated Pins	Other Pins
○ IO_LXXY_# ⊙ IO_XX_#	[E] MGTAVCC_G# [V] MGTAVTT_G# [A] MGTAVCCALX_G# [C] MGTAVTTTICAL [G] MGTTRREF [D] MGTREFCLK10P [D] MGTREFCLK10N [D] MGTXR0P [D] MGTXR0N [D] MGTXTXP [D] MGTXTXN [E] MGTAVCC_G# [V] MGTAVTT_G# [D] MGTTRXP [D] MGTTRXN [D] MGTHTXP [D] MGTHTXN	[C] DCLK_0 [D] CFGBVS_0 [D] DONE_0 [J] DXP_0 [L] DXN_0 [Y] GNDADC_0 [Y] INIT_B_0 [0] M0_0 [1] M1_0 [2] M2_0 [P] PROGRAM_B_0 [K] TCK_0 [I] TDI_0 [O] TDO_0 [M] TMS_0 [H] VCCADC_0 [H] VCCBATT_0	[S] VP_0 [S] VN_0 [S] VREPP_0 [S] VREFN_0 [GND] GND [VCCAUX] VCCAUX_IO_G# [VCCAUX] VCCAUX [VCCINT] VCCINT [VCCO] VCCO_# [VCCBRAM] VCCBRAM [n] NC
Multi-Function Pins			
[B] ADV_B [B] FCS_B [B] FDE_B [B] MOSI [B] FWE_B [B] DOUT_CSO_B [B] CSI_B [B] PUDC_B [U] RDWR_B [Y] RS0-RS1 [●] AD0P/AD0N-AD15P/AD15N [⊙] EMCCLK	⊕ VFN ⊖ VFP ⊗ VREF ⊙ D00-D31 ⊙ A00-A28 ⊙ DCS ⊙ MRCC ⊙ SRCC		

图 3 CYF7K325T-FFG676 封装引脚示意图

2.3.2.2 CYF7K325T-FFG900 封装

CYF7K325T-FFG900 器件采用 FFG900 封装，引出端排列应符合图 4 规定，其管脚定义见附录 A. 2。



User I/O Pins	Transceiver Pins	Dedicated Pins	Other Pins
○ IO_LXXY_# ⊙ IO_XX_# Multi-Function Pins [B] ADV_B [B] FCS_B [B] FOE_B [B] MOSI [B] FWE_B [B] DOUT_CSQ_B [B] CSI_B [B] PUDC_B [U] RDWR_B [f] RS0-RS1 ● AD0P/AD0N-AD15P/AD15N ⊙ EMCCLK ⊕ VRN ⊖ VRP ⊗ VREF ● D00-D31 ● A00-A28 ⊕ DQS ● MRCC ● SRCC	[E] MGTAVCC_0# [V] MGTAVTT_0# [A] MGTVCCAUX_0# [C] MGTAVTTRCAL [G] MGTTRREF ◆ MGTREFCLK10P ◆ MGTREFCLK10N ◆ MGTXRXP ◆ MGTXRXXN ◆ MGTXTXP ◆ MGTXTXN [E] MGTHAVCC_0# [V] MGTHAVTT_0# ◆ MGTHRXXP ◆ MGTHRXN ◆ MGTHTXP ◆ MGTHTXN	[C] CCLK_0 [S] CFGBVS_0 [D] DONE_0 [J] DXP_0 [L] DXN_0 [Y] GNDADC_0 [0] INIT_B_0 [0] M0_0 [1] M1_0 [2] M2_0 [P] PROGRAM_B_0 [K] TCK_0 [I] TDI_0 [O] TDO_0 [M] TMS_0 [V] VCCADC_0 [H] VCCBATT_0 [S] VP_0 [S] VN_0 [S] VREFP_0 [S] VREFN_0	■ GND ▨ VCCAUX_IO_0# ▨ VCCAUX ▨ VCCINT ▨ VCCQ_# ▨ VCCBRAM [R] NC

图 4 CYF7K325T-FFG900 封装引脚示意图

2.4 标识说明

产品标志应按规范 GJB597B-2012 规定，器件编号为 CYF7K325T，见图 5。

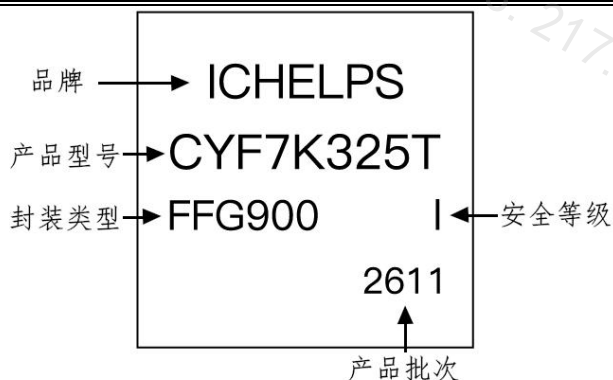


图 5 器件标识示意图

3、基本工作原理简述

3.1 器件功能概述

本器件是现场可编程门阵列（FPGA），可以下载比特流文件到芯片中完成用户根据设计需求的电路功能。器件主要由可编程逻辑模块（CLB）、输入输出模块（IOB）、存储器模块（BRAM）、乘法器（DSP）、数字时钟管理模块（CMT）、PCIe 端点模块、RocketIO 收发器（GTX）以及互连布线模块等资源组成。

3.2 可编程逻辑模块

CYF7K325T 中的 CLB 是实现时序电路和组合电路的主要逻辑资源。每个 CLB 元件连接到一个可访问通用布线矩阵的开关矩阵（General Routing Matrix, GRM）。如图 6 CLB 结构框图所示，CLB 元件包含一对 Slice。这两个 Slice 相互间没有直接连接，各 Slice 组织成一个列。列中的每个 Slice 具有独立的进位链。对于每个 CLB，CLB 底部的 Slice 标为 Slice(0)，CLB 顶部的 Slice 标为 Slice(1)。其中 CLB 内的 Slice 排列示意图如图 7 所示。

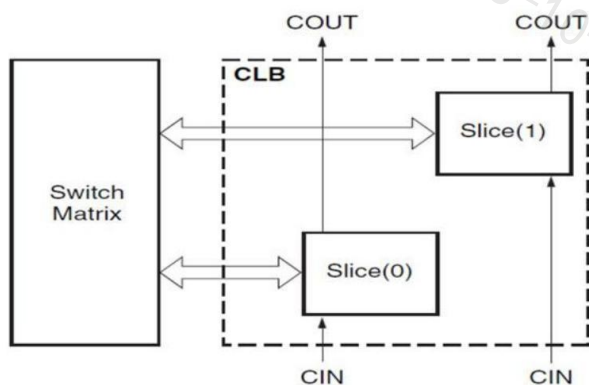


图 6 CLB 结构框图

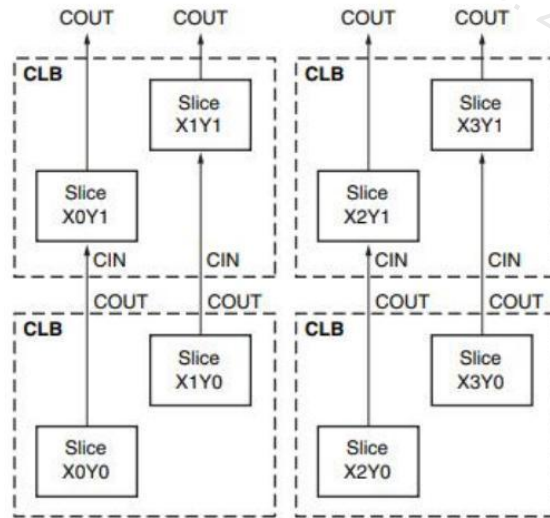


图 7 CLB 内的 Slice 排列示意图

3.2.1 SLICE 描述

每个 Slice 包含四个逻辑函数发生器（即查找表）、八个存储元件、多功能多路复用器和进位逻辑。所有 Slice 都通过这些元件进行逻辑、算术和 ROM 函数运算。除此之外，有些 Slice 还支持两个附加功能：用分布式 RAM 存储数据和用 32 位寄存器进行数据移位。支持这些附加功能的 Slice 称为 SLICEM；其他 Slice 则称为 SLICEL。SLICEM（如图 8）代表所有 Slice 中元件和连接功能的扩展集。SLICEL（如图 9）所示。

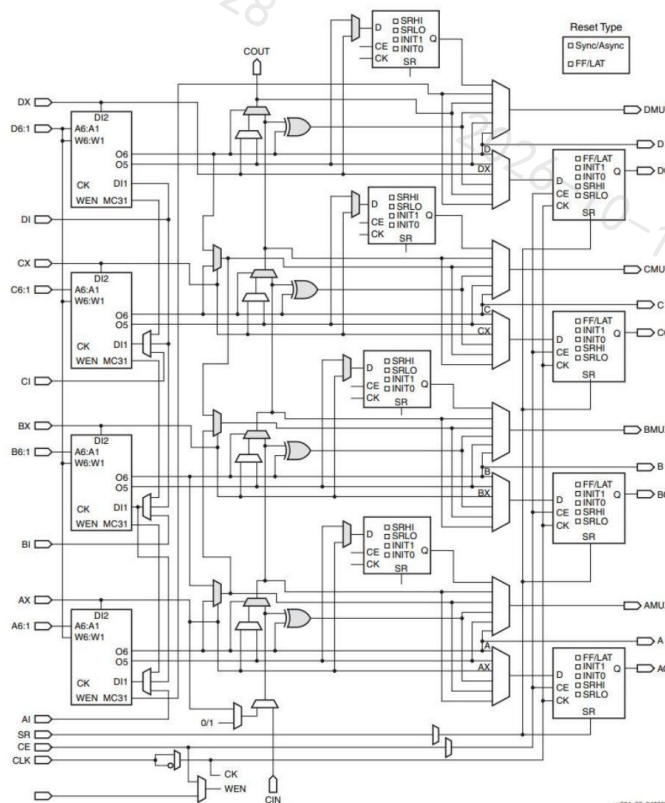


图 8 SLICEM 图

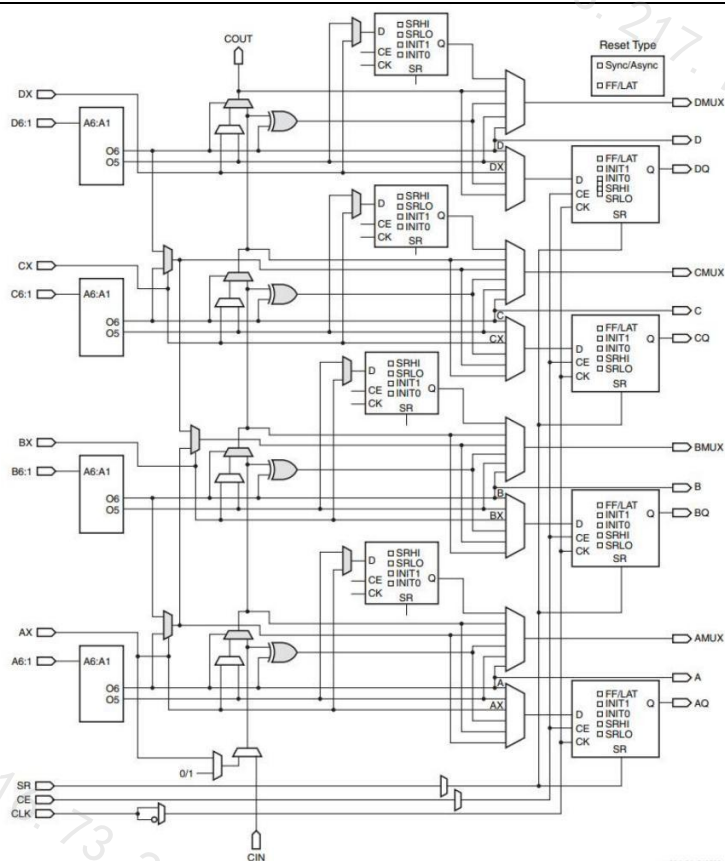


图 9 SLICEL 图

3.2.2 查找表

CYF7K325T 函数发生器是以六输入查找表(LUT)形式实现的。Slice 中的四个函数发生器 (A、B、C 和 D) 各有六个独立输入 (A 输入 A1 到 A6) 和两个独立输出 (O5 和 O6)。这些函数发生器可以实现任何任意定义的六输入布尔函数。各函数发生器还可以实现两个任意定义的五输入布尔函数, 只要这两个函数可共用输入即可。实现六输入函数时, 只使用函数发生器的 O6 输出。在实现的两个五输入函数发生器中, O5 和 O6 都会用到。在这种情况下, A6 由软件置为 High。通过 LUT 的传播延迟与所实现的函数无关, 也与实现的是一个六输入发生器还是两个五输入发生器无关。来自函数发生器的信号可以离开 Slice (对于 O6 是通过 A、B、C、D 输出, 对于 O5 是通过 AMUX、BMUX、CMUX、DMUX 输出), 从 O6 输出进入专用的 XOR 门, 或从 O5 输出进入进位逻辑链, 或从 O6 输出进入进位逻辑多路复用器的选择线, 或馈入存储元件的 D 输入, 或者从 O 输出传送到 F7AMUX/F7BMUX。

除了基本 LUT, CYF7K325T 还包含三个多路复用器 (F7AMUX、F7BMUX 和 F8MUX)。这些多路复用器用来将最多四个函数发生器组合在一起, 以便在 Slice 中提供七个或八个输入的任意函数。F7AMUX 和 F7BMUX 用来从 LUT A 和 B 或 C 和 D 生成七输入函数; 而 F8MUX 则用来组合所有 LUT, 以生成八输入函数。超过八个输入的函数可以用多个 Slice 实现。各 Slice 之间没有直接连接可用来在一个 CLB 中或在各 Slice 之间形成超过八个输入的函数发生器。

3.2.3 存储元件

CYF7K325T Slice 中的存储元件可以配置成边沿触发式 D 型触发器或电平敏感型锁存器。D 输入可由 LUT 的一个通过 AFFMUX、BFFMUX、CFFMUX 或 DFFMUX 的输出直接驱动，也可由 BYPASS Slice 输入通过 AX、BX、CX 或 DX 输入通过旁路函数发生器后直接驱动。如果配置成锁存器，则当 CLK 为 Low 时锁存器透明。在一个 Slice 中，时钟（CK）、时钟使能（CE）和设置/复位（SR）这些控制信号为所有存储元件共用。如果 Slice 中一个触发器的 SR 或 CE 已经激活，则该 Slice 中使用的其他触发器的 SR 或 CE 也会被公共信号激活。仅 CLK 信号具有独立极性。放置在时钟信号上的任何倒相器都被自动吸收。CE、SR 和 REV 信号为 High 有效。所有触发器和锁存器基元都有 CE 和非 CE 版本。

SR 信号强制存储元件进入由属性 SRHIGH 或 SRLow 指定的状态。当 SR 置为有效时，SRHIGH 强制存储元件的输出为逻辑 High，而 SRLow 则强制存储元件的输出为逻辑 Low。表 5 提供了使用 SRLow 和 SRHIGH 时的真值表。

表 5 使用 SRLow 和 SRHIGH 时的真值表

SR	SRVAL	功能
0	SRLow(default)	无逻辑变化
1	SRLow(default)	0
0	SRHIGH	无逻辑变化
1	SRHIGH	1

对于 Slice 中的各存储元件，可分别设置 SRHIGH 和 SRLow。对于 Slice 中的各存储元件，不可分别设置同步（SYNC）或异步（ASYNc）设置/复位（SRType）选项。配置后的初始状态或全局初始状态分别由 INIT0 和 INIT1 属性定义。默认状态下，设置 SRLow 属性就是设置 INIT0，而设置 SRHIGH 属性就是设置 INIT1。CYF7K325T 器件可以独立于 SRHIGH 和 SRLow 设置 INIT0 和 INIT1。寄存器或锁存器的设置和复位功能的配置选项如下：

- 无设置或复位
- 同步设置
- 同步复位
- 异步设置（预设置）
- 异步复位（清零）

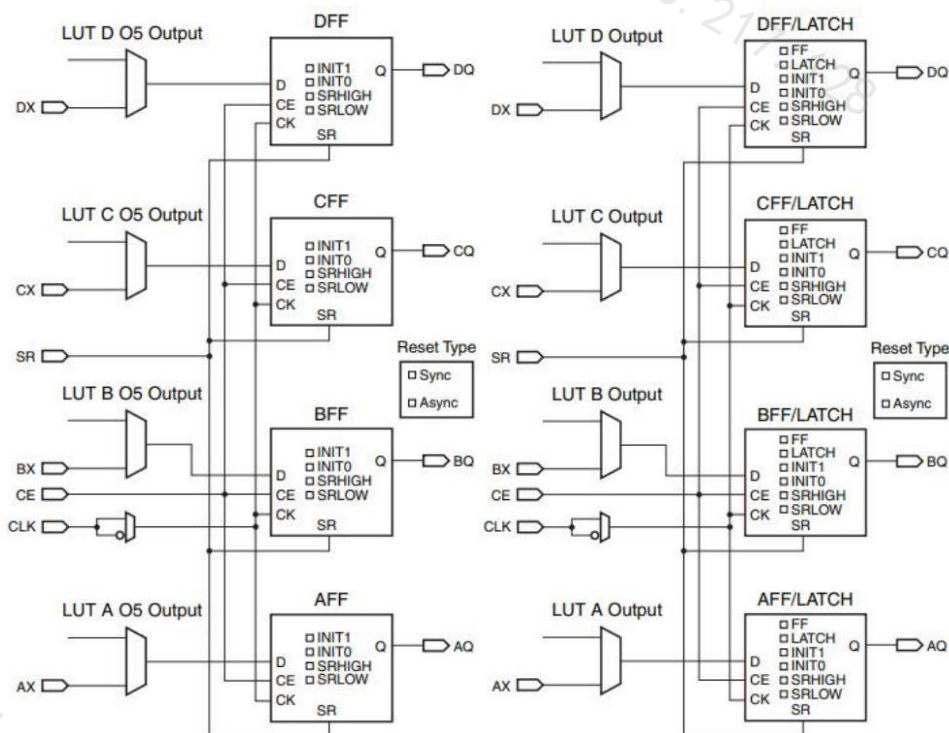


图 10 Slice 中的两种配置版本（仅 4 个寄存器和 4 个寄存器/锁存器）

3.2.4 分布式 RAM 和存储器（只能在 SLICEM 中使用）

可以用各种方法将 SLICEM 中的多个 LUT 组合起来，以存储大量数据。

可以把 SLICEM 中的函数发生器（LUT）配置成一种称为分布式 RAM 元件的同步 RAM 资源。在 SLICEM 内可以将 RAM 元件配置成以下形式：

- 单端口 32×1 位 RAM；
- 双端口 32×1 位 RAM；
- 四端口 32×2 位 RAM
- 简单双端口 32×6 位 RAM
- 单端口 64×1 位 RAM
- 双端口 64×1 位 RAM
- 四端口 64×1 位 RAM
- 简单双端口 64×3 位 RAM
- 单端口 128×1 位 RAM
- 双端口 128×1 位 RAM
- 单端口 256×1 位 RAM

分布式 RAM 模块是同步（写）资源。可以用同一 Slice 中的一个存储元件或触发器实现同步写。通过合理设置这个触发器的位置，可以将触发器的延迟缩短到触发器的时钟到输出范围内，从而提高分布式

RAM 的性能。不过，这样会附加一个时钟延迟。分布式元件共用相同的时钟输入。对于写操作，必须将写使能(WE)输入（由 SLICEM 的 CE 或 SLICEM 的 WE 引脚驱动）设置为 High。

对于单端口配置，分布式 RAM 有一个同步写和异步读共用的地址端口。对于双端口配置，分布式 RAM 有一个同步写和异步读端口，另外还有一个异步读端口。在简单双端口配置中，没有来自写端口的数据输出（读端口）。对于四端口配置，分布式 RAM 有一个同步写和异步读端口，另外还有三个异步读端口。

在单端口模式下，读和写地址共用同一地址总线。在双端口模式下，一个函数发生器与共用的读写端口地址连接。第二个函数发生器的 A 输入连接到另一个只读端口地址，WA 输入共用第一个读/写端口地址。

图 11 到图 19 所示为用一个 SLICEM 配置不同分布式 RAM 的示例。当使用 x2 配置(RAM32X2Q)时，A6 和 WA 6 由软件置为 High，以保持 O5 与 O6 独立。

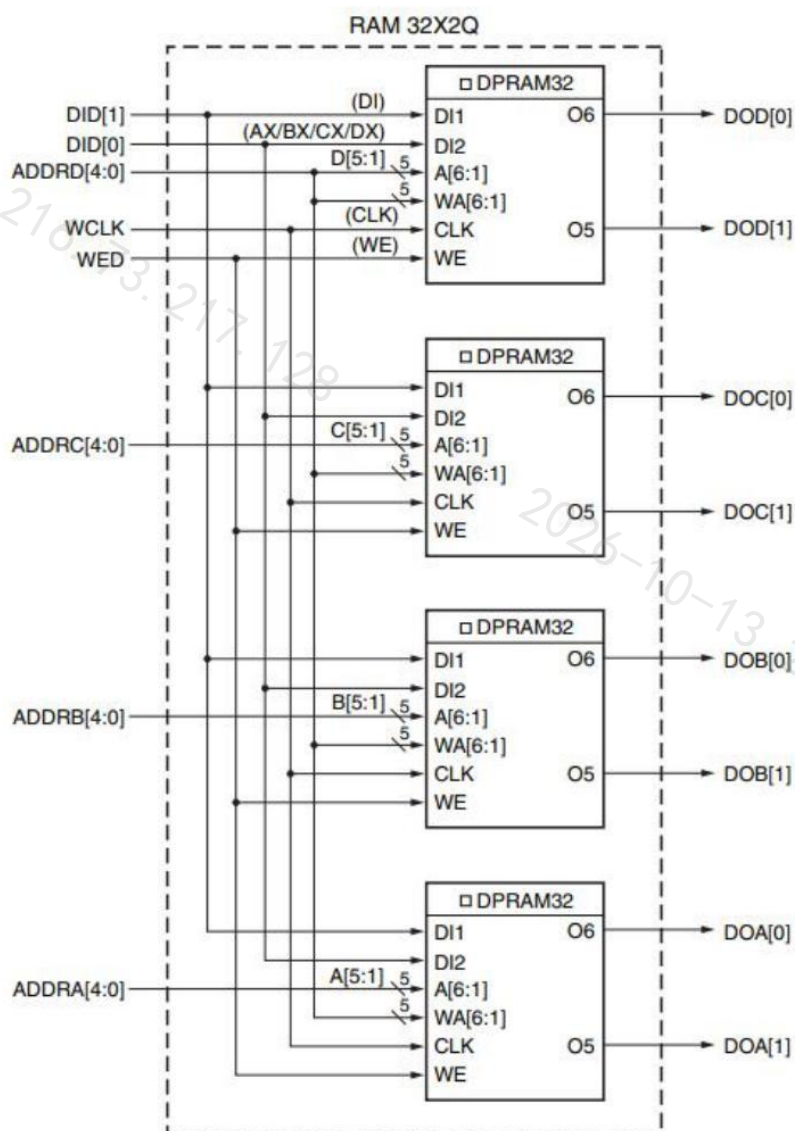


图 11 分布式 RAM(RAM32X2Q)

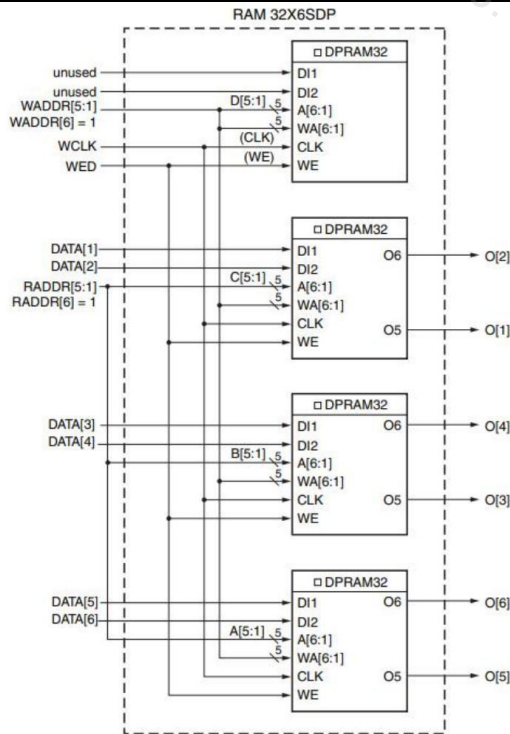


图 12 分布式 RAM (RAM32X6SDP)

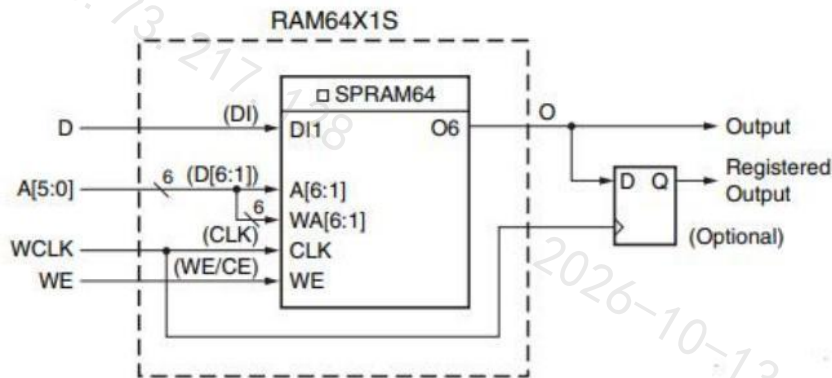


图 13 分布式 RAM (RAM64X1S)

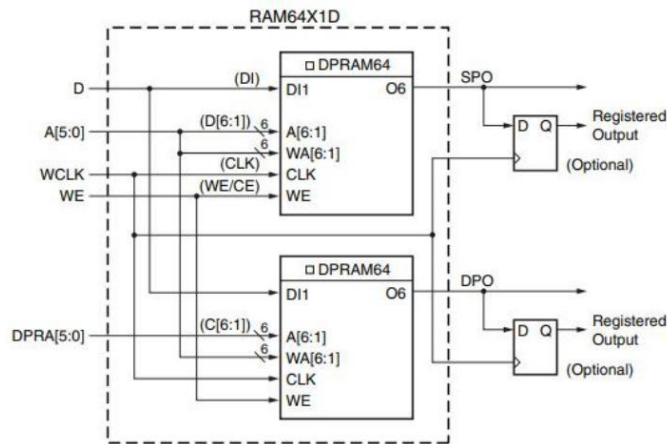


图 14 分布式 RAM (RAM64X1D)

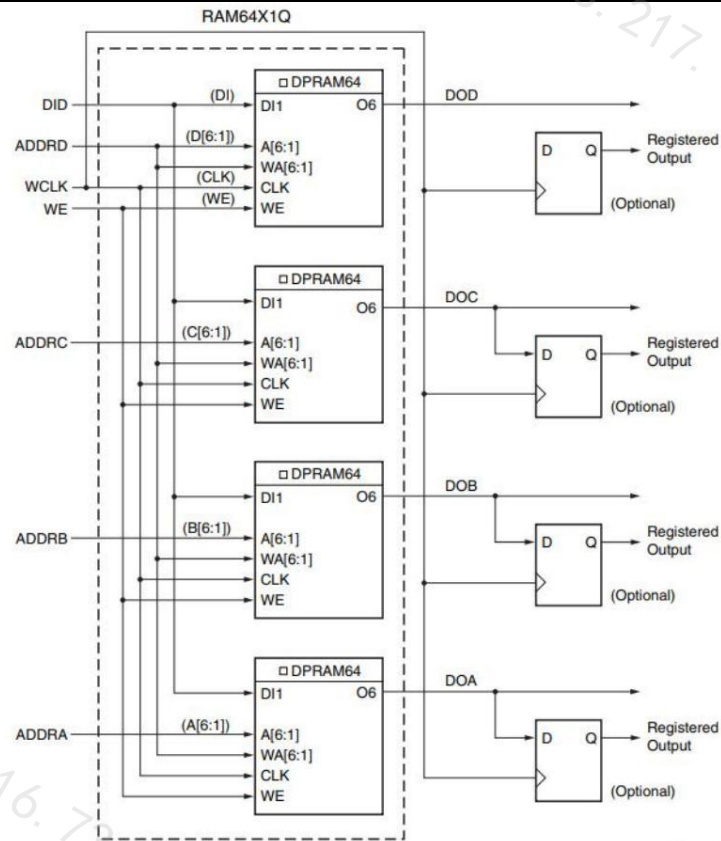


图 15 分布式 RAM (RAM64×1Q)

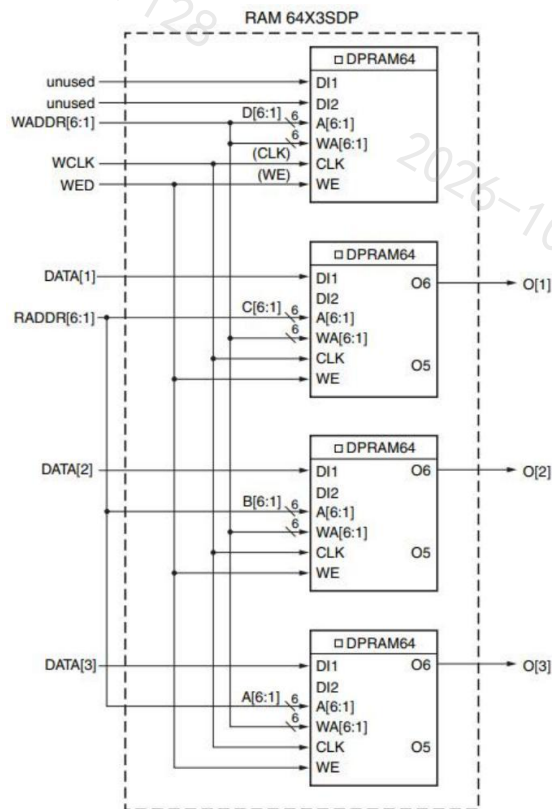


图 16 分布式 RAM (RAM64×3SDP)

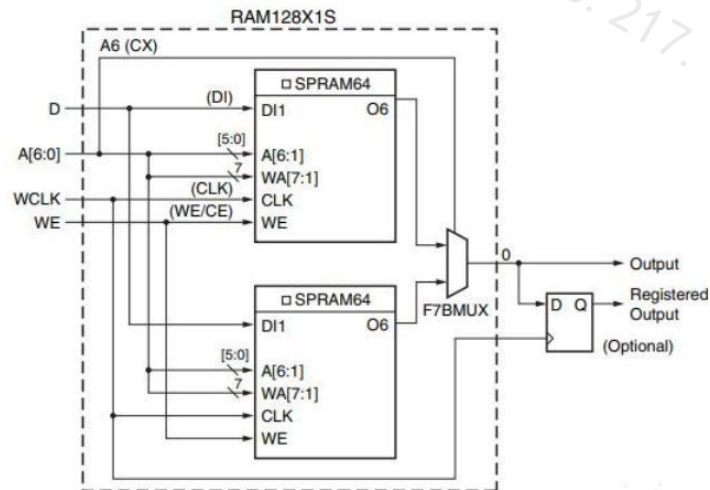


图 17 分布式 RAM(RAM128×1S)

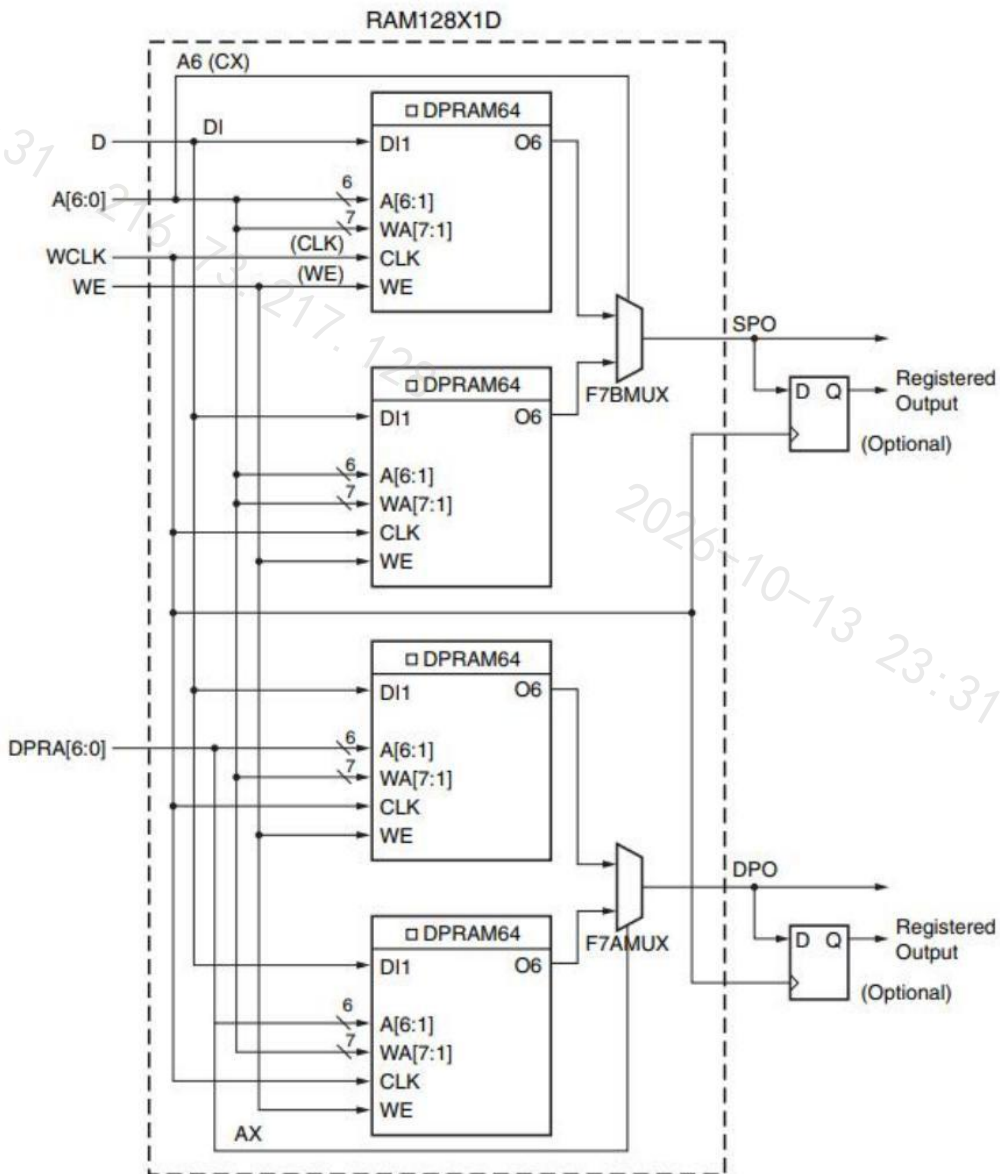


图 18 分布式 RAM(RAM128×1D)

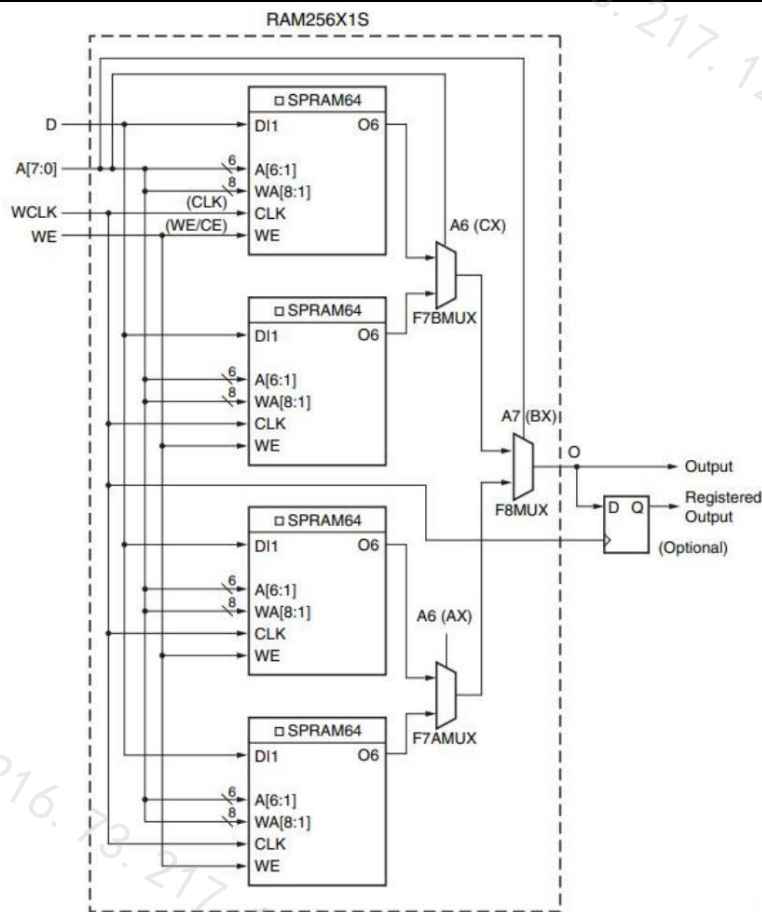


图 19 分布式 RAM(RAM256×1S)

3.2.5 移位寄存器（只能在 SLICEM 中使用）

SLICEM 函数发生器还可配置成 32 位移位寄存器，无需使用 Slice 中提供的触发器。以这种方法使用的每个 LUT 可以将串行数据延迟 1 到 32 个时钟周期之间的任意长度。移位输入 D（DI1 LUT 引脚）线和移位输出 Q31（MC31LUT 引脚）线用来级联多个 LUT，以形成较大的移位寄存器。SLICEM 中的四个 LUT 以这种方式级联，可产生长达 128 个时钟周期的延迟。还可以跨一个以上 SLICEM 组合多个移位寄存器。请注意，各 Slice 之间没有直接连接可用来形成较长的移位寄存器，而且 LUT B/C/D 也没有 MC31 输出。由此产生的可编程延迟可用来平衡数据流水线的时序。

需要延时或延迟补偿的应用可使用这些移位寄存器开发高效设计。在同步 FIFO 和内容可寻址存储器（CAM）设计中，移位寄存器也很有用。

写操作是具有一个时钟输入（CLK）和一个可选时钟使能（CE）的同步操作。动态读访问通过 5 位地址总线 A[4:0] 执行。LUT 的 LSB 不使用，软件自动将其固定为逻辑 High。可配置移位寄存器不可设置或复位。读操作是异步操作；不过，可以用存储元件或触发器实现同步读操作。在这种情况下，触发器的时钟到输出时间控制总体延迟，因而可提高性能。不过，这样会附加一个周期的时钟延迟。通过变换 5 位地址，可以（从 06 LUT 输出）异步读出 32 个位的任意部分。这一功能可用来创建较小的移位寄存器（小于

32 位)。例如，如果要构建 13 位移位寄存器，将地址设置到第 13 个位即可。图 20 所示为 32 位移位寄存器的逻辑框图。

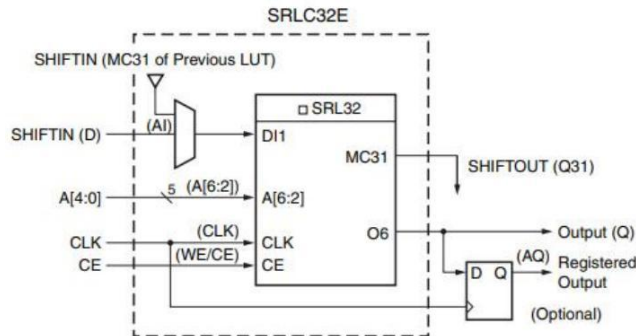


图 20 32 位移位寄存器配置

3.2.6 多路复用器

函数发生器及相关多路复用器可以实现以下各项：

- 使用一个 LUT 的 4:1 多路复用器
- 使用两个 LUT 的 8:1 多路复用器
- 使用四个 LUT 的 16:1 多路复用器

这些宽输入多路复用器是使用专用的 F7AMUX、F7BMUX 和 F8MUX 多路复用器在一个层或逻辑（或 LUT）中实现的。这些多路复用器允许在一个 Slice 中最多组合四个 LUT。

3.2.7 快速先行进位逻辑

除了函数发生器，还提供了专用进位逻辑，用于在 Slice 中实现快速算术加减运算。CYF7K325T 的 CLB 有两条独立进位链。进位链可以级联，以形成较宽的加减逻辑，如图 21 所示。

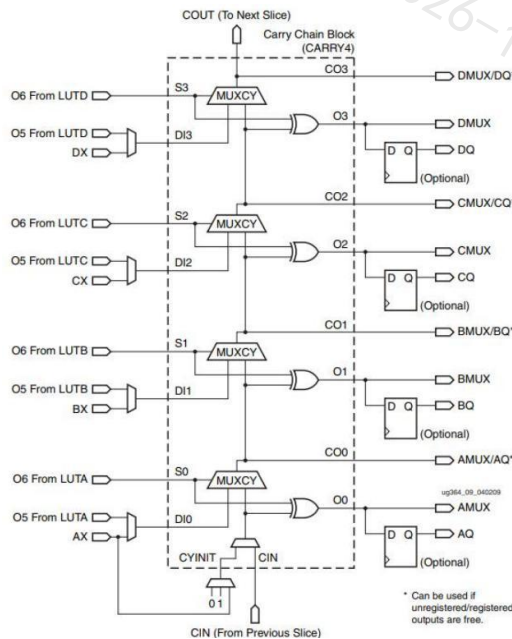


图 21 快速进位逻辑通道和相关元件

3.3 时钟管理模块

CYF7K325T 时钟管理模块 (CMT) 提供非常灵活的高性能时钟控制。每个 CMT 由一个混合模式时钟管理器 (MMCM) 和一个锁相环 (PLL) 组成, 如图 22。MMCM 和 PLL 可用作各种频率的频率合成器, 用作外部或内部时钟以及去歪斜时钟的抖动滤波器。PLL 包含 MMCM 功能的子集。图 23 和图 24 分别为 MMCM 框图及 PLL 框图。

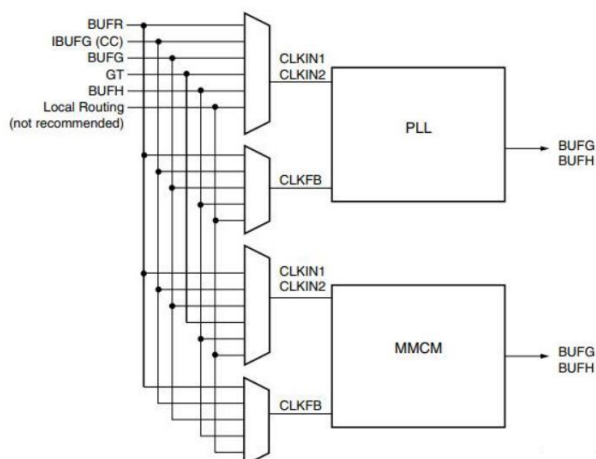


图 22 CMT 的框图

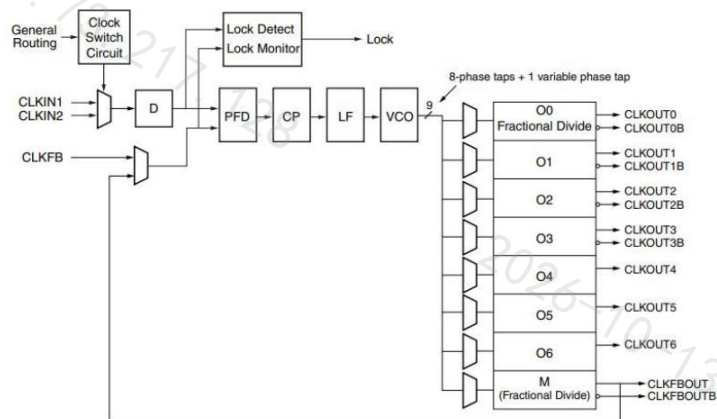


图 23 MMCM 的框图

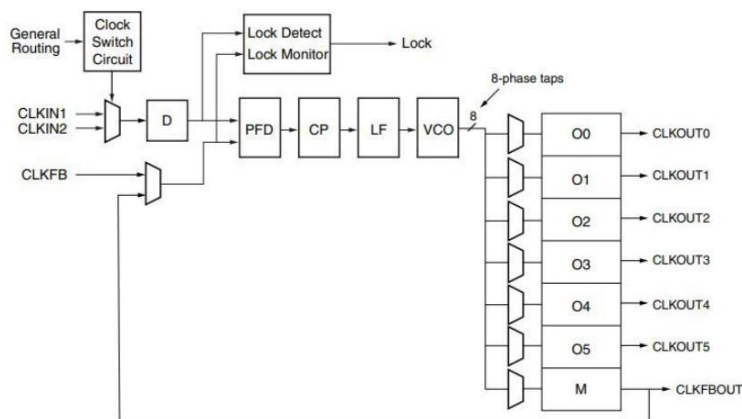


图 24 PLL 的框图

3.3.1 MMCM and PLL 基元

图 25 所示为 MMCM 基元 MMCME2_BASE 和 MMCME2_ADV。

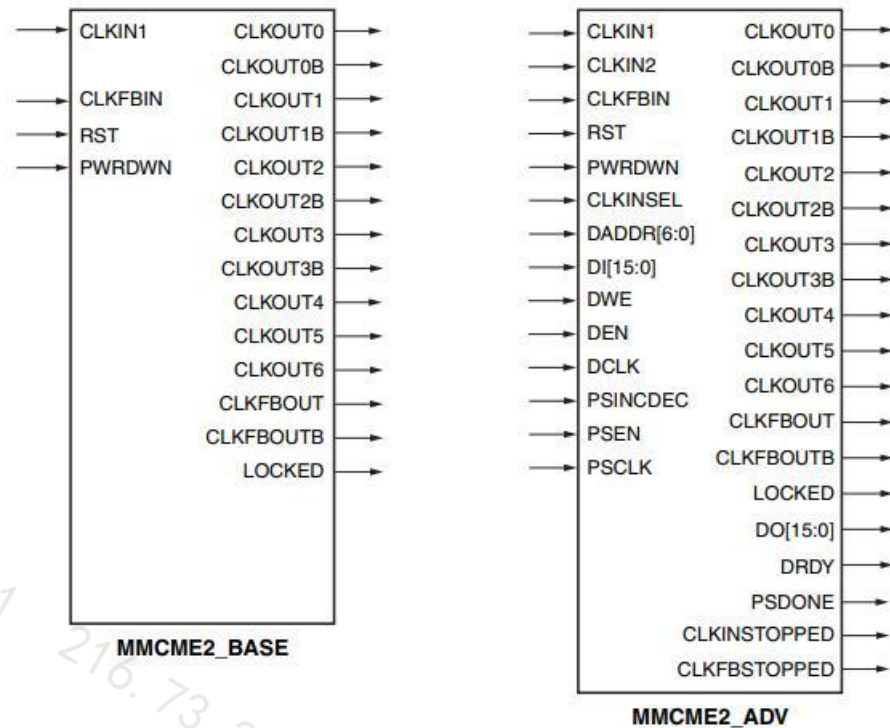


图 25 MMCM 基元

图 26 所示为 PLL 基元 PLLE2_BASE and PLLE2_ADV。

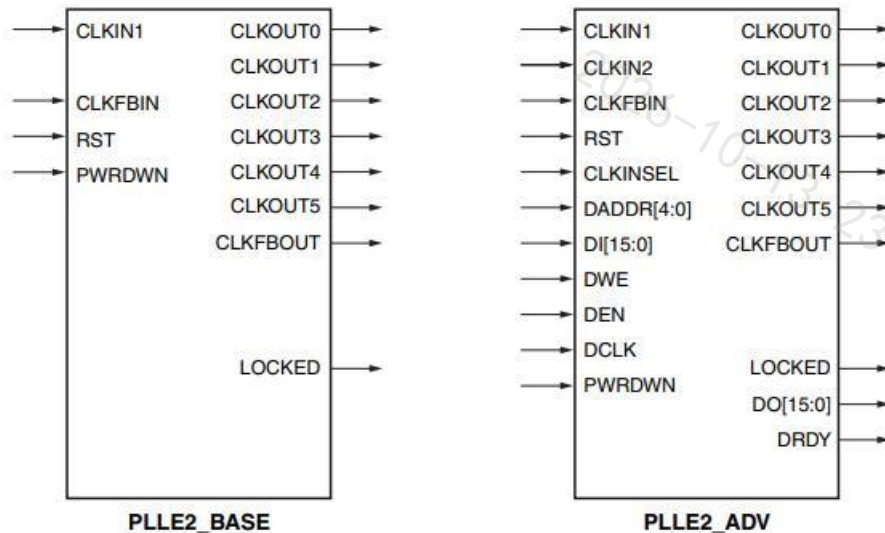


图 26 PLL 基元

MMCME2_BASE 基元

MMCME2_BASE 基元包含最常用的 MMCM 基本功能。使用 MMCME2_BASE，可以完成对时钟去歪斜、进行频率合成、粗相移和占空比编程的功能。表 6 列出了 MMCME2_BASE 基元的端口

表 6 MMCME2_BASE 端口

描述	端口
时钟输入	CLKIN1、CLKFBIN
控制输入	RST
时钟输出	CLKOUT0 to CLKOUT6、CLKOUT0B to CLKOUT3B、CLKFBOUT、 and CLKFBOUTB
状态和数据输出	LOCKED
功率控制	PWRDWN

PLLE2_BASE 基元

PLLE2_BASE 基元包含最常用的 PLL 基本功能。使用 PLLE2_BASE，可以完成对时钟去歪斜、进行频率合成、粗相移和占空比编程的功能。表 7 列出了 PLLE2_BASE 基元的端口

表 7 PLLE2_BASE 端口

描述	端口
时钟输入	CLKIN1、CLKFBIN
控制输入	RST
时钟输出	CLKOUT0 to CLKOUT5、CLKFBOUT
状态和数据输出	LOCKED

MMCME2_ADV 基元

MMCME2_ADV 基元具备所有 MMCME2_BASE 功能以及时钟切换的其他端口、动态重配置端口 (DRP) 的使用以及动态精细相移。其端口如表 8 所示。

表 8 MMCME2_ADV 端口

描述	端口名称
时钟输入	CLKIN1、CLKIN2、CLKFBIN、DCLK、PCLK
控制和数据输入	RST、CLKINSEL、DWE、DEN、DADDR、DI、PSINCDEC、PSEN
时钟输出	CLKOUT0 to CLKOUT6、CLKOUT0B to CLKOUT3B、CLKFBOUT、 and CLKFBOUTB
状态和数据输出	LOCKED、DO、DRDY、PSDONE、CLKINSTOPPED、CLKFBSTOPPED
功率控制	PWRDWN

•PLLE2_ADV 基元

PLLE2_ADV 基元具备所有 PLLE2_BASE 功能以及时钟切换的其他端口、动态重配置端口 (DRP) 的使用。其端口如表 9 所示。

表 9 PLLE2_ADV 端口

描述	端口名称
时钟输入	CLKIN1、CLKIN2、CLKFBIN、DCLK
控制和数据输入	RST、CLKINSEL、DWE、DEN、DADDR、DI

时钟输出	CLKOUT0 to CLKOUT5, and CLKFBOUT
状态和数据输出	LOCKED、DO、DRDY
功率控制	PWRDWN

3.3.2 MMCM and PLL 端口

表 10 MMCM 端口

引脚名称	I/O	引脚描述
CLKIN1	输入	通用时钟输入。
CLKIN2	输入	MMCM 参考时钟的辅助时钟输入。
CLKFBIN	输入	反馈时钟输入。
CLKINSEL	输入	控制时钟输入多路复用器状态的信号, High=CLKIN1, Low=CLKIN2。动态切换 MMCM 参考时钟。
RST	输入	异步复位信号。对于 MMCM, 复位信号是异步复位。当发出这一信号 (即重新启用 MMCM) 时, MMCM 会同步地自我重新启用。当输入时钟条件 (如频率) 改变时, 需要复位。
PWRDWN	输入	关闭已例化但未使用的 MMCM
DADDR[6:0]	输入	动态重配置地址 (DADDR) 输入总线为动态重配置提供重配置地址。在不使用时, 必须将所有位赋零。
DI[15:0]	输入	动态重配置数据输入 (DI) 总线提供重配置数据。在不使用时, 必须将所有位设置为零。
DWE	输入	动态重配置写使能 (DWE) 输入引脚提供写使能控制信号, 以便将 DI 数据写入 DADDR 地址。在不使用时, 必须将其固定为 Low。
DEN	输入	动态重配置使能 (DEN) 为使用动态重配置功能提供使能控制信号。当不使用动态重配置功能时, 必须将 DEN 固定为 Low。
DCLK	输入	DCLK 信号是动态重配置端口的参考时钟。
PSCLK	输入	相移时钟
PSEN	输入	相移使能
PSINCDEC	输入	相移增减控制
CLKOUT[0:6]	输出	用户可配置的时钟输出 (0 至 6), 可以是 VCO 相位输出 (用户可控制) 从 1 (忽略) 到 128 分频。输出时钟彼此相位对齐 (除非相移) 并与具有正确反馈配置的输入时钟对齐。仅在 CLKOUT[0:3] 上支持与 BUFR/BUFIO 的直接 HPC 连接。
CLKOUT[0:3] B	输出	反相的 CLKOUT[0:3]
CLKFBOUT	输出	专用 MMCM 反馈输出
CLKFBOUTB	输出	反相 CLKFBOUT
CLKINSTOPPE D	输出	状态引脚, 指示输入时钟已停止
CLKFBSTOPPE D	输出	状态引脚, 指示反馈时钟已停止
LOCKED	输出	MMCM 的输出, 指示 MMCM 何时实现了预定义窗口内的相位对齐以及预定义 PPM 范围内的频率匹配。上电后, MMCM 自动锁定。无需额外的重置。如果输入时钟停止或违反相位对齐 (例如, 输入时钟相

		移), 则 LOCKED 将置为无效。解除锁定后必须复位 MMCM。
DO[15:0]	输出	使用动态重配置时, 动态重配置输出总线提供 MMCM 数据输出。
DRDY	输出	动态重配置就绪输出 (DRDY) 为 MMCM 的动态重配置功能提供对 DEN 信号的响应。
PSDONE	输出	相移完成
注: 除 PSINDEC 以外的所有控制和状态信号均为高电平有效。		

表 11 PLL 端口

引脚名称	I/O	引脚描述
CLKIN1	输入	通用时钟输入。
CLKIN2	输入	辅助时钟输入, 用于动态切换 PLL 参考时钟。
CLKFBIN	输入	反馈时钟输入
CLKINSEL	输入	控制输入多路复用器状态的信号, High=CLKIN1, Low=CLKIN2。动态切换 PLL 参考时钟。
RST	输入	异步复位信号。对于 PLL, 复位信号是异步复位。当发出这一信号 (即重新启用 PLL) 时, PLL 会同步地自我重新启用。当输入时钟条件 (如频率) 改变时, 需要复位。
PWRDWN	输入	关闭已例化但未使用的 PLL
DADDR[6:0]	输入	动态重配置地址 (DADDR) 输入总线为动态重配置提供了一个重配置地址。不使用时, 必须为所有位分配零
DI[15:0]	输入	动态重配置数据输入 (DI) 总线提供重配置数据。不使用时, 所有位都必须设置为零。
DWE	输入	动态重配置写使能 (DWE) 输入引脚提供写使能控制信号, 以便将 DI 数据写入 DADDR 地址。在不使用时, 必须将其固定为 Low。
DEN	输入	动态重配置使能 (DEN) 为使用动态重配置功能提供使能控制信号。当不使用动态重配置功能时, 必须将 DEN 固定为 Low。
DCLK	输入	DCLK 信号是动态重新配置端口的参考时钟。
CLKOUT[0:5]	输出	用户可配置的时钟输出 (0 至 5) 可以将 VCO 相位输出 (用户可控) 的版本从 1 (忽略) 划分为 128。输入时钟和输出时钟是相位对齐的。
CLKFBOUT	输出	专用 PLL 反馈输出。
LOCKED	输出	PLL 的输出, 指示 PLL 何时达到预定窗口内的相位对齐以及预定 PPM 范围内的频率匹配。PLL 在上电后自动锁定, 无需额外的复位。如果输入时钟停止或违反相位对齐 (例如, 输入时钟相移), 则 LOCKED 将置为无效。解除锁定后必须重设 PLL。
DO[15:0]	输出	使用动态重配置时, 动态重配置输出总线提供 PLL 数据输出
DRDY	输出	动态重配置就绪输出 (DRDY) 为 PLL 动态重配置功能提供对 DEN 信号的响应。

3.3.3 时钟网络去歪斜

MMCM/PLL 用来补偿时钟网络的延迟。一个与参考时钟 CLKIN 频率 (始终为 CLKFBOUT) 匹配的时钟输出连接至器件同一半部的 BUFG, 并反馈到 MMCM/PLL 的 CLKFBIN 反馈引脚。其余的输出仍可用来分解时钟频率, 以合成更多频率。在这种情况下, 所有输出时钟对于输入参考时钟都具有限定的相位关系。MMCM 或 PLL 的 CLKOUT0 - CLKOUT3 可用于级联到其他 MMCM/PLL。但是, 级联的 MMCM/PLL 之间的输出时钟存在相位偏移。

3.3.4 独立频率合成（使用整数除法）

MMCM 和 PLL 还可以用于独立频率合成。在这种应用中，MMCM/PLL 不用于时钟网络去歪斜，而是用来为其他模块生成输出时钟频率。在这种模式下，MMCM/PLL 反馈路径是内部的，这将所有布线保持在局部，从而将抖动降至最低。

3.3.5 频率合成（MMCM 中使用小数分频的）

CYF7K325T 在 CLKOUT0 输出路径中支持小数（非整数）除法。小数分频的分辨率为 1/8 或 0.125，有效地将可合成频率的数量增加了八倍。使用小数分频器时，对于在小数模式下的输出，不能对占空比进行编程。

3.3.6 抖动滤波器

MMCM 和 PLL 减少了参考时钟固有的抖动。MMCM 和 PLL 能通过例化来滤掉外部时钟在驱动另一个模块前（包括 D_{CM}）的抖动。作为抖动滤波器，MMCM 和 PLL 通常被设想成一个缓冲器，在输出上重新生成输入频率。一般来说，通过使用 MMCM 的 BANDWIDTH 属性并且将其设置为 Low，可以实现较强的抖动过滤。将 BANDWIDTH 设置为 Low 会导致 MMCM 的静态偏差增大。

3.3.7 MMCM 计数器级联

CLKOUT6 分频器（计数器）可以与 CLKOUT4 分频器级联。这提供了一个大于 128 的输出分频器的功能。CLKOUT6 馈入 CLKOUT4 分频器的输入。级联分频器的输出与所有其他输出分频器之间存在静态相位偏移。

3.3.8 限制

MMCM 和 PLL 有一些必须遵守的限制。一般说来，主要限制是 VCO 工作范围，输入频率，占空比可编程性和相移。此外，对其他时钟元件（引脚，GT 和时钟缓冲器）的连接性有限制。MMCM/PLL 级联只能与相邻的 CMT 一起发生。

在许多情况下，各时钟之间需要有一个相移。MMCM 具有多种实现相移的选项。PLL 还具有基本的静态相移功能。静态相移可以通过选择八个 VCO 输出相之一来实现，并根据 CLKOUT 分频值，在 CLKOUT 输出计数器中提供额外的精细相移。在 CYF7K325T 中，还具有固定或动态模式的内插移相功能。MMCM 相移功能非常强大，可能导致复杂的情况。通过使用 Clocking Wizard，根据 MMCM 配置设置确定允许的相移值。

3.4 SelectIO 资源

3.4.1 IO 模块概述

I/O 模块提供高性能（HP）和高范围（HR）I/O banks。HR I/O bank 旨在提供满足 1.2V 至 3.3V 的高范围电压，HP I/O bank 旨在满足电压高达 1.8V 的高速存储器和其他芯片对芯片接口的性能要求。

3.4.2 IOSelectIO 资源简介

CYF7K325T 型 FPGA 具有可配置的驱动器和接收器，可支持种类繁多的标准接口。强大的功能集包括输出强度和转换速率的可编程控制、使用数控阻抗（DCI）的片上终端以及内部生成参考电压（INTERNAL_VREF）的能力。每个 SelectIO 资源都包含输入，输出和三态驱动器。

SelectIO 引脚可以配置为各种 I/O 标准，包括单端和差分。

- 单端 I/O 标准（例如 LVCMOS, LVTTL, HSTL, PCI 和 SSTL）
- 差分 I/O 标准（例如 LVDS, Mini_LVDS, RSDS, PPDS, BLVDS 以及差异 HSTL 和 SSTL）

图 27 显示了单端（仅）HPI/O 块（IOB）及其与内部逻辑和设备焊盘的连接。图 28 显示了常规的 HPI/OB。图 27 显示了单端（仅）HRI/O 块（IOB）及其与内部逻辑和设备焊盘的连接。图 27 显示了常规的 HPI/OB。在 HP 和 HR I/O 库中，单端（仅）和常规 IOB 基本上是等效的，除了单端（仅）IOB 没有用于产生差分输出信号的连接。在大多数设备中，单端（仅）IOB 是位于每个 I/Obank 末端的两个引脚。每个 bank 中组成其他 48 个引脚的常规 IOB 可以实现单端和差分 I/O 标准。

各 IOB 直接连接 ILOGIC/OLOGIC 对，该逻辑对包含输入和输出逻辑资源，可用于数据和 IOB 的三态控制。所有的 ILOGIC 和 OLOGIC 可分别配置成 ISERDES 和 OSERDES。

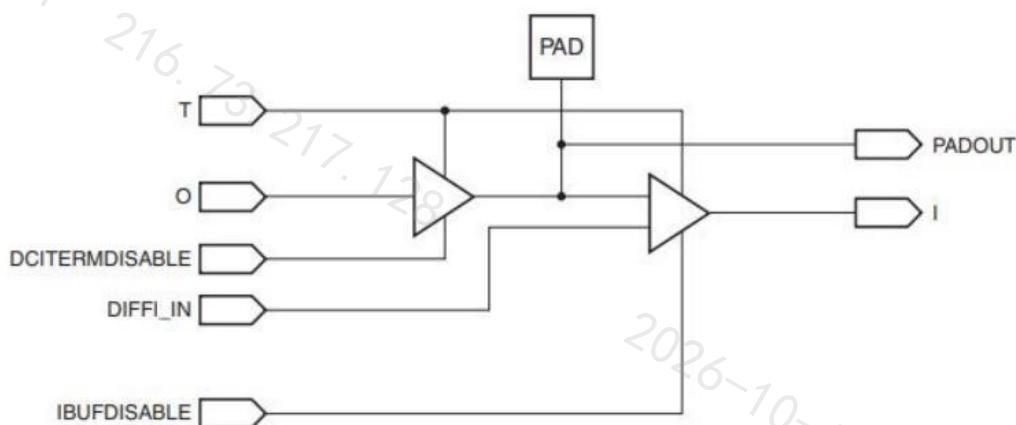


图 27 单端（仅）HPIOB 图

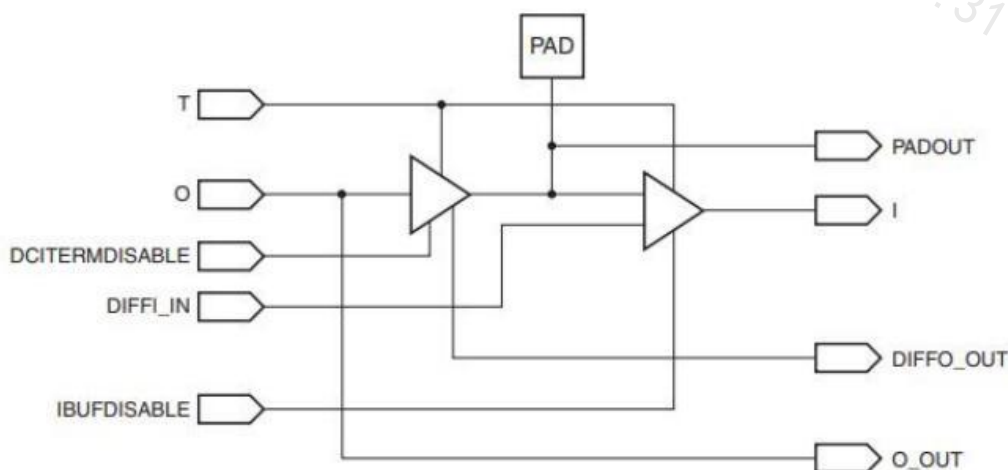


图 28 常规 HPIOB 图

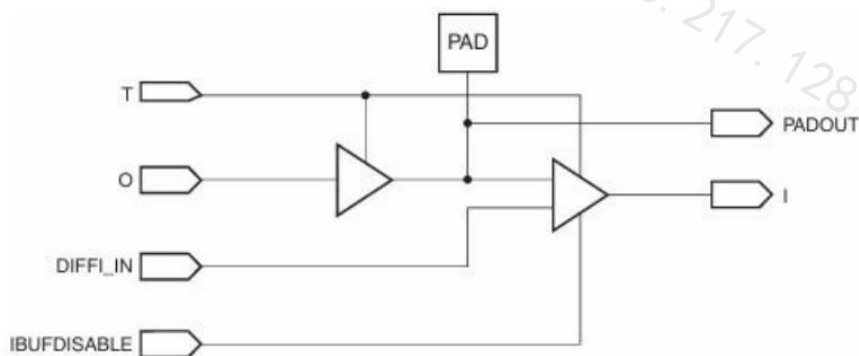


图 29 单端（仅）HRIOB 图

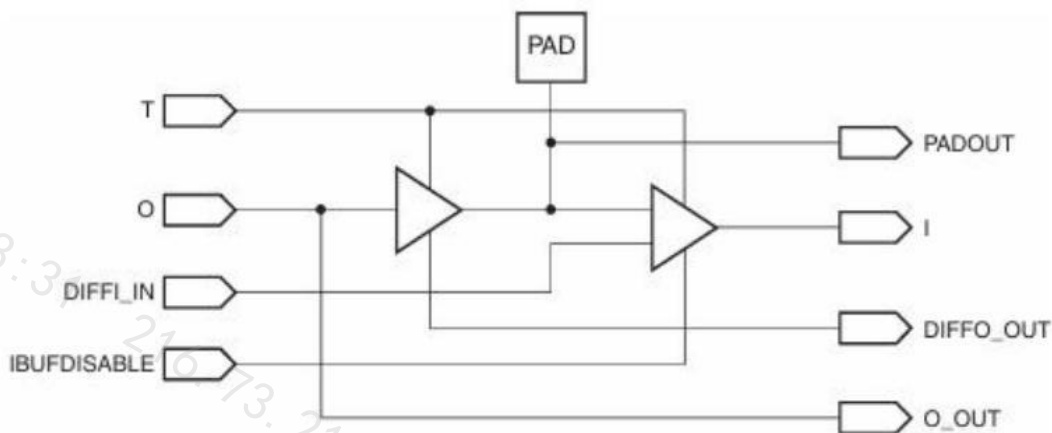


图 30 单端（仅）HRIOB 图

3.4.3 CYF7K325T I/O BANK 规则

在 CYF7K325T 中，一个 I/O 组由 50 个 IOB 组成。组数取决于器件尺寸和封装的引脚排列。CYF7K325T 有 10 个可用 I/O 组

SelectIO 引脚的电源电压：

a、 V_{REF}

带有差分放大器输入缓冲器的单端 I/O 标准需要输入参考电压 (V_{REF})。当 I/O bank 中需要 VREF 时，必须将 bank 的两个多功能 VREF 引脚用作 VREF 电源输入。通过启用 INTERNAL_VREF 约束，CYF7K325T 可以选择使用内部生成的参考电压。

b、 V_{CC0}

VCC0 电源是 CYF7K325T 器件 I/O 电路的主要电源。给定 I/O bank 的所有 VCC0 引脚必须连接到板上相同的外部电源，因此给定 I/O bank 内的所有 I/O 必须共享相同的 VCC0 电平。VCC0 电压必须符合已分配给 I/Obank 的 I/O 标准的要求。

c、 V_{CCAUX}

全局辅助 (V_{CCAUX}) 电源主要用于为 CYF7K325T 内部各种模块功能的互连逻辑供电。在 I/Obank 中，VCCAUX 还用于为某些 I/O 标准的输入缓冲电路供电。这些包括 1.8V 或以下的所有单端 I/O 标准。

3.4.4 数控阻抗 (DCI)

随着 FPGA 日益增大和系统时钟速率日益提高, PC 电路板设计和制造越来越困难。由于边沿速率不断提高, 保持信号完整性成了关键问题。PC 电路板迹线必须妥善端接才能避免反射或振铃现象。迹线端接的传统方法是加装电阻器, 使得输出和/或输入能够将接收器或驱动器的阻抗与迹线的阻抗匹配起来。然而, 由于器件 I/O 增多, 在靠近器件引脚处加装电阻器会加大电路板面积和组件数, 并且在某些情况下从物理角度讲是不可能的。为了解决这些问题并获得较好的信号完整性, 电路内部加入了数控阻抗 (DCI) 技术。

DCI 通过调整输出阻抗或并联终端, 以精确匹配传输线的特征阻抗。DCI 将 I/O 的阻抗自动调整到与外部参考电阻相等。这样就可补偿由工艺偏差引起的 I/O 阻抗变化。DCI 还会不断调整 I/O 的阻抗, 以补偿温度变化和供电电压波动。

在使用可控阻抗驱动器 (源端) 的情况下, DCI 控制驱动器阻抗以匹配两个参考电阻器, 也可以选择匹配这两个参考电阻器的一半阻值。DCI 免除了对外部串联终端电阻器的需要。

DCI 可以为发射器或接收器提供并联终端。这样就免除了对板上终端电阻器的需要, 可以降低电路板布线难度和组件数, 并且可以通过消除短线反射来改善信号完整性。如果终端电阻器的位置距离传输线端点太远, 就会发生短线反射。使用 DCI, 可使终端电阻器尽量靠近输出驱动器或输入缓冲器, 因此可以消除短线反射。

DCI 使用每组中的两个多用途参考引脚控制驱动器的阻抗或该组中所有 I/O 的并联终端值。N 参考引脚 (VRN) 必须由一个参考电阻器上拉到 VCC0, 而 P 参考引脚 (VRP) 则必须由另一个参考电阻器下拉到接地。各参考电阻器的阻值应等于 PC 电路板迹线的特征阻抗, 或者应是该值的两倍。

DCI 通过有选择地开启或关闭 I/O 中的晶体管来调整 I/O 的阻抗, 将阻抗调整到与外部参考电阻器匹配。阻抗调整在器件启动程序过程中开始。默认情况下, DONE 引脚直到阻抗调整过程的第一部分完成才转为 High。

在配置之后, 可以通过例化 DCIRESET 基元来重置 DCI 校准。在器件工作时, 通过翻转对 DCIRESET 基元的 RST 输入, 可以将 DCI 状态机复位, 使校准过程重新启动。所有使用 DCI 的 I/O 都在来自 DCIRESET 块的 LOCKED 输出置为有效之后才可使用。对于从器件上电到进入标称工作状态期间温度和/或供电电压变化显著的应用, 这一功能很有用。

对于可控阻抗输出驱动器, 可以将阻抗调整为与参考电阻器匹配, 也可以将其调整为与参考电阻器的一半阻值匹配。对于片上终端, 始终将终端调整为与参考电阻器匹配。

对于支持 DCI 可控制阻抗驱动器的 I/O 标准, DCI 可以将输出驱动器配置为以下类型:

1. 可控阻抗驱动器 (源终端)
2. 半阻抗可控阻抗驱动器 (源终端)

对于支持并联终端的 I/O 标准，DCI 会创建一个 Thevenin 等效或分裂终端电阻，并可接入 $V_{CC0}/2$ 。I/O 标准的命名约定增加了：

1. 如果在 I/O 中始终存在分裂终端电阻，则以 I/O 标准的名称表示 DCI，与在输入，输出或双向引脚上使用该标准无关

2. 如果仅当输出缓冲器为三态时才存在分接终端电阻，则以 I/O 标准的名称表示 T_DCI

DCI 级联：

使用 DCII/O 标准的 CYF7K325T HPI/O 组可以选择从另一个 HPI/Obank 组得到 DCI 阻抗值。如图 31 所示，一条数控总线遍布于整个组内，用来控制各 I/O 的阻抗。

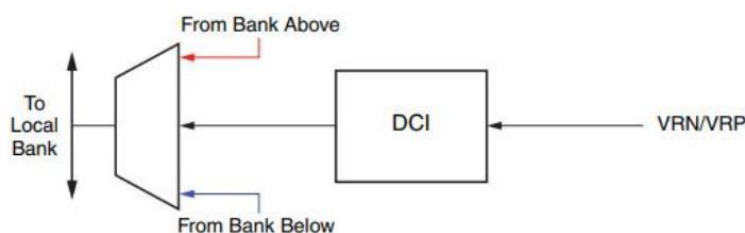


图 31 在组内使用 DCI

对于 DCI 级联，一个组（主组）必须将其 VRN/VRP 引脚连接到外部参考电阻器。同列中的其他组（从组）可以使用和主组同样阻抗的 DCI 标准，不必将自己的 VRN/VRP 引脚连接到外部电阻器。级联组中的 DCI 阻抗控制是从主组获得。

图 32 所示为支持的 DCI 多组级联。组 B 是主组。

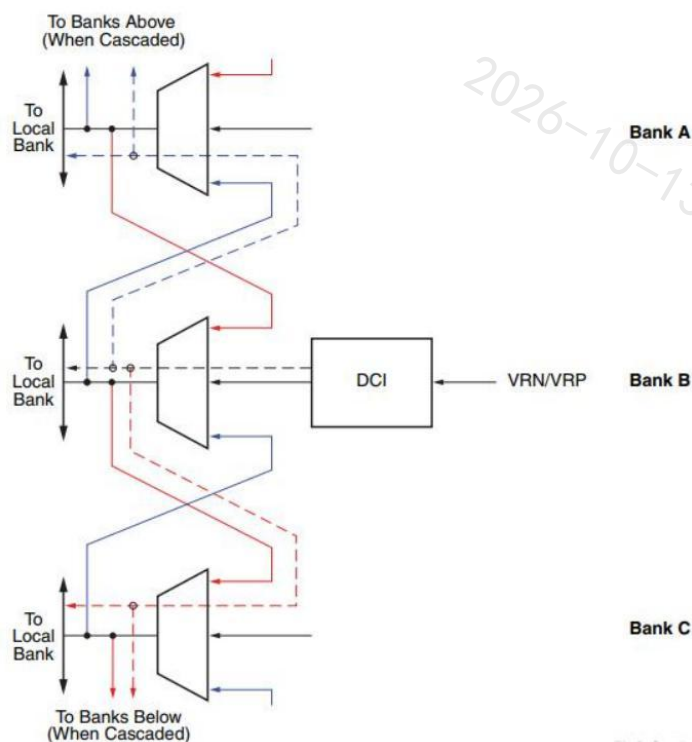


图 32 支持的 DCI 多组级联

使用 DCI 级联时的指导原则如下：

- DCI 级联仅可在一系列 HPI/O 组使用
 - 主组和从组必须都在器件的同一列上，并且可以跨越整个列，除非存在插入器边界。
 - 主组和从组必须具有同样的 VCC0 和 VREF（如果适用）电压。
 - 在同一 HPI/O 列中未使用 DCI 的 I/O 组（直通组）不必遵守 VCC0 和 VREF 电压规则以组合 DCI 设置。
 - 所有主从组之间必须满足 DCII/O 组合兼容性规则（例如，所有主从组之间只允许有一种使用单终端类型的 DCII/O 标准）。
 - DCI 级联必须是跨同列中的连续组延伸。使用 DCI 级联时不能跳过某些组。作为示例，请考虑同列中 A、B、C 和 D 四个组自上而下排列的情形。在这种情况下，若假定其他所有指导原则均已满足，则以下是允许的 DCI 级联方案：
 - DCI 级联可以延伸到组 A 或组 C，也可同时延伸到这两个组。
 - 既然组 D 是在同列中，DCI 级联也可以延伸到组 D。不过，DCI 级联还必须延伸到介于中间的组 C。
- 如果在组 C 中实现 DCII/O 标准，则全部三个组（B、C 和 D）之间都必须遵守 DCII/O 组合兼容性。
- 要确定相邻组的位置。可以根据 Partgen 生成的封装文件完全确定组位置信息。生成的封装文件（扩展名为 .pkg）包含 XYI/O 位置信息。标识符 X 表示同列中的 I/O。标识符 Y 表示特定组中某 I/O 的位置。文件还能表示出组编号。跨组边界连续 Y 位置表示相邻的组。
 - 可以使用约束指南中所述的 DCI_CASCADE 约束启用 DCI 级联。

a、可控阻抗驱动器（源终端）

有些 I/O 标准（如 LVCMOS）必须具有与所驱动线路的特征阻抗相匹配的驱动阻抗。DCI 可以提供可控阻抗输出驱动器，无需外部源终端即可消除反射。阻抗由阻值与迹线阻抗相等的外部参考电阻器设定。

支持可控阻抗驱动器的 DCII/O 标准有：LVDCI_15, LVDCI_18, HSLVDCI_15, HSLVDCI_18, HSUL_12_DCI 和 DIFF_HSUL_12_DCI。图 33 所示为 CYF7K325T 器件中的可控阻抗驱动器。

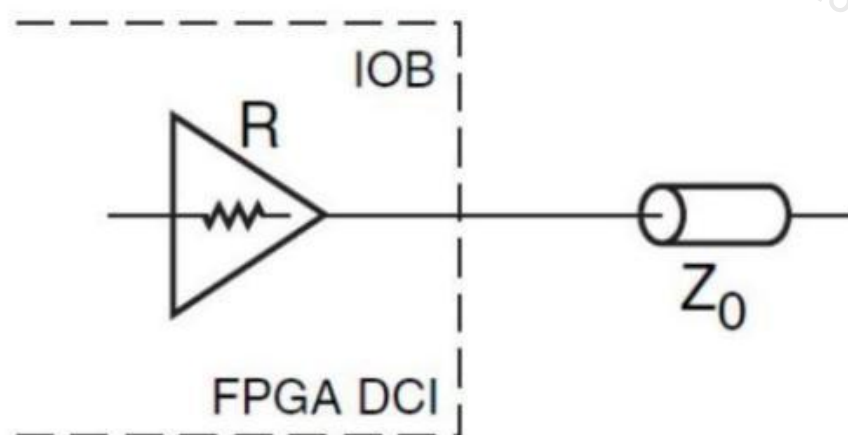


图 33 可控阻抗驱动器

b、半阻抗可控阻抗驱动器（源终端）

DCI 还提供具有参考电阻器一半阻抗的驱动器。这种参考电阻器阻值翻倍的方法可将这些电阻器的静态功耗减少一半。支持半阻抗可控阻抗驱动器的 DCII/O 标准有 LVDCI_DV2_15 和 LVDCI_DV2_18。

图 34 所示为 CYF7K325T 器件中的半阻抗可控驱动器。参考电阻器 R 必须是 $2 \times Z_0$ 才能与 Z_0 的阻抗匹配。

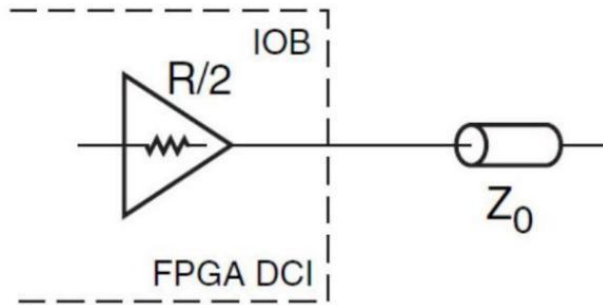


图 34 半阻抗可控阻抗驱动器

c、分裂终端（接 $V_{CC0}/2$ 的 Thevenin 等效终端）

有些 I/O 标准（如 HSTL 和 SSTL）要求输入端接电阻（R）达到 $V_{CC0}/2$ 的 VTT 电压（见图 35）。

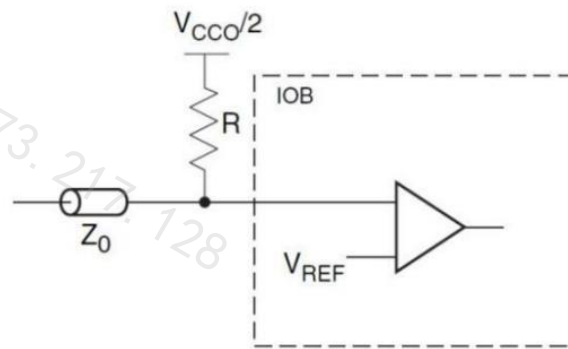


图 35 接 $V_{CC0}/2$ 的输入终端（不使用 DCI）

这相当于使用由两个电阻器组成的分裂终端。一个电阻器接 V_{CC0} ，另一个接地。电阻器的阻值为 $2R$ 。DCI 使用分裂终端提供接 $V_{CC0}/2$ 的终端。终端电阻由外部参考电阻器设定。例如，要实现 50Ω 至 $V_{CC0}/2$ 的 Thevenin 等效并联终端电路，在 VRN 和 VRP 引脚上将需要 100Ω 外部精密电阻器。表列出了支持拆分终端的 DCI 输入标准。图 36 为 CYF7K325T 器件中的分裂终端。

表 12 支持分裂终端的 DCI 输入标准

HSTL_I_DCI	DIFF_HSTL_I_DCI	SSTL18_I_DCI	DIFF_SSTL18_I_DCI
HSTL_I_DCI_18	DIFF_HSTL_I_DCI_18	SSTL18_II_DCI	DIFF_SSTL18_II_DCI
HSTL_II_DCI	DIFF_HSTL_II_DCI	SSTL18_II_T_DCI	DIFF_SSTL18_II_T_DCI
HSTL_II_DCI_18	DIFF_HSTL_II_DCI_18	SSTL15_DCI	DIFF_SSTL15_DCI
HSTL_II_T_DCI	DIFF_HSTL_II_T_DCI	SSTL15_T_DCI	DIFF_SSTL15_T_DCI
HSTL_II_T_DCI_18	DIFF_HSTL_II_T_DCI_18	SSTL135_DCI	DIFF_SSTL135_DCI

		SSTL135_T_DCI	DIFF_SSTL135_T_DCI
		SSTL12_DCI	DIFF_SSTL12_DCI
		SSTL12_T_DCI	DIFF_SSTL12_T_DCI

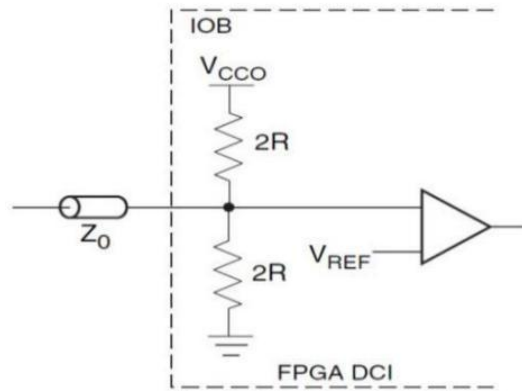


图 36 接 VCC0/2 的输入终端（使用 DCI 分裂终端）

d、DCI 和三态 DCI (T_DCI)

在驱动过程中出现分裂终端时，DCI 只控制终端的阻抗，不控制驱动器。三态 DCI (T_DCI) 标准旨在通过在驱动输出缓冲器时关闭分裂终端电阻器，并在输出处于三态时打开分裂终端电阻器（例如当接收或处于空闲状态）。T_DCI 标准只能分配给双向引脚。对于单向输入引脚，可以分配标准的 DCI 版本。对于单向输出引脚，可以分配非 DCI 或 DCI 版本。图 37 所示为 CYF7K325T 器件中的分裂终端驱动器。

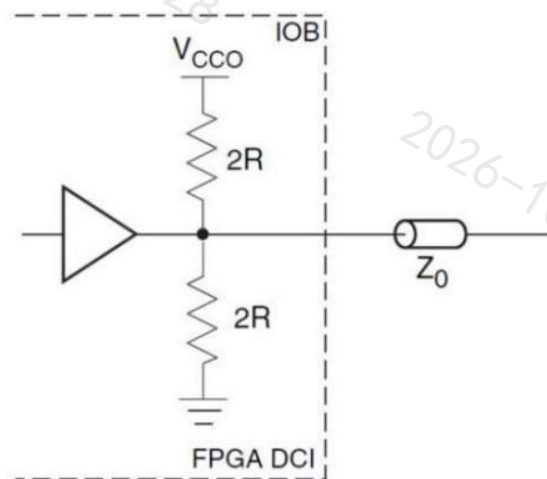


图 37 终端接 VCC0/2 的驱动器（使用 DCI 分裂终端）

表 13 始终存在分裂终端的 DCI 的 I/O 标准

HSTL_I_DCI(1)	DIFF_HSTL_I_DCI(1)	SSTL18_I_DCI(1)	DIFF_SSTL18_I_DCI(1)
HSTL_I_DCI_18(1)	DIFF_HSTL_I_DCI_18(1)	SSTL18_II_DCI	DIFF_SSTL18_II_DCI
HSTL_II_DCI	DIFF_HSTL_II_DCI	SSTL15_DCI(1)	DIFF_SSTL15_DCI(1)
HSTL_II_DCI_18	DIFF_HSTL_II_DCI_18	SSTL135_DCI(1)	DIFF_SSTL135_DCI(1)
		SSTL12_DCI(1)	DIFF_SSTL12_DCI(1)

注：HSTL 和 SSTLI/O 标准的非 II 类版本仅在输入而非输出上支持分裂终端 DCI。这些标准不允许双向引脚分配。

表 14 仅当处于三态时，存在分裂终端 DCI 的 I/O 标准

HSTL_I1_T_DCI	SSTL18_I1_T_DCI	DIFF_SSTL18_I1_T_DCI
HSTL_I1_T_DCI_18	SSTL15_T_DCI	DIFF_SSTL15_T_DCI
DIFF_HSTL_I1_T_DCI	SSTL135_T_DCI	DIFF_SSTL135_T_DCI
DIFF_HSTL_I1_T_DCI_18	SSTL12_T_DCI	DIFF_SSTL12_T_DCI

注：T_DCI 标准只能分配给双向引脚。

e、CYF7K325T I/O 标准中的 DCI

DCI 支持标准如表所示

表 15 CYF7K325T TDCII/O 标准

LVDCI_18	HSTL_I_DCI	DIFF_HSTL_I_DCI	SSTL18_I_DCI	DIFF_SSTL18_I_DCI
LVDCI_15	HSTL_I_DCI_18	DIFF_HSTL_I_DCI_18	SSTL18_II_DCI	DIFF_SSTL18_II_DCI
LVDCI_DV2_18	HSTL_II_DCI	DIFF_HSTL_II_DCI	SSTL18_II_T_DCI	DIFF_SSTL18_II_T_DCI
LVDCI_DV2_15	HSTL_II_DCI_18	DIFF_HSTL_II_DCI_18	SSTL15_DCI	DIFF_SSTL15_DCI
HSLVDCI_18	HSTL_II_T_DCI	DIFF_HSTL_II_T_DCI	SSTL15_T_DCI	DIFF_SSTL15_T_DCI
HSLVDCI_15	HSTL_II_T_DCI_18	DIFF_HSTL_II_T_DCI_18	SSTL135_DCI	DIFF_SSTL135_DCI
			SSTL135_T_DCI	DIFF_SSTL135_T_DCI
			SSTL12_DCI	DIFF_SSTL12_DCI
			SSTL12_T_DCI	DIFF_SSTL12_T_DCI
			HSUL_12_DCI	DIFF_HSUL_12_DCI

要正确使用 CYF7K325T 器件中的 DCI，用户必须遵循以下规则：

- (1). VCCO 引脚必须根据该组中的 IOSTANDARD 连接到适当的 VCCO 电压。
- (2). 必须通过使用 IOSTANDARD 属性或 HDL 代码中的例化在软件中使用正确的 DCII/O 缓冲器。
- (3). 外部参考电阻器必须连接到该组中的多用途引脚（VRN 和 VRP）。这两个多用途引脚不得用作常规用户 I/O。关于引脚的具体位置，请查阅 CYF7K325T 管脚表。引脚 VRN 必须由其参考电阻器上拉到 VCCO。引脚 VRP 必须由其参考电阻器下拉到地。在从属 I/O 组中级联 DCI 时，此要求是一个例外，因为 VRN 和 VRP 引脚可用作常规 I/O。可控阻抗驱动器的 DCI 标准仅可用于输入信号。对于这种情况，如果这些引脚是给定 I/O 组中唯一使用 DCI 标准的引脚，则该组不需要将外部参考电阻器连接到 VRP/VRN 引脚。当这些基于 DCI 的 I/O 标准是组中唯一的标准时，该组中的 VRP 和 VRN 引脚可用作常规 I/O。

表 16 不需要参考电阻器的 DCI 输入的 I/O 标准

LVDCI_18	LVDCI_DV2_18	HSLVDCI_18	HSUL_12_DCI
LVDCI_15	LVDCI_DV2_15	HSLVDCI_15	DIFF_HSUL_12_DCI

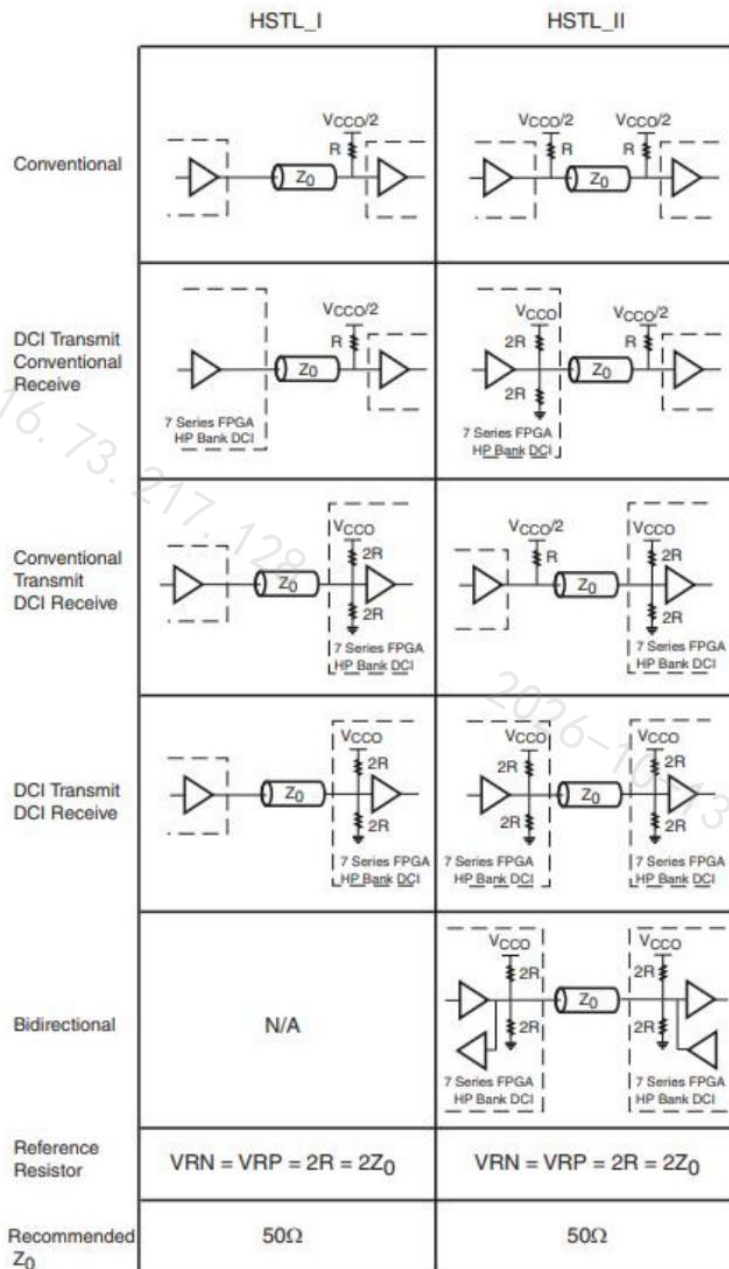
- (4). 所选外部参考电阻器的阻值应能提供所需输出阻抗。例如，当使用 LVDCI_15 时，要实现 50 Ω 的输出驱动器阻抗，VRN 和 VRP 引脚上使用的外部参考电阻应分别为 50 Ω 。当使用 SSTL15_T_DCI 时，要实现 $V_{CCO}/2$ 的 50 Ω Thevenin 等效终端（R），外部参考电阻应分别为 100 Ω ，即（2R）。

(5). 请遵循以下 DCII/O 组合规则:

- (a). 使用 DCI 级联时, VREF 必须兼顾同组中的所有输入。
- (b). VCCO 必须兼顾同组中的所有输入和输出。
- (c). 分裂终端、可控阻抗驱动器和半阻抗可控阻抗驱动器可以在同组中并存。

f、DCII/O 用法示例

- 图 38 提供的示例说明如何使用 HSTL_I_DCI 和 HSTL_II_DCII/O 标准。
- 图 39 提供的示例说明如何使用 SSTL18_I_DCI 和 SSTL18_II_DCII/O 标准。



Notes:

1. Z_0 is the recommended PCB trace impedance.

图 38 HSTLDCI 用法示例

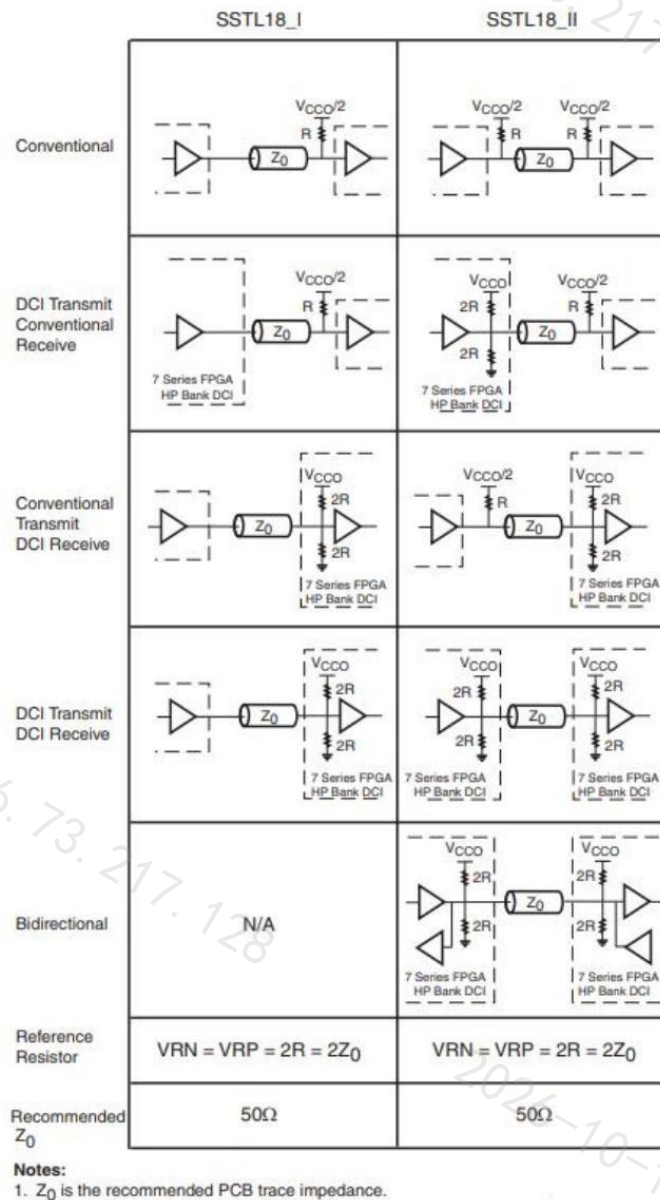


图 39 SSTLDCI 用法示例

3.5 高级 SelectIO 逻辑资源

3.5.1 输入串并转换逻辑资源(ISERDESE2)

ISERDESE2 是专用的串行到并行转换器，具有专门用来帮助实现高速源同步应用的特定时钟控制与逻辑功能。当在 FPGA 架构中设计解串器时，ISERDESE2 可以避免由其带来的时序复杂性。

ISERDESE2 功能包括：

- 专用解串器/串并转换器

ISERDESE2 解串器可以实现高速数据传输，不要求 FPGA 内部资源与输入数据频率匹配。此转换器支持单倍数据速率 (SDR) 和双倍数据速率 (DDR) 两种模式。在 SDR 模式下，串并转

转换器可以创建 2、3、4、5、6、7 或 8 位宽的并行字。在 DDR 模式下，串并转换器在使用一个 ISERDESE2 时可以创建 4、6、8 位宽的并行字。在使用两个级联的 ISERDESE2 时创建 10 或 14 位宽的并行字模式。

•Bitslip 子模块

Bitslip 子模块允许设计人员对进入 FPGA 内部资源的并行数据流重新排序。此功能可用来培训包括培训模式的源同步接口。

•对选通存储器接口的专门支持

ISERDESE2 包含专用电路（包括 OCLK 输入引脚），可以完全在 ISERDESE2 模块内部处理选通门到 FPGA 跨时钟域的功能。此功能可以提高性能和简化实现。

•专门支持网络接口

•专门支持 DDR3 接口

•专门支持 QDR 接口

•对异步接口的专门支持

图 40 所示为 ISERDESE2 的框图，重点显示该模块的所有主要元件和功能，包括可选的逆变器。

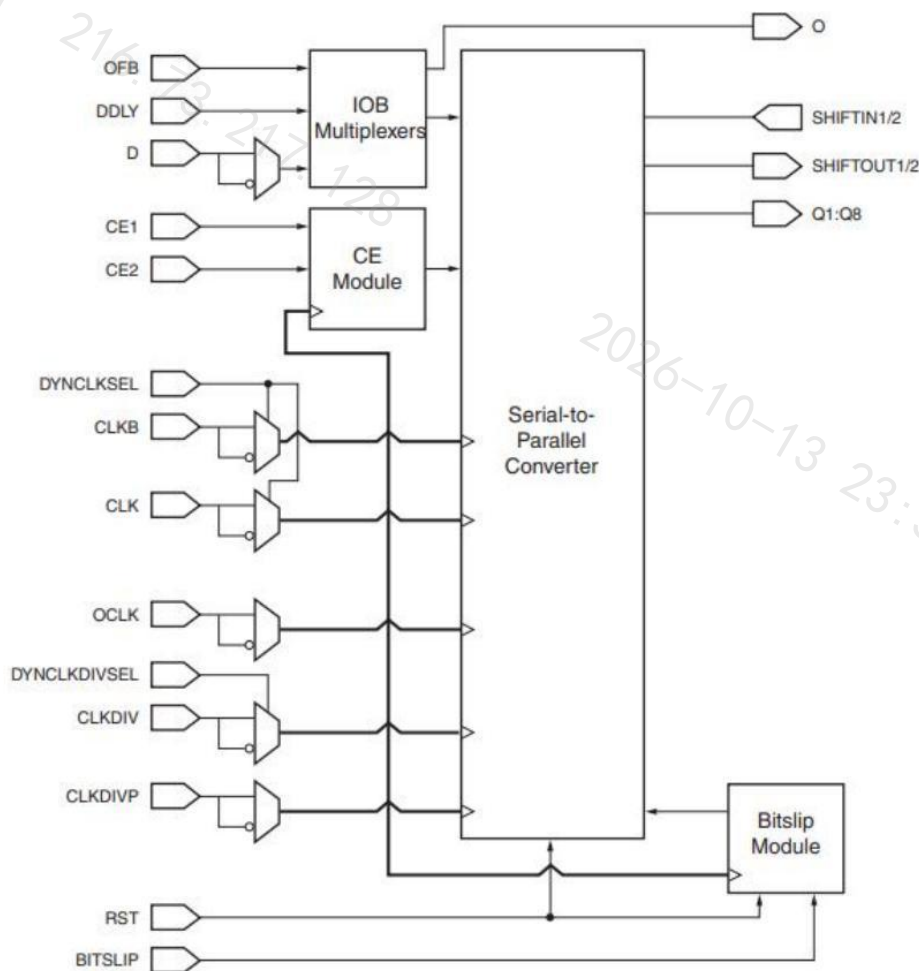


图 40 ISERDESE2 框图

ISERDESE2 端口

寄存输出-Q1 至 Q8

输出端口 Q1 至 Q8 是 ISERDESE2 模块的寄存输出。一个 ISERDESE2 模块最多可支持 8 个数据位（即 1:8 解串）。位宽大于 8（最多 14）的只能在 DDR 模式下支持。接收到的第一个数据位出现在最高阶 Q 输出上。

Bitslip 操作-BITSLIP

当置为有效（高有效）时，BITSLIP 引脚执行与 CLKDIV 同步的 Bitslip 操作。此后，如同桶式移位器操作，每当启动 Bitslip 操作，Q1 到 Q6 输出端口上的数据就会移动一个位置（DDR 的操作与 SDR 的不同）。

时钟使能输入-CE1 和 CE2

每个 ISERDESE2 模块都包含一个输入时钟使能模块，时钟使能模块用作 2:1 串并转换器，由 CLKDIV 进行时钟控制。当 ISERDESE2 配置成 DDR 模式的 1:4 解串时，双向存储器接口需要特别的时钟使能模块。当属性 NUM_CE=2 时，启用时钟使能模块，CE1 和 CE2 端口均可用。当 NUM_CE=1 时，只能使用 CE1，将其作为常规时钟使能端口。

高速时钟输入-CLK

高速时钟输入 (CLK) 用于对输入串行数据流进行时钟控制。

分频时钟输入-CLKDIV

分频时钟输入 (CLKDIV) 通常是 CLK 的一个分频版本（取决于所实现解串的宽度）。此端口驱动串并转换器、Bitslip 子模块和 CE 模块的输出。

来自 IOB 的串行输入数据-D

串行输入数据端口 (D) 是 ISERDESE2 的串行（高速）数据输入端口。此端口仅与 CY7K325T TIOB 资源配合使用。

来自 IDELAYE2 的串行输入数据-DDLY

串行输入数据端口 (DDLY) 是 ISERDESE2 的串行（高速）数据输入端口。

来自 OSERDESE2 的串行输入数据-OFB

串行输入数据端口 (OFB) 是 ISERDESE2 的串行（高速）数据输入端口。

选通存储器接口和过采样模式的高速时钟-OCLK

OCLK 时钟输入对选通存储器接口中的数据传输进行同步控制。

3.5.2 输出并串转换逻辑资源(OSERDESE2)

OSERDESE2 是专用的并串转换器，具有专门用来帮助实现高速源同步接口的特定时钟控制和逻辑资源。每个 OSERDESE2 模块包括一个用于数据和三态控制的专用串行器。数据和三态串行器都可以配置成 SDR 和 DDR 模式。数据串行化可达 8:1（如果使用“OSERDESE2 宽度扩展”则是 10:1 和 14:1）。三态串行化可达 14:1。有一个专用的 DDR3 模式来支持高速内存应用。

图 41 所示为 OSERDESE2 的框图，重点显示该模块的所有主要元件和功能。

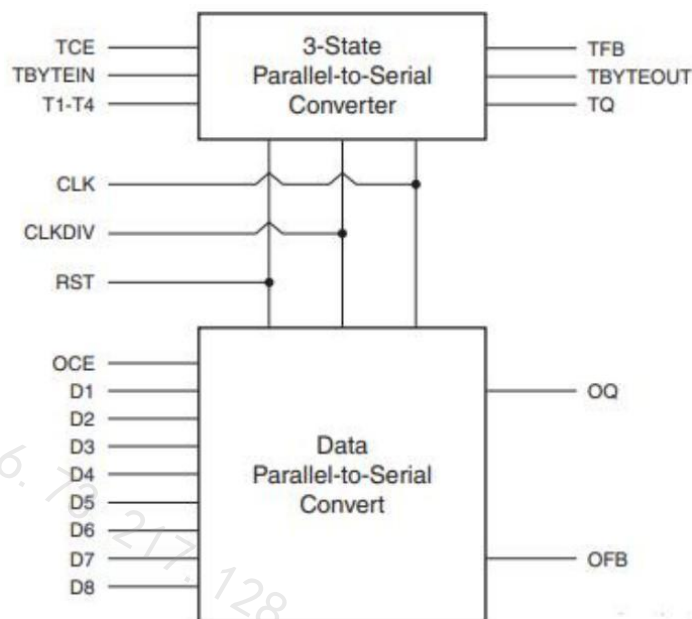


图 41 OSERDESE2 框图

数据并串转换器

一个 OSERDESE2 模块中的数据并串转换器接收来自内部资源的 2 到 8 位并行数据（如果使用“OSERDESE2 宽度扩展”则为 14 位），将数据串行化，然后通过 OQ 输出将数据送至 IOB。并行数据串行化是按照从数据输入引脚的最低位到最高的顺序进行的（即 D1 输入引脚上的数据传输到 OQ 引脚的首位）。可以在两种模式下使用数据并串转换器：单倍数据速率 (SDR) 和双倍数据速率 (DDR)。

OSERDESE2 使用 CLK 和 CLKDIV 两个时钟进行数据速率转换。CLK 是高速串行时钟；CLKDIV 是分频并行时钟。CLK 和 CLKDIV 必须相位对齐。

使用前，必须对 OSERDESE2 进行复位。

三态并串转换

除了数据的并行到串行转换，OSERDES 模块还包含一个用于对 IOB 进行三态控制的并串转换器。与数据转换不同的是，三态转换器最多只能串行化四位并行三态信号。三态转换器不能级联。

OSERDESE2 端口

数据路径输出-OQ

OQ 端口是 OSERDESE2 模块的数据输出端口。输入端口 D1 上的数据会首先出现在 OQ 上。此端口将数据并串转换器的输出连接到 IOB 的数据输入。该端口不能驱动 ODELAYE2；必须使用 OFB 引脚。

来自 OSERDESE2 的输出反馈-OFB

输出反馈端口 (OFB) 是 OSERDESE2 的串行（高速）数据输出端口。

三态控制输出-TQ

该端口是 OSERDESE2 模块的三态控制输出。使用时，此端口将三态并行到串行转换器的输出连接到 IOB 的控制/三态输入。

三态控制输出-TFB

如果用户需要，该端口是发送到内部的 OSERDESE2 模块的三态控制输出。

高速时钟输入-CLK

此高速时钟输入端口驱动并行到串行转换器的串行端。

分频时钟输入-CLKDIV

此分频高速时钟输入端口驱动并串转换器的并行侧。此时钟是 CLK 端口所连接时钟的分频版本。

并行数据输入-D1 至 D8

所有输入并行数据都通过端口 D1 到 D8 进入 OSERDESE2 模块。这些端口连接到 FPGA 内部资源，可以配置为 2 到 8 位（即 8:1 串行化）。通过在 SLAVE 模式下使用第二个 OSERDESE2，可以支持大于 8（10 和 14）的位宽。

输出数据时钟使能-OCE

OCE 是数据通路的 High 有效时钟使能。

三态信号时钟使能-TCE

TCE 是三态控制通路的 High 有效时钟使能。

并联三态输入-T1 至 T4

所有并行三态信号通过端口 T1 到 T4 进入 OSERDESE2 模块。这些端口连接到 FPGA 内部资源。它们可以配置为 1、2 或 4 位，或被绕过。这些端口的行为由 DATA_RATE_TQ 和 TRISTATE_WIDTH 属性控制。

3.6 存储器模块 (BRAM)

3.6.1 Block RAM 概述

CYF7K325T Block RAM 最多存储 36K 位数据，并且可以配置成两个独立的 18 KbRAM 或一个 36 Kb RAM。在简单的双端口模式下，每个 36 Kb Block RAM 可配置成一个 64K x 1（当与一个相邻的 36 Kb Block RAM 级联时）、32K x 1、16K x 2、8K x 4、4K x 9、2K x 18、1K x 36 或 512x72 存储器。在简单的双端口模式下，每个 18Kb Block RAM 均可配置为 16Kx1、8Kx2、4Kx4、2Kx9、1Kx18 或 512x36 存储器。

Block RAM 写和读是同步操作，两个端口对称且完全独立，仅共享存储的数据。每个端口均可配置成可用的宽度之一，与另一端口无关。另外，每个端口的读端口宽度可与写端口宽度不同。存储器内容可用配置比特流初始化或清除。在写操作过程中，存储器可以设置成让数据输出保持不变，或者令其反映正在写入的新数据或正在覆盖的旧数据。

3.6.2 同步双端口和单端口 RAM

3.6.2.1 数据流

真双端口 36 Kb Block RAM 双端口存储器由一个 36 Kb 存储区域以及 A 和 B 两个完全独立的访问端口组成。同样，每个 18Kb Block RAM 双端口存储器由一个 18Kb 存储区域以及 A 和 B 两个完全独立的访问端口组成。其结构完全对称，并且两个端口可互换。图 42 所示为真双端口数据流。表 12 真端双口的名称和列出了真双端口的名称和描述。

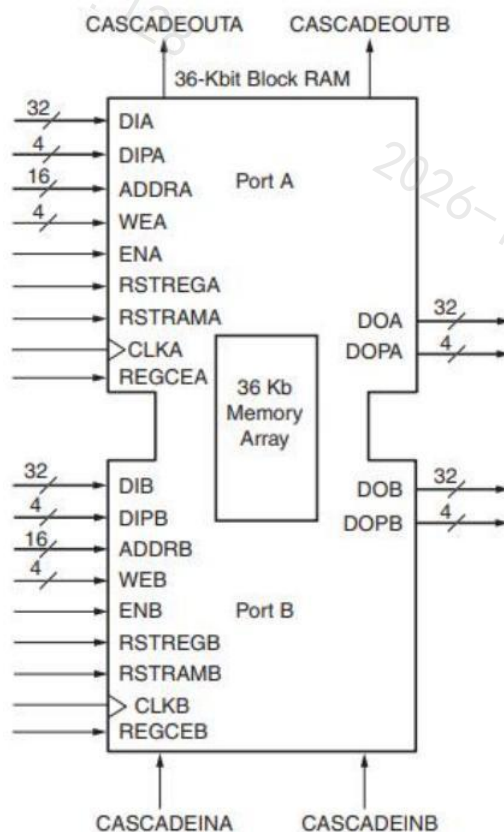


图 42 真双端口数据流

表 12 真端双口的名称和描述

端口名称	描述
DI[A B]	数据输入总线
DIP[A B]	数据输入奇偶校验总线, 可用于其他数据输入
ADDR[A B]	地址总线
WE[A B]	字节宽度写使能
EN[A B]	当无效时, 没有数据写入 Block RAM, 输出总线保持其原状态
RSTREG[A B]	同步设置/重置输出寄存器(DO_REG=1)。RSTREG_PRIORITY 属性确定相对于 REGCE 的优先级。
RSTRAM[A B]	同步置位/复位输出数据锁存器
CLK[A B]	时钟输入
DO[A B]	数据输出总线
DOP[A B]	数据输出奇偶校验总线, 可用于其他数据输出
REGCE[A B]	输出寄存器时钟使能。
CASCADEIN[A B]	级联输入, 用于 64Kx1 模式
CASCADEOUT[A B]	级联输出, 用于 64Kx1 模式

3.6.2.2 读操作

在锁存器模式下, 读操作使用一个时钟沿。读地址寄存在读端口; 存储的数据在 RAM 访问后加载到输出锁存器中。当使用输出寄存器时, 读操作会多占用一个延迟周期。

3.6.2.3 写操作和写模式

写操作是单时钟沿操作。写地址寄存在写端口; 数据输入存储在存储器中。

在写时钟沿之后, 输出锁存器上有效数据的行为取决于 WRITE_FIRST、READ_FIRST 和 NO_CHANGE 三项写模式设置。写模式的选择由配置设定。可以为各端口分别选择写模式属性。默认模式是 WRITE_FIRST。WRITE_FIRST 将新写入的数据输出到输出总线。READ_FIRST 在写入新数据时输出原来存储的数据。NO_CHANGE 保持先前由读操作产生的输出。

•WRITE_FIRST 模式, 即透明模式 (默认)

在 WRITE_FIRST 模式下, 输入数据同时写入存储器并存入数据输出 (透明写), 如图 43 所示。当未使用可选输出流水线寄存器时, 这些波形对应于锁存器模式。

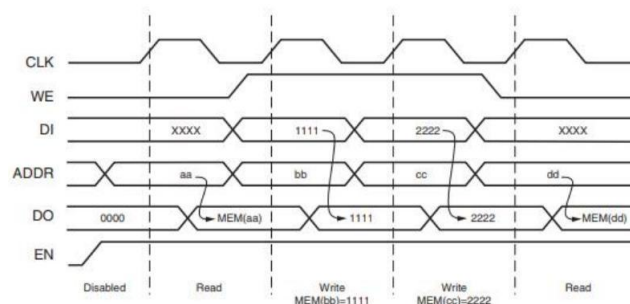


图 43 WRITE_FIRST 模式波形

•READ_FIRST 模式，即先读后写模式

在 READ_FIRST 模式下，原存储在写地址的数据出现在输出锁存器上，而输入数据则存入存储器（先读后写）。当未使用可选输出流水线寄存器时，图 44 中的波形对应于锁存器模式。

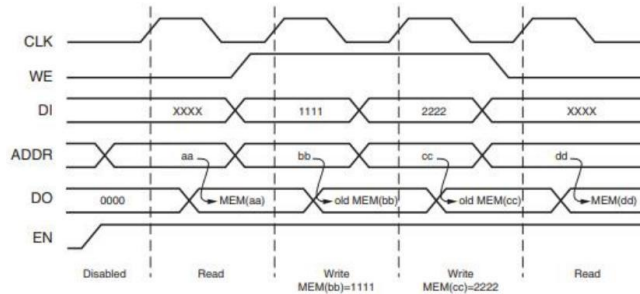


图 44 READ_FIRST 模式波形

•NO_CHANGE 模式

在 NO_CHANGE 模式下，输出锁存器在写操作过程中保持不变。如图 45 所示，数据输出保持最后的读数，不受同端口上写操作的影响。当未使用可选输出流水线寄存器时，这些波形对应于锁存器模式。此模式是最省电的。此模式在 SDP 模式下不可用，因为它的行为与 WRITE_FIRST 模式相同。

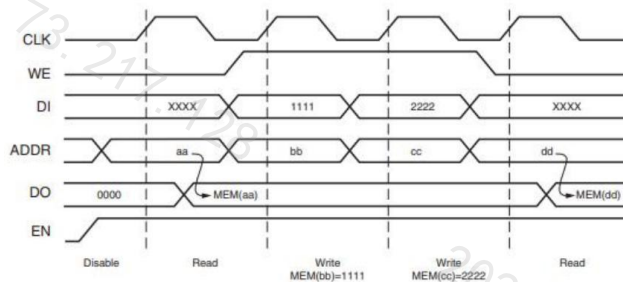


图 45 NO_CHANGE 模式波形

3.6.2.4 避免冲突

CYF7K325T Block RAM 存储器是真正双端口 RAM，其中两个端口可以在任意时间访问任意存储器。但是，当从两个端口访问同一存储器位置时，可能会发生地址冲突。当两个 Block RAM 端口在相同的时钟周期中访问相同的地址位置时，即发生地址冲突。有两种基本的时钟类型设置，即公共时钟和独立时钟。公共（同步）时钟由通用时钟缓冲器驱动器驱动。所有其他 CLKA 和 CLKB 连接都被认为是独立的（异步）时钟。

在下面表格中：

- 写使能为高电平有效，1=写，0=读
- $RF = READ_{FIRST}$, $WF = WRITE_{FIRST}$, $NC = NO_{CHANGE}$
- X=不确定值
- DIA=端口 A 数据输入

- DIB $\lambda = \lambda$ 端口 B 数据输入

表 13 同步时钟和异步时钟

时钟类型	写模式端口 A	写模式端口 B	写使能端口 A (数据)	写使能端口 B (数据)	结果数据输出端口 A	结果数据输出端口 B	结果存储值
同步	RF/WF/NC	RF/WF/NC	0	0	Old memory data	Old memory data	No change
	RF	RF/WF/NC	1 (DIA)	0	Old memory data	Old memory data	DIA
	WF	RF/WF/NC	1 (DIA)	0	DIA	X	DIA
	NC	RF/WF/NC	1 (DIA)	0	No change	X	DIA
	RF/WF/NC	RF	0	1 (DIB)	Old memory data	Old memory data	DIB
	RF/WF/NC	WF	0	1 (DIB)	X	DIB	DIB
	RF/WF/NC	NC	0	1 (DIB)	X	No change	DIB
	RF/WF/NC	RF/WF/NC	1	1	X	X	X
异步	RF/WF/NC	RF/WF/NC	0	0	Old memory data	Old memory data	No change
	RF	RF/WF/NC	1 (DIA)	0	Old memory data	X	DIA
	WF	RF/WF/NC	1 (DIA)	0	DIA	X	DIA
	NC	RF/WF/NC	1 (DIA)	0	No change	X	DIA
	RF/WF/NC	RF	0	1 (DIB)	X	Old memory data	DIB
	RF/WF/NC	WF	0	1 (DIB)	X	DIB	DIB
	RF/WF/NC	NC	0	1 (DIB)	X	No change	DIB
	RF/WF/NC	RF/WF/NC	1	1	X	X	X

3.6.3 简单双端口 Block RAM

每个 18Kb 块和 36Kb 块还可以配置成简单双端口 RAM 模式。在这种模式下，Block RAM 端口宽度对于 18 Kb Block RAM 加倍到 36 位，对于 36 Kb Block RAM 加倍到 72 位。在简单双端口模式下，可同时进行独立的读和写操作，其中端口 A 指定为读端口，端口 B 指定为写端口。当读和写端口同时访问同一数据位置时，将其作为冲突处理，类似于真正双端口模式下的端口冲突。简单双端口 Block RAM 模式支持通过配置端口读回。图 46 所示为简单双端口数据流。表 14 列出了简单双端口的名称和描述

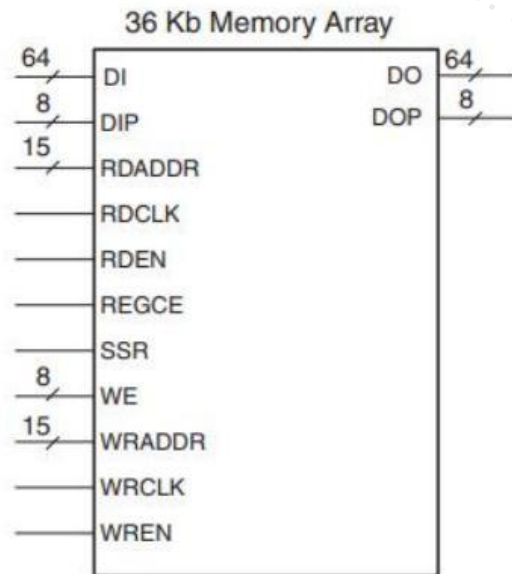


图 46 简单双端口数据流中 RAMB36

表 14 简单双端口的功能和描述

端口功能	描述
DO	数据输出总线
DOP	数据输出奇偶校验总线
DI	数据输入总线
DIP	数据输入奇偶校验总线
RDADDR	读数据地址总线
RDCLK	读数据时钟
RDEN	读端口使能
REGCE	输出寄存器时钟使能
SBITERR	单位元错误状态
DBITERR	双位元错误状态
ECCPPARITY	ECC 编码器输出总线
SSR	输出寄存器或锁存器的同步设置/复位
WE	字节宽度写使能
WRADDR	写数据地址总线
WRCLK	写数据时钟
WREN	写端口使能

注:Block RAM 基本端口名称可以与端口功能名称不同。

3.6.4 可级联 Block RAM

在 CYF7K325T Block RAM 架构中, 可将两个 32K x 1 RAM 组合起来形成一个 64Kx1RAM, 无需使用局部互连或其他 CLB 逻辑资源。任意两个相邻的 Block RAM 均可级联形成一个 64K x 1 Block RAM。只有在 64K x 1 模式下才可用级联两个 Block RAM 的方法增加 Block RAM 的深度。

3.6.5 独立读写端口宽度选择

每个 Block RAM 端口都具有控制数据宽度和地址深度（长宽比）的功能。CYF7K325T 真双端口 Block RAM 将这种灵活性推广到了读和写，可以用不同的数据位宽度配置各端口。例如，端口 A 可以有 36 位读宽度和 9 位写宽度，而端口 B 可以有 18 位读宽度和 36 位写宽度。

如果读端口宽度不同于写端口宽度并且配置为 WRITE_FIRST 模式，则 DO 显示所有已启用写字节的有效新数据和存储在存储器中的所有未启用字节的原数据。独立的读写端口宽度选择提高了在 Block RAM 中实现内容可编址存储器 (CAM) 的效率。此选项可用于所有 CYF7K325T 真双端口 RAM 的端口尺寸和模式。

3.6.6 字节宽度写使能

Block RAM 的字节宽度写使能功能提供了以八位（一个字节）为单位写入输入数据的能力。对于 RAMB36E1 真双端口 RAM，有四个独立的字节宽度写使能输入。对于简单双端口模式下的 Block RAM（SDP 模式下为 RAMB36E1），有八个独立的字节宽度写使能输入。表 15 概述了 36K 和 18K Block RAM 的字节宽度写使能。每个字节宽度写使能与一个输入数据字节和一个奇偶校验位关联。在所有数据宽度配置中都必须驱动所有字节宽度写使能输入。用 Block RAM 与微处理器进行接口连接时，此功能很有用。字节宽度写使能不能用于双时钟 FIFO 或 ECC 模式。图 47 所示为 RAMB36E1 的字节宽度写使能时序图。

表 15 可用的字节宽度写使能

基元	最大位宽度	字节宽度写使能数
RAMB36E1 TDP mode	36	4
RAMB36E1 SDP mode	72	8
RAMB18E1 TDP mode	18	2
RAMB18E1 SDP mode	36	4

当为 36 位或 18 位宽的数据路径配置 RAMB36E1 时，任何端口都可限制写入数据字内的指定字节位置。如果按 READ_FIRST 模式配置，则 DO 总线显示整个已编址字的原内容。在 WRITE_FIRST 模式下，DO 显示新写入的已启用字节和未写字节的初始存储器内容的组合。

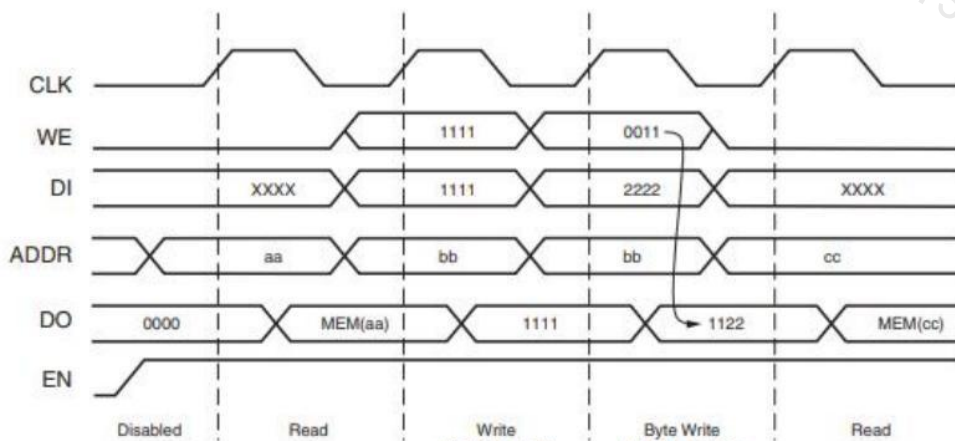


图 47 字节宽度写使能波形 (x36 WRITE_FIRST)

3.6.7 Block RAM 纠错代码

36 Kb Block RAM 的 Block RAM 和 FIFO 的实现都支持实现 64 位纠错代码 (ECC)。该代码用来检测 Block RAM 数据读出中的单位元和双位元错误。然后，单位元错误在输出数据中得到纠正。

3.6.8 内置 FIFO 支持

在 CYF7K325T 架构中，FIFO 可以配置成 18 Kb 或 36Kb 存储器。对于 18Kb 模式，支持的配置是 4K x 4、2K x 9、1K x 18 和 512 x 36。36 Kb FIFO 的支持配置是 8K x 4、4K x 9、2K x 18、1K x 36 和 512 x 72。Block RAM 可以配置成使用公共或独立读写时钟的先进/先出 (FIFO) 存储器。

Block RAM 的端口 A 用作 FIFO 的读端口，而端口 B 是 FIFO 的写端口。数据在读时钟的上升沿上从 FIFO 读出，在写时钟的上升沿上写入 FIFO。如果没有外部 CLB 协助，FIFO 模式不支持独立读写端口宽度选择。

3.7 乘法器 (DSP)

CYF7K325T 采用了 DSP48E1 Slice，DSP48E1 Slice 支持许多独立功能。这些功能包括乘法，乘法累加 (MACC)，乘法加法，三输入加法，桶形移位，宽总线多路复用，幅度比较器，按位逻辑功能，模式检测和宽计数器。该架构还支持级联多个 DSP48E1 Slice，以形成广泛的数学功能，DSP 滤波器和复杂的算术。其中，DSP48E1 Slice 的基本功能如图 48 所示：

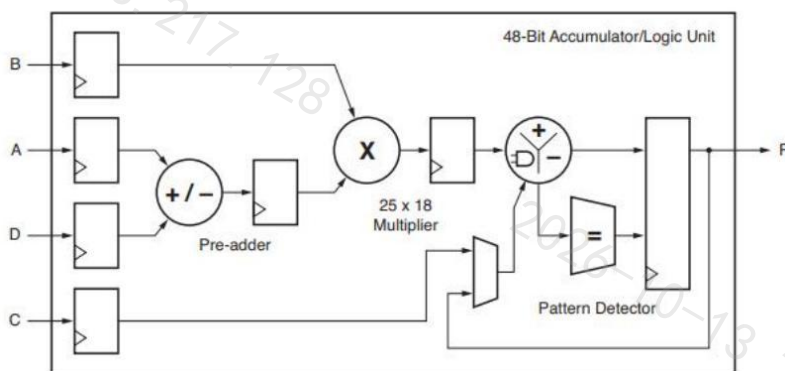


图 48 DSP48E1 Slice 的基本功能

DSP 功能的一些重点包括：

- 25 × 18 的二进制补码乘法器：

- 动态旁路

- 48 位累加器：

- 可用作同步递增/递减计数器

- 省电预加器：

- 优化对称滤波器的应用并降低 DSP Slice 的要求

- 单指令多数据 (SIMD) 算术单元：

- 双 24 位或四位 12 位加/减/累加

•可选的逻辑单元:

—可以生成两个操作数的十个不同逻辑函数中的任何一个

•模式检测器:

—收敛或对称舍入

—与逻辑单元结合使用时, 具有 96 位宽的逻辑功能

•高级功能:

—级联的可选流水线和专用总线

3.8 配置控制器 (CFGIC)

器件通过将编程数据下载到内部编程存储器中来进行编程。由于 CYF7K325T 的内部存储器是易失性存储器, 所以它需要在每次上电时进行配置, 比特流文件通过专门的配置引脚加载到器件中。使用 256 位 AES 加密法对编程文件或比特流进行加密, 以确保系统断电和加电配置过程中的机密性, 可将解密密钥存储在 eFuse 中。

由于配置数据存储在 CMOS 配置锁存器 (CCL) 中, 因此必须在掉电后重新配置。每次通过特殊配置引脚将比特流加载到器件中。这些配置引脚用作许多不同配置模式的接口, CFGIC 具有五个配置接口。每个配置接口对应一个或多个配置模式和总线宽度, 配置时序与引脚处的 CCLK 有关。

- 主动-串行配置模式
- 从-串行配置模式
- 主动 SelectMAP (并行) 配置模式 (x8 和 x16)
- 被动 SelectMAP (并行) 配置模式 (x8, x16 和 x32)
- JTAG/边界扫描配置模式
- 主动 SPI 配置模式 (x1, x2, x4)

用编程模式管脚 (M2, M1, M0) 来选择编程的模式。模式选择编码列于表 16 中。

表 16 配置模式编码表

编程模式	M2	M1	M0	CCLK 方向	总线宽度
主串模式	0	0	0	Output	x1
主 SPI 模式	0	0	1	Output	x1, x2, x4
主 SelectMAP 模式	1	0	0	Output	x8, x16
主 BPI 模式	0	1	0	Output	x8, x16
JTAG	1	0	1	N/A	x1
从 SelectMAP 模式	1	1	0	Input	x8, x16, x32
从串模式	1	1	1	Input	x1

通过边界扫描端口的编程优先级最高，选择边界扫描方式就会直接关掉了其他的编程模式。MODE 管脚都有内部的上拉电阻，在没有连接的情况下默认为逻辑高电平，但是仍然建议在外部对编程管脚上拉操作。

CYF7K325T 器件通过将编程数据下载到内部编程存储器中来进行编程。由于 CYF7K325T 的内部存储器是易失性存储器，所以它需要在每次上电时进行配置，比特流文件通过专门的配置引脚加载到器件中，在这些用来编程的管脚中一些是专用的编程管脚，而另外的管脚在编程完成之后可以重新用作一般目的的输入输出。以下该器件的配置管脚：

表 17 CYF7K325T 配置引脚

引脚名称	类型	专用或双用途	描述
CFGBVS	输入	专用	配置库电压选择
M[2:0]	输入	专用	配置模式选择引脚，将每个模式引脚直接连接或通过 $\leq 1k\Omega$ 电阻连接到 VCC0_0 或 GND。
TCK	输入	专用	测试时钟。这个引脚是 JTAG 测试时钟。TCK 对 TAP 控制器和 JTAG 寄存器进行排序。
TMS	输入	专用	测试模式选择。此引脚在 TCK 的上升沿通过 TAP 控制器确定状态序列。TMS 具有内部电阻上拉以在引脚未被驱动时提供逻辑高电平。
TDI	输入	专用	测试数据输入。该引脚是所有 JTAG 指令和数据寄存器的串行输入。TAP 控制器的状态和当前指令确定由 TDI 引脚为特定操作提供的寄存器。TDI 具有内部电阻上拉，如果引脚未驱动，则为系统提供逻辑高电平。TDI 在 TCK 的上升沿加载到 JTAG 寄存器。
TDO	输出	专用	测试数据输出。该引脚是所有 JTAG 指令和数据寄存器的串行输出。TAP 控制器的状态和当前指令确定为特定操作提供 TDO 的寄存器（指令或数据）。TDO 在 TCK 的下降沿改变状态，并且仅在指令或数据通过器件移位期间有效。TDO 是有效的驱动器输出。
PROGRAM_B	输入	专用	程序（栏）。低电平有效复位为配置逻辑。当 PROGRAM_B 脉冲为低电平时，将清除 FPGA 配置并启动新的配置序列。配置复位在下降沿启动，而配置（即编程）序列在下一个上升沿开始。
INIT_B	双向（漏极开路）	专用	初始化（栏）。低电平有效 FPGA 初始化引脚或配置错误信号。当 FPGA 处于配置复位状态，FPGA 初始化（清除）其配置存储器或 FPGA 检测到配置错误时，FPGA 将该引脚驱动为低电平。在完成 FPGA 初始化过程后，INIT_B 释放至高阻态 Z，这时需要一个外部电阻将 INIT_B 拉高。上电期间，INIT_B 可以在外部保持低电平，以在初始化过程结束时使上电配置序列停顿。初始化过程后，如果在 INIT_B 输入端检测到高电平，则 FPGA 继续进行 M[2:0] 引脚设置所规定的其余配置序列。
DONE	双向	专用	作为配置完成的标志，为高时代表配置完成。DONE 输出默认为漏极开路输出。
CCLK	输入、输出	专用	配置时钟。CCLK 在除 JTAG 模式以外的所有模式下运行同步 FPGA 配置序列。•对于从模式：CCLK 是输入，需要连接到外部时钟源。•对于主模式：FPGA 提供配置时钟并驱

			动 CCLK 作为输出。•对于 JTAG 模式:CCLK 为高 Z 且可保持未连接状态。
PUDC_B	输入	多功能的	配置期间上拉低电平有效的 PUDC_B 输入在上电后和配置期间启用 SelectIO 引脚上的内部上拉电阻。•当 PUDC_B 为低电平时,每个 SelectIO 引脚上启用内部上拉电阻。•当 PUDC_B 为高电平时,每个 SelectIO 引脚上的内部上拉电阻均被禁用。
EMCCLK	输入	多功能的	外部主机配置时钟可选的外部时钟输入,用于在主模式下运行配置逻辑(相对于内部配置振荡器)。•对于主串模式:FPGA 可以选择切换到 EMCCLK 作为时钟源,而不是内部振荡器,以驱动内部配置引擎。可以选择通过位流设置(ExtMasterCclk_en)对 EMCCLK 频率进行分频,并将其转发以作为主 CCLK 信号输出。•对于 JTAG 和从属模式:在 JTAG 和从属模式中,EMCCLK 被忽略,并且可以保持未连接状态。
CSI_B	输入	多功能的	片选输入,SelectMAP 数据总线使能信号,低电平有效
CS0_B	输出(漏极开路)	多功能的	片选输出低电平有效漏极开路输出,可将其驱动为低电平,以并行配置菊花链的形式启用下游 FPGA 的从 SelectMAP 配置接口。
DOUT	输出	多功能的	数据输出 DOUT 是串行配置菊花链的数据输出。•对于串行和 SPI(仅 x1)模式:如果设备处于串行配置菊花链模式,则连接到下游从串行 FPGA 的 DIN。否则,DOUT 为高阻态。•对于 BPI 和 SelectMAP 模式:DOUT 是多功能引脚,用作 CS0_B 引脚。•对于所有其他模式:DOUT 为高阻 Z 且可保持未连接状态。
RDWR_B	输入	多功能的	SelectMAP 数据总线方向控制信号,RDWR_B 为低时,数据总线为输入;否则为输出。
D00_MOSI	双向的	多功能的	主输出,从输入 FPGA(主)SPI 模式输出,用于将命令发送到 SPI(从)闪存设备。
D01_DIN	双向的	多功能的	DIN 是串行数据输入引脚。对于串行和 SPI 模式:DIN 是从数据源接收串行数据的 FPGA 数据输入。
D[00-31]	双向的	多功能的	D[00-31]引脚的子集或全集是 SPI x2, SPI x4, BPI 或 SelectMAP 模式的数据总线接口。
A[00-28]	输出	多功能的	BPI 地址总线输出,完成配置后可做普通 IO
FCS_B	输出	多功能的	BPI 模式和 SPI 模式下配置 Flash 片选信号,低电平有效
FOE_B	输出	多功能的	BPI 模式下配置 Flash 输出使能,低电平有效
FWE_B	输出	多功能的	BPI 模式配置 Flash 写使能,低电平有效
ADV_B	输出	多功能的	BPI 模式配置 Flash 地址有效输出信号,低电平有效
RS0, RS1	输出	多功能的	RS0 和 RS1 引脚是修订选择输出引脚,用于驱动并行闪存上的高位地址线。
VCCBATT	N/A	电源电压	VCCBATT 是 FPGA 内部易失性存储器的备用电池,该存储器存储 AES 解密器的密钥。对于需要从易失性密钥存储区获得解密器密钥的加密比特流,当 FPGA 断电时,将此引脚连接至电池以保存密钥。如果不需要使用易失性密钥存储区中的解密器密钥,则将此引脚连接至 GND 或 VCCAUX。

注:1. 每个 I/O 均参考该 I/O 所在组的 VCC0 电源电压。例如,“0”表示 I/O 引用到 Bank 0 的 VCC0_0

3.9 DDR 接口

基于 FPGA 设计的 DDR 存储器接口和控制器由三个基本构建模块组成:

■ 读写数据接口 (Physical Layer)

- 存储器控制器状态机 (Controller)
- 以及将存储器接口设计桥接到 FPGA 设计的其余用户界面

这些模块都在 FPGA 资源中实现，并由时钟管理器 CMT 的输出作为时钟来驱动。

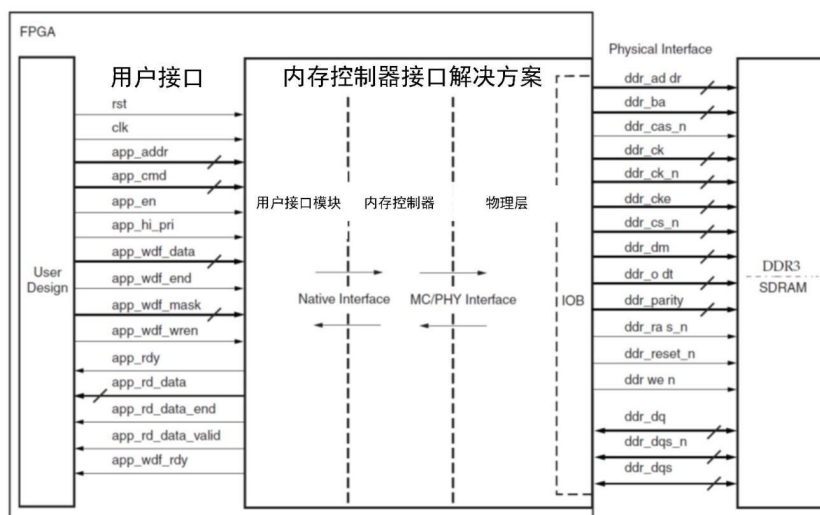


图 49 DDR 内存接口解决方案

DDR 控制器通过 MIG IP 核进行例化。使用时，用户首先需要在 MIG IP 核配置页面对 DDR 芯片型号、总线位宽、速度等级、引脚分配等参数进行设置。设置完成后即可得到 DDR3 控制器接口解决方案，FPGA 内存接口解决方案如图 49 所示。

该方案由用户设计模块、用户接口模块、内存控制模块和物理层接口模块等四部分组成。

- 用户接口模块位于设计的最前端，通过呈现一个扁平化的地址空间和缓冲器，提供了一个简单的用户接口，用以代替本地接口进行数据的读写操作。
- 内存控制模块位于用户接口模块和物理层模块之间，其前端为用户接口模块提供本地接口。本地接口支持用户设计提交存储器读写请求，并提供用户设计模块与外部存储设备之间的数据传输机制。内存控制模块还提供了一个具有重排序的功能选项，可以对接收到的请求进行重新排序，进而优化数据传输的吞吐量及时延。
- 内存控制器后端连接至物理层接口，并处理所有该模块的接口请求。物理层接口前端连接至内存控制器模块，后端连接外部存储设备，其主要功能是捕获 DDR3 发出的数据，产生 DDR3 所需要的控制指令信号，并通过输入输出缓存发送所有 DDR3 的控制信号、地址信号以及数据信号，同时保证指令与地址、数据的同步和信号的维持。用户使用时，只需设计 DDR3 读写控制模块即可通过 IP 核对 DDR3 进行读写操作。

app_rdy 信号是用户接口模块准备就绪的标识，在进行读操作时，只需在 app_rdy 信号为 1 时更新读地址即可，读操作时序如图 50 所示。

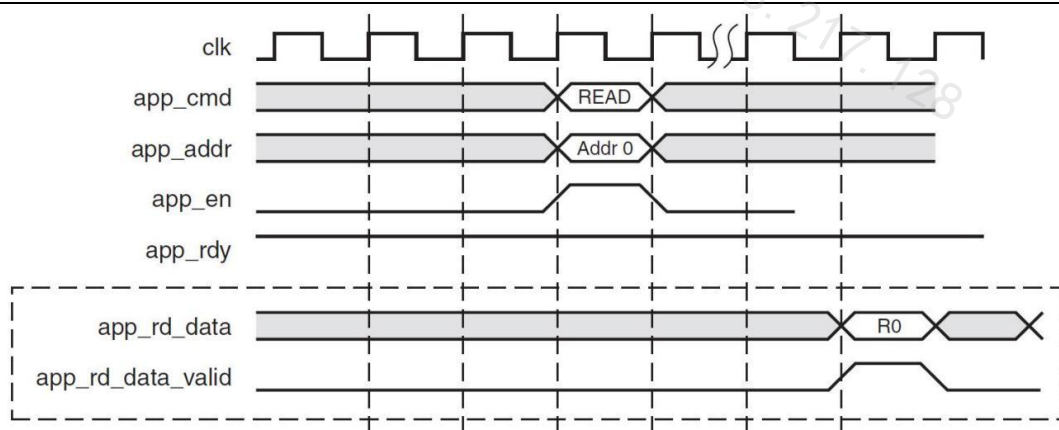


图 50DDR 内存接口读操作时序

写操作相对复杂，若要成功进行写操作，则必须保证写地址和写数据都有效，而写地址和写数据不必同时有效，可以相差几个周期，当用户接口反馈的 app_rdy 信号和用户控制的 app_en 信号同时为 1 时，写操作指令 app_cmd 以及写地址 app_addr 有效。而对于需要写入的数据 app_wdf_data 来说，只有当用户接口反馈的 app_wdf_rdy 信号和用户控制的 app_wdf_wren 信号同时拉高时才是有效的。写操作对应的时序如图 51 所示。

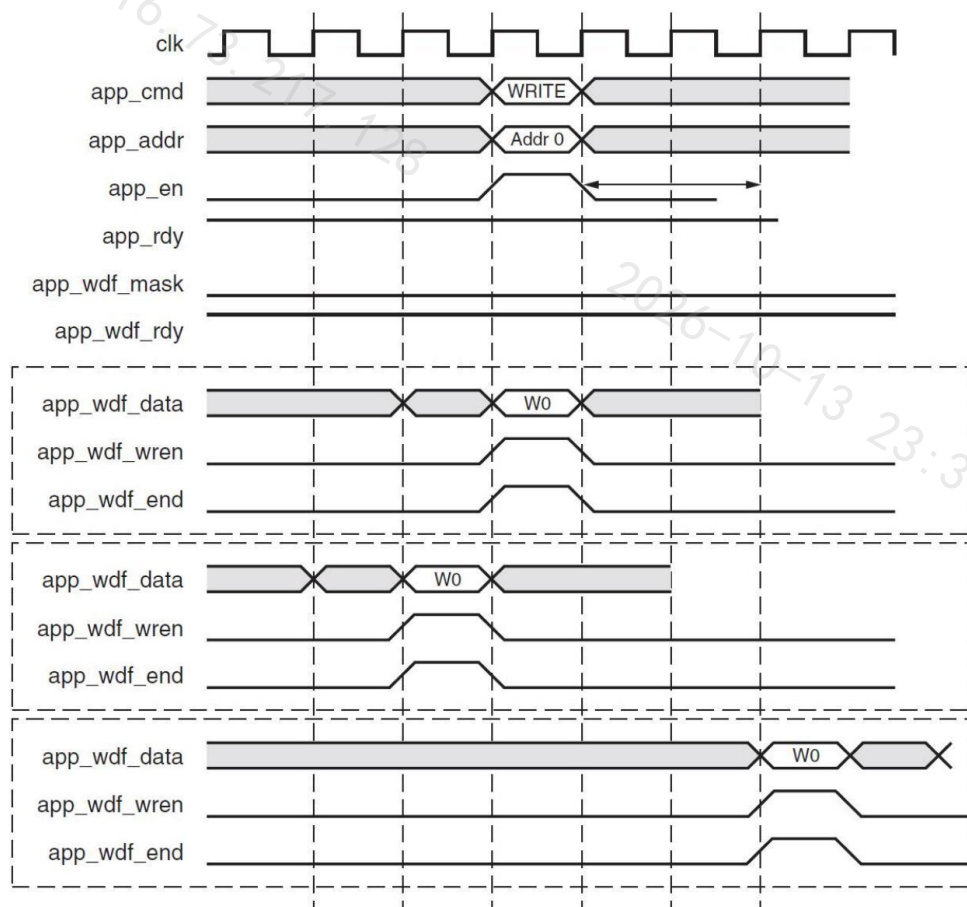


图 51DDR 内存接口写操作时序

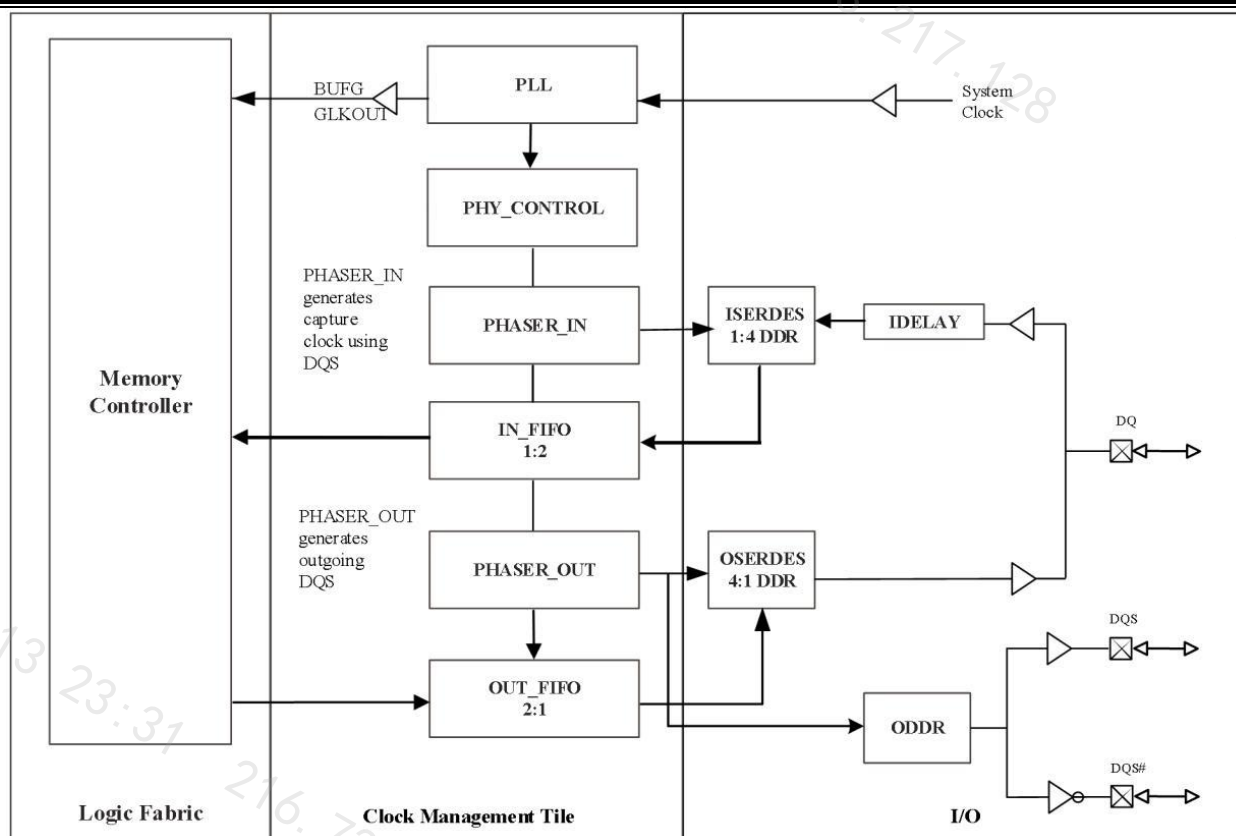


图 52 DDR 内存接口架构

3.10 ADC 模块

CYF7K325T 包含一个模拟接口模块，当与可编程逻辑结合使用时，ADC 可以满足多种数据采集和监控功能需求。ADC 包含：

- 两个 12 位、1 MSPS ADC
- 一个片上多路复用器
- 片上热传感器
- 电源传感器

ADC 模块基本功能框图如图 53 所示:

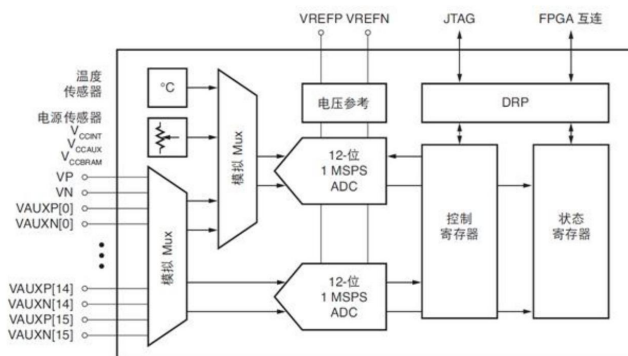


图 53ADC 基本功能框图

ADC 转换数据存储在称为状态寄存器的专用寄存器中。这些寄存器可通过 FPGA 互连使用称为动态重配置端口 (DRP) 的 16 位同步读写端口进行访问。ADC 转换数据也可通过 JTAG TAP 访问, 对于 JTAGTAP, 用户无需实例化 XADC, 因为它是使用现有的 FPGA JTAG 接口。如果 XADC 未在设计中实例化, 则器件会在预定义模式 (称为默认模式) 下运行, 该模式可监控片上温度和电源电压。

温度传感器的函数由公式 1 给出:

$$\text{Temp}(^{\circ}\text{C}) = \frac{\text{ADCCode} \times 484.704}{4096} - 273.15 \quad \text{公式 1}$$

电源传感器的传递函数如公式 2 所示:

$$\text{Voltage} = \frac{\text{ADCCode}}{4096} \times 3\text{V} \quad \text{公式 2}$$

4、极限工作条件和推荐工作条件

4.1 极限工作条件

表 18 绝对最大额定值

符号	描述(1)	最小值	最大值	单位
FPGA Logic				
V _{CCINT}	内核电源电压	-0.5	1.1	V
V _{CCAUX}	辅助电源电压	-0.5	2.0	V
V _{CCBRAM}	Block RAM 存储器的电源电压	-0.5	1.1	V
V _{CCO}	1.8V HP I/O 组输出电源电压	-0.5	2.0	V
	3.3V HR I/O 组的 I/O 输入电压	-0.5	3.6	V
V _{CCAUX_IO}	辅助电源电压	-0.5	2.06	V
V _{REF}	输入参考电压	-0.5	2.0	V
V _{IN}	1.8V HP I/O 组的 I/O 输入电压	-0.55	V _{CCO} +0.55	V
	3.3V HR I/O 组的 I/O 输入电压	-0.4	V _{CCO} +0.55	V
	VREF 和差分 I/O 的 I/O 输入电压(当 V _{CCO} =3.3V 时), TMSD_33 除外	-0.4	2.625	V
V _{CCBATT}	密钥存储器备用电源电压	-0.5	2.0	V
GTX and GTH Transceivers				
V _{MGTAVCC}	GTX/GTH 发射器和接收器电路的模拟电源电压	-0.5	1.1	V
V _{MGTAVTT}	GTX/GTH 发射器和接收器终端电路的模拟电源电压	-0.5	1.32	V
V _{MGTVCCAUX}	适用于 GTX/GTH 收发器的辅助模拟 Quad PLL (QPLL) 电源电压	-0.5	1.935	V
V _{MGTREFCLK}	GTX/GTH 收发器参考时钟绝对输入电压	-0.5	1.32	V
V _{MGTAVTTRCAL}	GTX/GTH 收发器列的电阻校准电路的模拟电源电压	-0.5	1.32	V
V _{IN}	接收器 (RXP/RXN) 和发送器 (TXP/TXN) 绝对输入电压	-0.5	1.26	V
I _{DCIN-FLOAT}	接收器输入引脚的直流输入电流 (直流耦合 RX 端接=悬空)	—	14	mA
I _{DCIN-MGTAVTT}	接收器输入引脚的直流输入电流 (直流耦合 RX 端接=VMGTAVTT)	—	12	mA
I _{DCIN-GND}	接收器输入引脚的直流输入电流 (直流耦合 RX 端接=GND)	—	6.5	mA

$I_{\text{DCOUT-FLOAT}}$	发送器引脚的直流输出电流(直流耦合 RX 端接=悬空)	—	14	mA
$I_{\text{DCOUT-MGTAVTT}}$	发送器引脚的直流输出电流(直流耦合 RX 端接=VMGTAVTT)	—	12	mA
XADC				
V_{CCADC}	相对于 GNDADC 的 XADC 电源电压	-0.5	2.0	V
V_{REFP}	相对于 GNDADC 的 XADC 参考输入电源电压	-0.5	2.0	V
Temperature				
T_{STG}	贮存温度(环境温度)	-65	150	° C
T_{SOL}	Pb/Sn 组件本体的最高焊接温度	—	+220	° C
	无铅组件本体的最高焊接温度	—	+260	° C
T_{J}	最高结温	—	+125	° C
注意: (1) 产品实际使用条件超过表中列出的最大绝对额定值时, 可能会对器件造成永久性的损伤。最大绝对额定值只是极限耐受条件, 不是产品正常工作条件, 任何超过推荐工作条件的持续工作, 可能会对器件的可靠性造成影响。				

4.2 推荐工作条件

表 19 推荐工作条件

符号	描述	最小值	公称	最大值	单位
FPGA Logic					
$V_{\text{CCINT}}^{(1)}$	内核电源电压	0.97	1.0	1.03	V
$V_{\text{CCBRAM}}^{(1)}$	Block RAM 电源电压	0.97	1.0	1.03	V
V_{CCAUX}	辅助电源电压	1.71	1.80	1.89	V
$V_{\text{CCO}}^{(2,3)}$	1.8V HP I/O 组电源电压	1.14	—	1.89	V
	3.3V HR I/O 组电源电压	1.14	—	3.465	V
V_{CCAUX_10}	设置为 1.8V 时的辅助电源电压	1.71	1.80	1.89	V
	设置为 2.0V 时的辅助电源电压	1.94	2.00	2.06	V
$V_{\text{IN}}^{(4)}$	I/O 输入电压	-0.20	—	$V_{\text{CCO}}+0.2$	V
	VREF 和差分 I/O 的 I/O 输入电压 (当 $V_{\text{CCO}}=3.3\text{V}$ 时), TMD5_33 除外	-0.20	—	2.625	V
$V_{\text{IN}}^{(5)}$	钳位二极管正向偏置时, 通过任何引脚的最大电流	—	—	10	mA
$V_{\text{CCBATT}}^{(6)}$	电池电压	1.0	—	1.89	V
GTX and GTH Transceivers					
V_{MGTAVCC}	GTX/GTH 收发器 QPLL 频率范围 $\leq 10.3125\text{GHz}$ 的模拟电源电压 (7, 8)	0.97	1.0	1.03	V
	GTX/GTH 收发器 QPLL 频率范围 $> 10.3125\text{GHz}$ 的模拟电源电压	1.02	1.05	1.08	V
V_{MGTAVTT}	GTX/GTH 发射器和接收器端接电路的模拟电源电压	1.17	1.2	1.23	V
V_{MGTCCAUX}	收发器的辅助模拟四通道 PLL (QPLL) 电源电压	1.75	1.80	1.85	V
$V_{\text{MGTAVTTTICAL}}$	GTX/GTH 收发器列的电阻校准电路的模拟电源电压	1.17	1.2	1.23	V
XADC					

V_{CCADC}	相对于 GNDADC 的 XADC 电源电压	1.71	1.80	1.89	V
V_{REFP}	外部提供的参考电源电压	1.20	1.25	1.30	V
Temperature					
T_j	器件的结温工作范围	-55	—	125	°C
备注: (1) V_{CCINT} 和 V_{CCBRAM} 应该连接到同一电源。 (2) 即使 V_{CCO} 降至 0V, 配置数据也会保留。 (3) 包括 1.2V、1.35V、1.5V、1.8V、2.5V (仅限 HR I/O) 和 3.3V (仅限于 HR I/O) 的 V_{CCO} ($\pm 5\%$) (4) 始终适用较低的绝对电压规格。 (5) 每个 bank 的总电流不得超过 200 mA。 (6) 仅在使用位流加密时才需要 V_{CCBATT} 。如果不使用电池, 则将 V_{CCBATT} 接地或 V_{CCAUX} (7) 对于数据速率 $\leq 10.3125\text{Gb/s}$, $V_{MGTAVCC}$ 应为 $1.0\text{V} \pm 3\%$, 以降低功耗。 (8) 为了降低功耗, $V_{MGTAVCC}$ 在整个 CPLD 频率范围内应为 $1.0\text{V} \pm 3\%$ 。					

4.3 上电/断电电源顺序

推荐的上电顺序是 V_{CCINT} 、 V_{CCBRAM} 、 V_{CCAUX} 和 V_{CCO} , 以实现最小电流消耗并确保 I/O 在上电时处于三态。推荐的断电顺序与上电顺序相反。如果 V_{CCINT} 和 V_{CCBRAM} 具有相同的推荐电压电平, 则两者都可以由相同的电源供电并同步上电。如果 V_{CCAUX} 和 V_{CCO} 具有相同的推荐电压电平, 则两者都可以由相同的电源供电并同步上电。

对于 HR I/O bank 和配置 bank 0 中 3.3V 的 V_{CCO} 电压, 适用以下条件:

- 对于每个上电/断电周期, V_{CCO} 和 V_{CCAUX} 之间的电压差不要超过 2.625V, 如果两者电压差超过 2.625V, 则时间不得超过 $T_{VCCO2VCCAUX}$, 以保持器件的可靠性水平。
- $T_{VCCO2VCCAUX}$ 时间可以在上电和断电电压上升和下降的斜坡之间以任何百分比分配。

5、主要技术参数指标

5.1 电特性参数

5.1.1 静态参数

表 20 静态参数

特性	符号	条件	极限值		单位
		除另有规定外 $0.97\text{V} \leq V_{CCINT} \leq 1.03\text{V}$, $95\% \times$ 典型电源电压 $\leq V_{CCO} \leq 105\% \times$ 典型电源电压, $1.71 \leq V_{CCAUX} \leq 1.89\text{V}$, $-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$	最小	最大	
配置数据能保持的最低 V_{CCINT} 电压	V_{DRINT}	$V_{CCO}=3.3\text{V}$, $V_{CCAUX}=1.8\text{V}$, 初始 $V_{CCINT}=1.0\text{V}$	0.75	—	V
配置数据能保持的最低 V_{CCAUX} 电压	V_{DRI}	$V_{CCINT}=1.0\text{V}$, $V_{CCO}=3.3\text{V}$, 初始 $V_{CCAUX}=1.8\text{V}$	1.5	—	V
特性	符号	条件	极限值		单位

		除另有规定外 $V_{CCINT}=1.0V$, $V_{CCAUX}=1.8V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	最小	最大	
输出高电平电压	V_{OH}	LVCmos33, $I_{OH}=-16mA, -12mA, -8mA, -4mA$	2.9	—	V
		LVCmos25, $I_{OH}=-16mA, -12mA, -8mA, -4mA$	2.1	—	V
		LVCmos18, $I_{OH}=-24mA, -16mA, -12mA, -8mA, -4mA$	1.35	—	V
		LVTTL, $I_{OH}=-24mA, -16mA, -12mA, -8mA, -4mA$	2.4	—	V
		PCI33_3, $I_{OH}=-0.5mA$	2.97	—	V
		MOBILE_DDR, $I_{OH}=-0.1mA$	1.62	—	V
		HSTL_I_18, $I_{OH}=-8mA$	1.4	—	V
		HSTL-II_18, $I_{OH}=-16mA$	1.4	—	V
		SSTL_I_18_I, $I_{OH}=-8mA$	1.37	—	V
		SSTL_18_II, $I_{OH}=-13.4mA$	1.5	—	V
		HSTL_I, $I_{OH}=-8mA$	1.1	—	V
		HSTL_II, $I_{OH}=-16mA$	1.1	—	V
		LVCmos15, $I_{OH}=-16mA, -12mA, -8mA, -4mA$	1.125	—	V
		SSTL15, $I_{OH}=-13.0mA$	0.925	—	V
		SSTL15_R, $I_{OH}=-8.9mA$	0.925	—	V
		SSTL135, $I_{OH}=-13.0mA$	0.825	—	V
		SSTL135_R, $I_{OH}=-8.9mA$	0.825	—	V
		HSUL_12, $I_{OH}=-0.1mA$	0.96	—	V
		LVCmos12, $I_{OH}=-12mA, -8mA, -4mA$	0.8	—	V
		DIFF_HSTL_I_18, $I_{OH}=-8mA$	1.4	—	V
		DIFF_HSTL-II_18, $I_{OH}=-16mA$	1.4	—	V
		DIFF_MOBILE_DDR, $I_{OH}=-0.1mA$	1.62	—	V
		DIFF_SSTL18_I, $I_{OH}=-8mA$	1.37	—	V
		DIFF_SSTL18_II, $I_{OH}=-13.4mA$	1.5	—	V
		DIFF_HSTL_I, $I_{OH}=-8mA$	1.1	—	V
		DIFF_HSTL-II, $I_{OH}=-16mA$	1.1	—	V
		DIFF_SSTL15, $I_{OH}=-13mA$	0.925	—	V
		DIFF_SSTL15_R, $I_{OH}=-8.9mA$	0.925	—	V
		DIFF_HSUL12, $I_{OH}=-0.1mA$	0.96	—	V
		DIFF_SSTL135, $I_{OH}=-13mA$	0.825	—	V
		DIFF_SSTL135_R, $I_{OH}=-8.9mA$	0.825	—	V
输出低电平电压	V_{OL}	LVCmos33, $I_{OH}=16mA, 12mA, 8mA, 4mA$	—	0.4	V
		LVCmos25, $I_{OH}=16mA, 12mA, 8mA, 4mA$	—	0.4	V
		LVCmos18, $I_{OH}=24mA, 16mA, 12mA, 8mA, 4mA$	—	0.45	V
		LVTTL, $I_{OH}=24mA, 16mA, 12mA, 8mA, 4mA$	—	0.4	V
		PCI33_3, $I_{OH}=0.5mA$	—	0.33	V

		MOBILE_DDR, I _{OH} =0.1mA	—	0.18	V
		HSTL_I_18, I _{OH} =8mA	—	0.4	V
		HSTL_II_18, I _{OH} =16mA	—	0.4	V
		SSTL_18_I, I _{OH} =8mA	—	0.43	V
		SSTL_18_II, I _{OH} =13.4mA	—	0.3	V
		HSTL_I, I _{OH} =8mA	—	0.4	V
		HSTL_II, I _{OH} =16mA	—	0.4	V
		LVC MOS15, I _{OH} =16mA、12mA、8mA、4mA	—	0.375	V
		SSTL15, I _{OH} =13.0mA	—	0.575	V
		SSTL15_R, I _{OH} =8.9mA	—	0.575	V
		SSTL135, I _{OH} =13.0mA	—	0.525	V
		SSTL135_R, I _{OH} =8.9mA	—	0.525	V
		HSUL_12, I _{OH} =0.1mA	—	0.24	V
		LVC MOS12, I _{OH} =12mA、8mA、4mA	—	0.4	V
		DIFF_HSTL_I_18, I _{OH} =8mA	—	0.4	V
		DIFF_HSTL_II_18, I _{OH} =16mA	—	0.4	V
		DIFF_MOBILE_DDR, I _{OH} =0.1mA	—	0.18	V
		DIFF_SSTL18_I, I _{OH} =8mA	—	0.43	V
		DIFF_SSTL18_II, I _{OH} =13.4mA	—	0.3	V
		DIFF_HSTL_I, I _{OH} =8mA	—	0.4	V
		DIFF_HSTL_II, I _{OH} =16mA	—	0.4	V
		DIFF_SSTL15, I _{OH} =13mA	—	0.575	V
		DIFF_SSTL15_R, I _{OH} =8.9mA	—	0.575	V
		DIFF_HSUL12, I _{OH} =0.1mA	—	0.24	V
		DIFF_SSTL135, I _{OH} =13mA	—	0.525	V
		DIFF_SSTL135_R, I _{OH} =8.9mA	—	0.525	V
特性	符号	条件	极限值		单位
		除另有规定外 V _{CCINT} =1.0V, V _{CCAUX} =1.8V, -55° C ≤ T _A ≤ 125° C			
			最小	最大	
输入高电平电压	V _{IH}	LVC MOS33	2	—	V
		LVC MOS25	1.7	—	V
		LVC MOS18	1.17	—	V
		LVTTL	2	—	V
		PCI33_3	1.65	—	V
		MOBILE_DDR	1.44	—	V
		HSTL_I_18	1	—	V
		HSTL_II_18	1	—	V

		SSTL 18_I	1.025	—	V
		SSTL 18_II	1.025	—	V
		HSTL_I	0.85	—	V
		HSTL_II	0.85	—	V
		LVCMS15	0.975	—	V
		SSTL15	0.85	—	V
		SSTL15_R	0.85	—	V
		SSTL135	0.765	—	V
		SSTL135_R	0.765	—	V
		HSUL_12	0.73	—	V
		LVCMS12	0.78	—	V
		DIFF_HSTL_I_18:VICM	0.3	—	V
		DIFF_HSTL_II_18:VICM	0.3	—	V
		DIFF_MOBILE_DDR:VICM	0.3	—	V
		DIFF_SSTL18_I:VICM	0.3	—	V
		DIFF_SSTL18_II:VICM	0.3	—	V
		DIFF_HSTL_I:VICM	0.3	—	V
		DIFF_HSTL_II:VICM	0.3	—	V
		DIFF_SSTL15:VICM	0.3	—	V
		DIFF_SSTL15_R:VICM	0.3	—	V
		DIFF_HSUL12:VICM	0.3	—	V
		DIFF_SSTL135:VICM	0.3	—	V
		DIFF_SSTL135_R:VICM	0.3	—	V
输入低电平电压	V _{IL}	LVCMS33	—	0.8	V
		LVCMS25	—	0.7	V
		LVCMS18	—	0.63	V
		LVTTL	—	0.8	V
		PCI33_3	—	0.99	V
		MOBILE_DDR	—	0.36	V
		HSTL_I_18	—	0.8	V
		HSTL_II_18	—	0.8	V
		SSTL 18_I	—	0.775	V
		SSTL 18_II	—	0.775	V
		HSTL_I	—	0.65	V
		HSTL_II	—	0.65	V
		LVCMS15	—	0.45	V
		SSTL15	—	0.65	V

		SSTL15_R	—	0.65	V
		SSTL135	—	0.585	V
		SSTL135_R	—	0.585	V
		HSUL_12	—	0.47	V
		LVC MOS12	—	0.42	V
		DIFF_HSTL_I_18:V _{ICM}	—	1.425	V
		DIFF_HSTL_II_18:V _{ICM}	—	1.425	V
		DIFF_MOBILE_DDR:V _{ICM}	—	1.425	V
		DIFF_SSTL18_I:V _{ICM}	—	1.425	V
		DIFF_SSTL18_II:V _{ICM}	—	1.425	V
		DIFF_HSTL_I:V _{ICM}	—	1.125	V
		DIFF_HSTL_II:V _{ICM}	—	1.125	V
		DIFF_SSTL15:V _{ICM}	—	1.125	V
		DIFF_SSTL15_R:V _{ICM}	—	1.125	V
		DIFF_HSUL12:V _{ICM}	—	0.85	V
		DIFF_SSTL135:V _{ICM}	—	1	V
		DIFF_SSTL135_R:V _{ICM}	—	1	V
存储器接口 IP 的最高物理接口 (PHY) 速率					
存储器标准	I/O	条件	最大值	单位	
	Bank 类型	(除非另有规定, 0.97V≤V _{CCINT} ≤1.03V, 1.71V≤V _{CCAUX} ≤1.89V, V _{CCO} =典型电压, -55° C≤T _A ≤125° C)			
4:1 Memory Controllers					
DDR3	HP	V _{CCAUX_I0} =2.0V	1866	Mb/s	
	HP	V _{CCAUX_I0} =1.8V	1600		
	HR	N/A	1066		
DDR3L	HP	V _{CCAUX_I0} =2.0V	1600	Mb/s	
	HP	V _{CCAUX_I0} =1.8V	1333		
	HR	N/A	800		

5.1.2 开关参数

表 21 开关参数

特性	符号	除另有规定外 $V_{CCINT} = 1.0V$, $V_{CCAUX} = 1.8V$, $V_{CCO} = 3.3V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
BRAM 最大工作频率	F _{MAX_BRAM_WF_NC}	(Write first and No change modes) When not in SDP RF mode	—	458.09	MHz
	F _{MAX_BRAM_RF_PERFORMANCE}	Block RAM (read first, performance mode) when in SDP RF mode but no address overlap between	—	458.09	MHz

		port A and port B.			
	F _{MAX_BRAM_RF_DELAYED_WRITE}	Block RAM(read first,delayed write mode)when in SDP RF mode and there is possibility of overlap between port A and port B addresses.	—	400.80	MHz
	F _{MAX_CAS_WF_NC}	Block RAM cascade(write first,no change mode)when cascade but not in RF mode.	—	408	MHz
	F _{MAX_CAS_RF_PERFORMANCE}	Block RAM cascade(read first,performance mode)when in cascade with RF mode and no possibility of address overlap/one port is disabled.	—	408	MHz
	F _{MAX_CAS_RF-delayED_WRITE}	When in cascade RF mode and there is a possibility of address overlap between port A and port B.	—	350	MHz
	F _{MAX_FIFO}	FIFO in all modes without ECC.	—	458.09	MHz
	F _{MAX_ECC}	Block RAM and FIFO in ECC configuration.	—	351.12	MHz
DSP 最大工作频率	F _{max}	With all registers used	—	547.95	MHz
	F _{MAX_PATDET}	With pattern detector	—	463.61	MHz
	f _{max} Mult NOMREG	Two register multiply without MREG.	—	303.77	MHz
	f _{max} Mult NOMREG PATDET	Two register multiply without MREG with pattern detect.	—	276.01	MHz
	f _{max} PREADD MULT NOADREG	Without ADREG.	—	342.7	MHz
	f _{max} PREADD MULT NOADREG PATDET	Without ADREG with pattern detect.	—	342.7	MHz
	f _{max} NOPIPELINEREG	Without pipeline registers(MREG, ADREG).	—	225.02	MHz
	f _{max} NOPIPELINEREG PATDET	Without pipeline registers(MREG, ADREG)with pattern detect.	—	209.38	MHz
CLB 最大工作频率&延迟	Distributed RAM TMCP	Max frequency	—	549.45	MHz
	Shift Register	Max frequency	—	1282.05	MHz
	T _{AXA}	AX inputs to AMUX output	—	0.49	ns
	T _{AXB}	AX inputs to BMUX output	—	0.52	ns
	T _{AXC}	AX inputs to BMUX output	—	0.50	ns
	T _{AXD}	AX inputs to DMUX output	—	0.52	ns
	T _{BXB}	BX inputs to BMUX output	—	0.40	ns
	T _{BXD}	BX inputs to DMUX output	—	0.47	ns
	T _{CXC}	CX inputs to CMUX output	—	0.34	ns
	T _{CXD}	CX inputs to DMUX output	—	0.41	ns

	T _{DD}	DX inputs to DMUX output	—	0.40	ns
MMCM 最大输入时钟频率	MMCM_F _{INMAX}	Maximum input clock frequency	—	800	MHz
MMCM 最小输入时钟频率	MMCM_F _{INMIN}	Minimum input clock frequency	—	10	MHz
MMCM 最小 VCO 频率	MMCM_F _{VCOMIN}	Minimum MMC VCO frequency	—	600	MHz
MMCM 最大 VCO 频率	MMCM_F _{VCOMAX}	Maximum MMC VCO frequency	—	1200	MHz
MMCM 最大输出频率	MMCM_F _{OUTMAX}	MMC maximum output frequency	—	800	MHz
MMCM 最小输出频率	MMCM_F _{OUTMIN}	MMC minimum output frequency	—	4.69	MHz
MMCM 最大锁定时间	MMCM_L _{LOCKMAX}	MMC maximum lock time.	—	100	us
PLL 最大输入时钟频率	PLL_F _{INMAX}	Maximum input clock frequency	—	800	MHz
PLL 最小输入时钟频率	PLL_F _{INMIN}	Minimum input clock frequency	—	19	MHz
PLL 最小 VCO 频率	PLL_F _{VCOMIN}	Minimum PLL VCO frequency	—	800	MHz
PLL 最大 VCO 频率	PLL_F _{VCOMAX}	Maximum PLL VCO frequency	—	1600	MHz
PLL 最大输出频率	PLL_F _{OUTMAX}	PLL maximum output frequency	—	800	MHz
PLL 最小输出频率	PLL_F _{OUTMIN}	PLL minimum output frequency	—	6.25	MHz

表 22 配置开关参数

符号	描述	数值	单位
JTAG	下载最小工作频率	125	KHz
	下载最大工作频率	66	MHz

表 23 ADC 规格

参数	符号	备注/条件	最小值	典型值	最大值	单位
VCCADC=1.8V ±5%, VREFP=1.25V, VREFN=0V, ADCCLK=26 MHz, Tj=-40° C to 100° C, Typical values at Tj=+40° C						
ADC 精度						

积分非线性	INL		—	—	±3	LSBs
微分非线性	DNL	无漏码, 确保单调	—	—	±1	LSBs
失调误差		失调校准使能	—	—	±6	LSBs
增益误差		增益校准使能	—	—	±0.5	%
采样率			—	—	1	MS/s
信噪比	SNR	$F_{\text{SAMPLE}}=500\text{KS/s}$, $F_{\text{IN}}=20\text{KHz}$	60	—	—	dB
总谐波失真	t_{HD}	$F_{\text{SAMPLE}}=500\text{KS/s}$, $F_{\text{IN}}=20\text{KHz}$	—	70	—	dB

5.1.3 上电电流要求

表 24 上电电流要求

ICCINT 最小值	ICCAUX 最小值	ICCO 最小值	ICCBAM 最小值	单位
1410	148	$1+40 \times I_0$ BANK 数	42	mA

5.1.4 电源上电时间

表 25 电源上电时间

符号	描述	状态	最小	最大	单位
TVCCINT	VCCINT 从 GND 到 90%VCCINT 的上电时间		0.2	50	ms
TVCCO	VCCO 从 GND 到 90%VCCO 的上电时间		0.2	50	ms
TVCCAUX	VCCAUX 从 GND 到 90%VCCAUX 的上电时间		0.2	50	ms
TVCCAUX_IO	VCCAUX_IO 从 GND 到 90%VCCAUX_IO 的上电时间		0.2	50	ms
TVCCBRAM	VCCBRAM 从 GND 到 90%VCCBRAM 的上电时间		0.2	50	ms
TVCCO2VCCAUX	VCCO-VCCAUX>2.625V 允许的时间	$T_J=125^\circ\text{C}$	—	300	ms
		$T_J=100^\circ\text{C}$	—	500	ms
		$T_J=85^\circ\text{C}$	—	800	ms
TMGTAVCC	TMGTAVCC 从 GND 到 90%TMGTAVCC 的上电时间		0.2	50	ms
TMGTAVTT	TMGTAVTT 从 GND 到 90%TMGTAVTT 的上电时间		0.2	50	ms
TMGTVCCAUX	TMGTVCCAUX 从 GND 到 90%TMGTVCCAUX 的上电时间		0.2	50	ms

5.2 ESD 等级

表 26 ESD (Electro-StaticDischarge) 等级

I/O 类型	HBM 模型	CDM 模型
SelectIO	±1,000V	±350V
Transceiver	±1,000V	±200V
专用 I/O	±1,000V	±350V

附录 A

(规范性附录)

附录 A.1

CYF7K325T-FFG676 封装器件的引出端及功能说明如表 A.1 所示。

表 A.1 CYF7K325T-FFG676 引出端及功能描述

Bank	管脚描述	引出端序号
0	DXN_0	R11
0	VCCADC_0	M12
0	GNDADC_0	M11
0	DXP_0	R12
0	VREFN_0	N11
0	VREFP_0	P12
0	VP_0	N12
0	VN_0	P11
0	VCCBATT_0	E8
0	CCLK_0	C8
0	TCK_0	L8
0	TMS_0	N8
0	TDO_0	R7
0	TDI_0	R6
0	INIT_B_0	G7
0	PROGRAM_B_0	P6
0	CFGBVS_0	P7
0	DONE_0	J7
0	M2_0	P5
0	M0_0	T5
0	M1_0	T2
12	IO_0_12	U21
12	IO_L1P_TO_12	U22
12	IO_L1N_TO_12	V22
12	IO_L2P_TO_12	U24
12	IO_L2N_TO_12	U25
12	IO_L3P_TO_DQS_12	V23
12	IO_L3N_TO_DQS_12	V24
12	IO_L4P_TO_12	U26
12	IO_L4N_TO_12	V26

12	IO_L5P_T0_12	W25
12	IO_L5N_T0_12	W26
12	IO_L6P_T0_12	V21
12	IO_L6N_T0_VREF_12	W21
12	IO_L7P_T1_12	AA25
12	IO_L7N_T1_12	AB25
12	IO_L8P_T1_12	W23
12	IO_L8N_T1_12	W24
12	IO_L9P_T1_DQS_12	AB26
12	IO_L9N_T1_DQS_12	AC26
12	IO_L10P_T1_12	Y25
12	IO_L10N_T1_12	Y26
12	IO_L11P_T1_SRCC_12	AA23
12	IO_L11N_T1_SRCC_12	AB24
12	IO_L12P_T1_MRCC_12	Y23
12	IO_L12N_T1_MRCC_12	AA24
12	IO_L13P_T2_MRCC_12	Y22
12	IO_L13N_T2_MRCC_12	AA22
12	IO_L14P_T2_SRCC_12	AC23
12	IO_L14N_T2_SRCC_12	AC24
12	IO_L15P_T2_DQS_12	W20
12	IO_L15N_T2_DQS_12	Y21
12	IO_L16P_T2_12	AD23
12	IO_L16N_T2_12	AD24
12	IO_L17P_T2_12	AB22
12	IO_L17N_T2_12	AC22
12	IO_L18P_T2_12	AB21
12	IO_L18N_T2_12	AC21
12	IO_L19P_T3_12	AD21
12	IO_L19N_T3_VREF_12	AE21
12	IO_L20P_T3_12	AF24
12	IO_L20N_T3_12	AF25
12	IO_L21P_T3_DQS_12	AD26
12	IO_L21N_T3_DQS_12	AE26
12	IO_L22P_T3_12	AE23
12	IO_L22N_T3_12	AF23
12	IO_L23P_T3_12	AD25

12	IO_L23N_T3_12	AE25
12	IO_L24P_T3_12	AE22
12	IO_L24N_T3_12	AF22
12	IO_25_12	Y20
13	IO_0_13	N16
13	IO_L1P_T0_13	K25
13	IO_L1N_T0_13	K26
13	IO_L2P_T0_13	R26
13	IO_L2N_T0_13	P26
13	IO_L3P_T0_DQS_13	M25
13	IO_L3N_T0_DQS_13	L25
13	IO_L4P_T0_13	P24
13	IO_L4N_T0_13	N24
13	IO_L5P_T0_13	N26
13	IO_L5N_T0_13	M26
13	IO_L6P_T0_13	R25
13	IO_L6N_T0_VREF_13	P25
13	IO_L7P_T1_13	N19
13	IO_L7N_T1_13	M20
13	IO_L8P_T1_13	M24
13	IO_L8N_T1_13	L24
13	IO_L9P_T1_DQS_13	P19
13	IO_L9N_T1_DQS_13	P20
13	IO_L10P_T1_13	M21
13	IO_L10N_T1_13	M22
13	IO_L11P_T1_SRCC_13	P23
13	IO_L11N_T1_SRCC_13	N23
13	IO_L12P_T1_MRCC_13	N21
13	IO_L12N_T1_MRCC_13	N22
13	IO_L13P_T2_MRCC_13	R21
13	IO_L13N_T2_MRCC_13	P21
13	IO_L14P_T2_SRCC_13	R22
13	IO_L14N_T2_SRCC_13	R23
13	IO_L15P_T2_DQS_13	T24
13	IO_L15N_T2_DQS_13	T25
13	IO_L16P_T2_13	T20
13	IO_L16N_T2_13	R20

13	IO_L17P_T2_13	T22
13	IO_L17N_T2_13	T23
13	IO_L18P_T2_13	U19
13	IO_L18N_T2_13	U20
13	IO_L19P_T3_13	T18
13	IO_L19N_T3_VREF_13	T19
13	IO_L20P_T3_13	P16
13	IO_L20N_T3_13	N17
13	IO_L21P_T3_DQS_13	R16
13	IO_L21N_T3_DQS_13	R17
13	IO_L22P_T3_13	N18
13	IO_L22N_T3_13	M19
13	IO_L23P_T3_13	U17
13	IO_L23N_T3_13	T17
13	IO_L24P_T3_13	R18
13	IO_L24N_T3_13	P18
13	IO_25_13	U16
14	IO_0_14	K21
14	IO_L1P_T0_D00_MOSI_14	B24
14	IO_L1N_T0_D01_DIN_14	A25
14	IO_L2P_T0_D02_14	B22
14	IO_L2N_T0_D03_14	A22
14	IO_L3P_T0_DQS_PUDC_B_14	B25
14	IO_L3N_T0_DQS_EMCCLK_14	B26
14	IO_L4P_T0_D04_14	A23
14	IO_L4N_T0_D05_14	A24
14	IO_L5P_T0_D06_14	D26
14	IO_L5N_T0_D07_14	C26
14	IO_L6P_T0_FCS_B_14	C23
14	IO_L6N_T0_D08_VREF_14	C24
14	IO_L7P_T1_D09_14	D21
14	IO_L7N_T1_D10_14	C22
14	IO_L8P_T1_D11_14	B20
14	IO_L8N_T1_D12_14	A20
14	IO_L9P_T1_DQS_14	E21
14	IO_L9N_T1_DQS_D13_14	E22
14	IO_L10P_T1_D14_14	C21

14	IO_L10N_T1_D15_14	B21
14	IO_L11P_T1_SRCC_14	D23
14	IO_L11N_T1_SRCC_14	D24
14	IO_L12P_T1_MRCC_14	F22
14	IO_L12N_T1_MRCC_14	E23
14	IO_L13P_T2_MRCC_14	G22
14	IO_L13N_T2_MRCC_14	F23
14	IO_L14P_T2_SRCC_14	G24
14	IO_L14N_T2_SRCC_14	F24
14	IO_L15P_T2_DQS_RDWR_B_14	E25
14	IO_L15N_T2_DQS_DOUT_CS0_B_14	D25
14	IO_L16P_T2_CSI_B_14	G25
14	IO_L16N_T2_A15_D31_14	G26
14	IO_L17P_T2_A14_D30_14	F25
14	IO_L17N_T2_A13_D29_14	E26
14	IO_L18P_T2_A12_D28_14	J26
14	IO_L18N_T2_A11_D27_14	H26
14	IO_L19P_T3_A10_D26_14	H21
14	IO_L19N_T3_A09_D25_VREF_14	G21
14	IO_L20P_T3_A08_D24_14	H23
14	IO_L20N_T3_A07_D23_14	H24
14	IO_L21P_T3_DQS_14	J21
14	IO_L21N_T3_DQS_A06_D22_14	H22
14	IO_L22P_T3_A05_D21_14	J24
14	IO_L22N_T3_A04_D20_14	J25
14	IO_L23P_T3_A03_D19_14	L22
14	IO_L23N_T3_A02_D18_14	K22
14	IO_L24P_T3_A01_D17_14	K23
14	IO_L24N_T3_A00_D16_14	J23
14	IO_25_14	L23
15	IO_0_15	K15
15	IO_L1P_TO_AD0P_15	C16
15	IO_L1N_TO_AD0N_15	B16
15	IO_L2P_TO_AD8P_15	A18
15	IO_L2N_TO_AD8N_15	A19
15	IO_L3P_TO_DQS_AD1P_15	B17
15	IO_L3N_TO_DQS_AD1N_15	A17

15	IO_L4P_T0_AD9P_15	C19
15	IO_L4N_T0_AD9N_15	B19
15	IO_L5P_T0_AD2P_15	C17
15	IO_L5N_T0_AD2N_15	C18
15	IO_L6P_T0_15	D15
15	IO_L6N_T0_VREF_15	D16
15	IO_L7P_T1_AD10P_15	H16
15	IO_L7N_T1_AD10N_15	G16
15	IO_L8P_T1_AD3P_15	G15
15	IO_L8N_T1_AD3N_15	F15
15	IO_L9P_T1_DQS_AD11P_15	J15
15	IO_L9N_T1_DQS_AD11N_15	J16
15	IO_L10P_T1_AD4P_15	E15
15	IO_L10N_T1_AD4N_15	E16
15	IO_L11P_T1_SRCC_AD12P_15	G17
15	IO_L11N_T1_SRCC_AD12N_15	F18
15	IO_L12P_T1_MRCC_AD5P_15	F17
15	IO_L12N_T1_MRCC_AD5N_15	E17
15	IO_L13P_T2_MRCC_15	E18
15	IO_L13N_T2_MRCC_15	D18
15	IO_L14P_T2_SRCC_15	H17
15	IO_L14N_T2_SRCC_15	H18
15	IO_L15P_T2_DQS_15	D19
15	IO_L15N_T2_DQS_ADV_B_15	D20
15	IO_L16P_T2_A28_15	G19
15	IO_L16N_T2_A27_15	F20
15	IO_L17P_T2_A26_15	F19
15	IO_L17N_T2_A25_15	E20
15	IO_L18P_T2_A24_15	H19
15	IO_L18N_T2_A23_15	G20
15	IO_L19P_T3_A22_15	K20
15	IO_L19N_T3_A21_VREF_15	J20
15	IO_L20P_T3_A20_15	J18
15	IO_L20N_T3_A19_15	J19
15	IO_L21P_T3_DQS_15	L19
15	IO_L21N_T3_DQS_A18_15	L20
15	IO_L22P_T3_A17_15	K16

15	IO_L22N_T3_A16_15	K17
15	IO_L23P_T3_FOE_B_15	M17
15	IO_L23N_T3_FWE_B_15	L18
15	IO_L24P_T3_RS1_15	L17
15	IO_L24N_T3_RS0_15	K18
15	IO_25_15	M16
16	IO_0_16	J8
16	IO_L1P_T0_16	H9
16	IO_L1N_T0_16	H8
16	IO_L2P_T0_16	G10
16	IO_L2N_T0_16	G9
16	IO_L3P_T0_DQS_16	J13
16	IO_L3N_T0_DQS_16	H13
16	IO_L4P_T0_16	J11
16	IO_L4N_T0_16	J10
16	IO_L5P_T0_16	H14
16	IO_L5N_T0_16	G14
16	IO_L6P_T0_16	H12
16	IO_L6N_T0_VREF_16	H11
16	IO_L7P_T1_16	F9
16	IO_L7N_T1_16	F8
16	IO_L8P_T1_16	D9
16	IO_L8N_T1_16	D8
16	IO_L9P_T1_DQS_16	A9
16	IO_L9N_T1_DQS_16	A8
16	IO_L10P_T1_16	C9
16	IO_L10N_T1_16	B9
16	IO_L11P_T1_SRCC_16	G11
16	IO_L11N_T1_SRCC_16	F10
16	IO_L12P_T1_MRCC_16	E10
16	IO_L12N_T1_MRCC_16	D10
16	IO_L13P_T2_MRCC_16	C12
16	IO_L13N_T2_MRCC_16	C11
16	IO_L14P_T2_SRCC_16	E11
16	IO_L14N_T2_SRCC_16	D11
16	IO_L15P_T2_DQS_16	F14
16	IO_L15N_T2_DQS_16	F13

16	IO_L16P_T2_16	G12
16	IO_L16N_T2_16	F12
16	IO_L17P_T2_16	D14
16	IO_L17N_T2_16	D13
16	IO_L18P_T2_16	E13
16	IO_L18N_T2_16	E12
16	IO_L19P_T3_16	C14
16	IO_L19N_T3_VREF_16	C13
16	IO_L20P_T3_16	B12
16	IO_L20N_T3_16	B11
16	IO_L21P_T3_DQS_16	B14
16	IO_L21N_T3_DQS_16	A14
16	IO_L22P_T3_16	B10
16	IO_L22N_T3_16	A10
16	IO_L23P_T3_16	B15
16	IO_L23N_T3_16	A15
16	IO_L24P_T3_16	A13
16	IO_L24N_T3_16	A12
16	IO_25_16	J14
32	IO_0_VRN_32	V13
32	IO_L1P_T0_32	AE17
32	IO_L1N_T0_32	AF17
32	IO_L2P_T0_32	AF14
32	IO_L2N_T0_32	AF15
32	IO_L3P_T0_DQS_32	AE18
32	IO_L3N_T0_DQS_32	AF18
32	IO_L4P_T0_32	AD15
32	IO_L4N_T0_32	AE15
32	IO_L5P_T0_32	AF19
32	IO_L5N_T0_32	AF20
32	IO_L6P_T0_32	AD16
32	IO_L6N_T0_VREF_32	AE16
32	IO_L7P_T1_32	AA14
32	IO_L7N_T1_32	AA15
32	IO_L8P_T1_32	AC14
32	IO_L8N_T1_32	AD14
32	IO_L9P_T1_DQS_32	Y15

32	IO_L9N_T1_DQS_32	Y16
32	IO_L10P_T1_32	AB14
32	IO_L10N_T1_32	AB15
32	IO_L11P_T1_SRCC_32	AA17
32	IO_L11N_T1_SRCC_32	AA18
32	IO_L12P_T1_MRCC_32	AB16
32	IO_L12N_T1_MRCC_32	AC16
32	IO_L13P_T2_MRCC_32	AC18
32	IO_L13N_T2_MRCC_32	AD18
32	IO_L14P_T2_SRCC_32	AB17
32	IO_L14N_T2_SRCC_32	AC17
32	IO_L15P_T2_DQS_32	AD20
32	IO_L15N_T2_DQS_32	AE20
32	IO_L16P_T2_32	AA19
32	IO_L16N_T2_32	AA20
32	IO_L17P_T2_32	AC19
32	IO_L17N_T2_32	AD19
32	IO_L18P_T2_32	AB19
32	IO_L18N_T2_32	AB20
32	IO_L19P_T3_32	Y17
32	IO_L19N_T3_VREF_32	Y18
32	IO_L20P_T3_32	V16
32	IO_L20N_T3_32	V17
32	IO_L21P_T3_DQS_32	W18
32	IO_L21N_T3_DQS_32	W19
32	IO_L22P_T3_32	W15
32	IO_L22N_T3_32	W16
32	IO_L23P_T3_32	V18
32	IO_L23N_T3_32	V19
32	IO_L24P_T3_32	V14
32	IO_L24N_T3_32	W14
32	IO_25_VRP_32	W13
33	IO_0_VRN_33	U9
33	IO_L1P_T0_33	V11
33	IO_L1N_T0_33	W11
33	IO_L2P_T0_33	V8
33	IO_L2N_T0_33	V7

33	IO_L3P_T0_DQS_33	W10
33	IO_L3N_T0_DQS_33	W9
33	IO_L4P_T0_33	Y8
33	IO_L4N_T0_33	Y7
33	IO_L5P_T0_33	Y11
33	IO_L5N_T0_33	Y10
33	IO_L6P_T0_33	V9
33	IO_L6N_T0_VREF_33	W8
33	IO_L7P_T1_33	AE7
33	IO_L7N_T1_33	AF7
33	IO_L8P_T1_33	AA8
33	IO_L8N_T1_33	AA7
33	IO_L9P_T1_DQS_33	AC8
33	IO_L9N_T1_DQS_33	AD8
33	IO_L10P_T1_33	AB7
33	IO_L10N_T1_33	AC7
33	IO_L11P_T1_SRCC_33	AA9
33	IO_L11N_T1_SRCC_33	AB9
33	IO_L12P_T1_MRCC_33	AC9
33	IO_L12N_T1_MRCC_33	AD9
33	IO_L13P_T2_MRCC_33	AB11
33	IO_L13N_T2_MRCC_33	AC11
33	IO_L14P_T2_SRCC_33	AA10
33	IO_L14N_T2_SRCC_33	AB10
33	IO_L15P_T2_DQS_33	AB12
33	IO_L15N_T2_DQS_33	AC12
33	IO_L16P_T2_33	AA13
33	IO_L16N_T2_33	AA12
33	IO_L17P_T2_33	AC13
33	IO_L17N_T2_33	AD13
33	IO_L18P_T2_33	Y13
33	IO_L18N_T2_33	Y12
33	IO_L19P_T3_33	AD11
33	IO_L19N_T3_VREF_33	AE11
33	IO_L20P_T3_33	AD10
33	IO_L20N_T3_33	AE10
33	IO_L21P_T3_DQS_33	AE12

33	IO_L21N_T3_DQS_33	AF12
33	IO_L22P_T3_33	AE8
33	IO_L22N_T3_33	AF8
33	IO_L23P_T3_33	AE13
33	IO_L23N_T3_33	AF13
33	IO_L24P_T3_33	AF10
33	IO_L24N_T3_33	AF9
33	IO_25_VRP_33	V12
34	IO_0_VRN_34	U4
34	IO_L1P_T0_34	U6
34	IO_L1N_T0_34	U5
34	IO_L2P_T0_34	U2
34	IO_L2N_T0_34	U1
34	IO_L3P_T0_DQS_34	W6
34	IO_L3N_T0_DQS_34	W5
34	IO_L4P_T0_34	V3
34	IO_L4N_T0_34	W3
34	IO_L5P_T0_34	U7
34	IO_L5N_T0_34	V6
34	IO_L6P_T0_34	V4
34	IO_L6N_T0_VREF_34	W4
34	IO_L7P_T1_34	Y3
34	IO_L7N_T1_34	Y2
34	IO_L8P_T1_34	V2
34	IO_L8N_T1_34	V1
34	IO_L9P_T1_DQS_34	AB1
34	IO_L9N_T1_DQS_34	AC1
34	IO_L10P_T1_34	W1
34	IO_L10N_T1_34	Y1
34	IO_L11P_T1_SRCC_34	AB2
34	IO_L11N_T1_SRCC_34	AC2
34	IO_L12P_T1_MRCC_34	AA3
34	IO_L12N_T1_MRCC_34	AA2
34	IO_L13P_T2_MRCC_34	AA4
34	IO_L13N_T2_MRCC_34	AB4
34	IO_L14P_T2_SRCC_34	AC4
34	IO_L14N_T2_SRCC_34	AC3

34	IO_L15P_T2_DQS_34	AA5
34	IO_L15N_T2_DQS_34	AB5
34	IO_L16P_T2_34	AB6
34	IO_L16N_T2_34	AC6
34	IO_L17P_T2_34	Y6
34	IO_L17N_T2_34	Y5
34	IO_L18P_T2_34	AD6
34	IO_L18N_T2_34	AD5
34	IO_L19P_T3_34	AD4
34	IO_L19N_T3_VREF_34	AD3
34	IO_L20P_T3_34	AD1
34	IO_L20N_T3_34	AE1
34	IO_L21P_T3_DQS_34	AF5
34	IO_L21N_T3_DQS_34	AF4
34	IO_L22P_T3_34	AE3
34	IO_L22N_T3_34	AE2
34	IO_L23P_T3_34	AE6
34	IO_L23N_T3_34	AE5
34	IO_L24P_T3_34	AF3
34	IO_L24N_T3_34	AF2
34	IO_25_VRP_34	T7
115	MGTXTP3_115	H2
115	MGTXRXTP3_115	J4
115	MGXTXN3_115	H1
115	MGTXRXN3_115	J3
115	MGTXTP2_115	K2
115	MGTXRXTP2_115	L4
115	MGXTXN2_115	K1
115	MGTFRFCLKOP_115	H6
115	MGTXRXN2_115	L3
115	MGTVTTRCAL_115	M5
115	MGTFRFCLKON_115	H5
115	MGTRREF_115	M6
115	MGTFRFCLK1N_115	K5
115	MGTFRFCLK1P_115	K6
115	MGTXTP1_115	M2
115	MGTXRXTP1_115	N4

115	MGXTXN1_115	M1
115	MGTXXRN1_115	N3
115	MGXTXP0_115	P2
115	MGTXXRP0_115	R4
115	MGXTXN0_115	P1
115	MGTXXRN0_115	R3
116	MGTXP3_116	A4
116	MGTXXRP3_116	B6
116	MGXTXN3_116	A3
116	MGTXXRN3_116	B5
116	MGTXP2_116	B2
116	MGTXXRP2_116	C4
116	MGXTXN2_116	B1
116	MGTFFREFCLKOP_116	D6
116	MGTXXRN2_116	C3
116	MGTFFREFCLKON_116	D5
116	MGTFFREFCLK1N_116	F5
116	MGTFFREFCLK1P_116	F6
116	MGTXP1_116	D2
116	MGTXXRP1_116	E4
116	MGXTXN1_116	D1
116	MGTXXRN1_116	E3
116	MGTXP0_116	F2
116	MGTXXRP0_116	G4
116	MGXTXN0_116	F1
116	MGTXXRN0_116	G3
NA	VCCBRAM	N13
NA	VCCBRAM	R13
NA	VCCBRAM	T12
NA	VCCBRAM	U13
NA	MGTAVCC	C6
NA	MGTAVCC	E6
NA	MGTAVCC	G6
NA	MGTAVCC	J6
NA	MGTAVCC	L6
NA	MGTVTT	B3
NA	MGTVTT	C2

NA	MGTVTT	D3
NA	MGTVTT	G2
NA	MGTVTT	H3
NA	MGTVTT	L2
NA	MGTVTT	M3
NA	MGTVCCAUX	N6
NA	GND	A1
NA	GND	A2
NA	GND	A5
NA	GND	A6
NA	GND	A7
NA	GND	A16
NA	GND	A26
NA	GND	AA6
NA	GND	AA16
NA	GND	AA26
NA	GND	AB3
NA	GND	AB13
NA	GND	AB23
NA	GND	AC10
NA	GND	AC20
NA	GND	AD7
NA	GND	AD17
NA	GND	AE4
NA	GND	AE14
NA	GND	AE24
NA	GND	AF1
NA	GND	AF11
NA	GND	AF21
NA	GND	B4
NA	GND	B7
NA	GND	B13
NA	GND	B23
NA	GND	C1
NA	GND	C5
NA	GND	C7
NA	GND	C10

NA	GND	C20
NA	GND	D4
NA	GND	D7
NA	GND	D17
NA	GND	E1
NA	GND	E2
NA	GND	E5
NA	GND	E7
NA	GND	E14
NA	GND	E24
NA	GND	F3
NA	GND	F4
NA	GND	F7
NA	GND	F11
NA	GND	F21
NA	GND	G1
NA	GND	G5
NA	GND	G8
NA	GND	G18
NA	GND	H4
NA	GND	H7
NA	GND	H15
NA	GND	H25
NA	GND	J1
NA	GND	J2
NA	GND	J5
NA	GND	J12
NA	GND	J22
NA	GND	K3
NA	GND	K4
NA	GND	K7
NA	GND	K9
NA	GND	K11
NA	GND	K13
NA	GND	K19
NA	GND	L1
NA	GND	L5

NA	GND	L10
NA	GND	L12
NA	GND	L14
NA	GND	L16
NA	GND	L26
NA	GND	M4
NA	GND	M7
NA	GND	M9
NA	GND	M13
NA	GND	M15
NA	GND	M23
NA	GND	N1
NA	GND	N2
NA	GND	N5
NA	GND	N7
NA	GND	N10
NA	GND	N14
NA	GND	N20
NA	GND	P3
NA	GND	P4
NA	GND	P9
NA	GND	P13
NA	GND	P15
NA	GND	P17
NA	GND	R1
NA	GND	R2
NA	GND	R5
NA	GND	R8
NA	GND	R10
NA	GND	R14
NA	GND	R24
NA	GND	T1
NA	GND	T3
NA	GND	T4
NA	GND	T9
NA	GND	T11
NA	GND	T13

NA	GND	T15
NA	GND	T21
NA	GND	U8
NA	GND	U10
NA	GND	U12
NA	GND	U14
NA	GND	U18
NA	GND	V5
NA	GND	V15
NA	GND	V25
NA	GND	W2
NA	GND	W12
NA	GND	W22
NA	GND	Y9
NA	GND	Y19
NA	VCCINT	J9
NA	VCCINT	K8
NA	VCCINT	K10
NA	VCCINT	K12
NA	VCCINT	K14
NA	VCCINT	L9
NA	VCCINT	L13
NA	VCCINT	L15
NA	VCCINT	M8
NA	VCCINT	M14
NA	VCCINT	N9
NA	VCCINT	N15
NA	VCCINT	P14
NA	VCCINT	R15
NA	VCCINT	T14
NA	VCCINT	U15
NA	VCCAUX	T10
NA	VCCAUX	U11
NA	VCCAUX	L11
NA	VCCAUX	M10
NA	VCCAUX	P10
NA	VCCAUX_IO_GO	T8

NA	VCCAUX_IO_G0	R9
NA	VCCAUX_IO_G0	P8
0	VCC0_0	L7
0	VCC0_0	T6
12	VCC0_12	AA21
12	VCC0_12	AC25
12	VCC0_12	AD22
12	VCC0_12	AF26
12	VCC0_12	U23
12	VCC0_12	V20
12	VCC0_12	Y24
13	VCC0_13	K24
13	VCC0_13	N25
13	VCC0_13	P22
13	VCC0_13	R19
13	VCC0_13	T16
13	VCC0_13	T26
14	VCC0_14	A21
14	VCC0_14	C25
14	VCC0_14	D22
14	VCC0_14	F26
14	VCC0_14	G23
14	VCC0_14	L21
15	VCC0_15	B18
15	VCC0_15	E19
15	VCC0_15	F16
15	VCC0_15	H20
15	VCC0_15	J17
15	VCC0_15	M18
16	VCC0_16	A11
16	VCC0_16	B8
16	VCC0_16	C15
16	VCC0_16	D12
16	VCC0_16	E9
16	VCC0_16	G13
16	VCC0_16	H10
32	VCC0_32	AB18

32	VCC0_32	AC15
32	VCC0_32	AE19
32	VCC0_32	AF16
32	VCC0_32	W17
32	VCC0_32	Y14
33	VCC0_33	AA11
33	VCC0_33	AB8
33	VCC0_33	AD12
33	VCC0_33	AE9
33	VCC0_33	V10
33	VCC0_33	W7
34	VCC0_34	AA1
34	VCC0_34	AC5
34	VCC0_34	AD2
34	VCC0_34	AF6
34	VCC0_34	U3
34	VCC0_34	Y4

附录 A2

CYF7K325T-FFG900 封装器件的引出端及功能说明如表 A.2 所示。

表 A.2 CYF7K325T-FFG900 封装器件引出端及功能描述

Bank	管脚描述	引出端序号
0	DXN_0	U14
0	VCCADC_0	P15
0	GNDADC_0	P14
0	DXP_0	U15
0	VREFN_0	R14
0	VREFP_0	T15
0	VP_0	R15
0	VN_0	T14
0	VCCBATT_0	C10
0	CCLK_0	B10
0	TCK_0	E10
0	TMS_0	F10
0	TDO_0	G10
0	TDI_0	H10
0	INIT_B_0	A10
0	PROGRAM_B_0	K10
0	CFGBVS_0	L10
0	DONE_0	M10
0	M2_0	AB1
0	M0_0	AB5
0	M1_0	AB2
12	IO_0_12	Y20
12	IO_L1P_T0_12	Y23
12	IO_L1N_T0_12	Y24
12	IO_L2P_T0_12	Y21
12	IO_L2N_T0_12	AA21
12	IO_L3P_T0_DQS_12	AB22
12	IO_L3N_T0_DQS_12	AB23
12	IO_L4P_T0_12	AA22
12	IO_L4N_T0_12	AA23
12	IO_L5P_T0_12	AC20
12	IO_L5N_T0_12	AC21
12	IO_L6P_T0_12	AA20

12	IO_L6N_T0_VREF_12	AB20
12	IO_L7P_T1_12	AB24
12	IO_L7N_T1_12	AC25
12	IO_L8P_T1_12	AC22
12	IO_L8N_T1_12	AD22
12	IO_L9P_T1_DQS_12	AC24
12	IO_L9N_T1_DQS_12	AD24
12	IO_L10P_T1_12	AD21
12	IO_L10N_T1_12	AE21
12	IO_L11P_T1_SRCC_12	AE23
12	IO_L11N_T1_SRCC_12	AF23
12	IO_L12P_T1_MRCC_12	AD23
12	IO_L12N_T1_MRCC_12	AE24
12	IO_L13P_T2_MRCC_12	AF22
12	IO_L13N_T2_MRCC_12	AG23
12	IO_L14P_T2_SRCC_12	AG24
12	IO_L14N_T2_SRCC_12	AH24
12	IO_L15P_T2_DQS_12	AJ24
12	IO_L15N_T2_DQS_12	AK25
12	IO_L16P_T2_12	AE25
12	IO_L16N_T2_12	AF25
12	IO_L17P_T2_12	AK23
12	IO_L17N_T2_12	AK24
12	IO_L18P_T2_12	AG25
12	IO_L18N_T2_12	AH25
12	IO_L19P_T3_12	AF20
12	IO_L19N_T3_VREF_12	AF21
12	IO_L20P_T3_12	AG22
12	IO_L20N_T3_12	AH22
12	IO_L21P_T3_DQS_12	AJ22
12	IO_L21N_T3_DQS_12	AJ23
12	IO_L22P_T3_12	AG20
12	IO_L22N_T3_12	AH20
12	IO_L23P_T3_12	AH21
12	IO_L23N_T3_12	AJ21
12	IO_L24P_T3_12	AK20
12	IO_L24N_T3_12	AK21

12	IO_25_12	AE20
13	IO_0_13	Y25
13	IO_L1P_T0_13	Y26
13	IO_L1N_T0_13	AA26
13	IO_L2P_T0_13	W27
13	IO_L2N_T0_13	W28
13	IO_L3P_T0_DQS_13	Y28
13	IO_L3N_T0_DQS_13	AA28
13	IO_L4P_T0_13	W29
13	IO_L4N_T0_13	Y29
13	IO_L5P_T0_13	AA27
13	IO_L5N_T0_13	AB28
13	IO_L6P_T0_13	AA25
13	IO_L6N_T0_VREF_13	AB25
13	IO_L7P_T1_13	AC29
13	IO_L7N_T1_13	AC30
13	IO_L8P_T1_13	Y30
13	IO_L8N_T1_13	AA30
13	IO_L9P_T1_DQS_13	AD29
13	IO_L9N_T1_DQS_13	AE29
13	IO_L10P_T1_13	AB29
13	IO_L10N_T1_13	AB30
13	IO_L11P_T1_SRCC_13	AD27
13	IO_L11N_T1_SRCC_13	AD28
13	IO_L12P_T1_MRCC_13	AB27
13	IO_L12N_T1_MRCC_13	AC27
13	IO_L13P_T2_MRCC_13	AG29
13	IO_L13N_T2_MRCC_13	AH29
13	IO_L14P_T2_SRCC_13	AE28
13	IO_L14N_T2_SRCC_13	AF28
13	IO_L15P_T2_DQS_13	AK29
13	IO_L15N_T2_DQS_13	AK30
13	IO_L16P_T2_13	AE30
13	IO_L16N_T2_13	AF30
13	IO_L17P_T2_13	AJ28
13	IO_L17N_T2_13	AJ29
13	IO_L18P_T2_13	AG30

13	IO_L18N_T2_13	AH30
13	IO_L19P_T3_13	AC26
13	IO_L19N_T3_VREF_13	AD26
13	IO_L20P_T3_13	AJ27
13	IO_L20N_T3_13	AK28
13	IO_L21P_T3_DQS_13	AG27
13	IO_L21N_T3_DQS_13	AG28
13	IO_L22P_T3_13	AH26
13	IO_L22N_T3_13	AH27
13	IO_L23P_T3_13	AF26
13	IO_L23N_T3_13	AF27
13	IO_L24P_T3_13	AJ26
13	IO_L24N_T3_13	AK26
13	IO_25_13	AE26
14	IO_0_14	R19
14	IO_L1P_T0_D00_MOSI_14	P24
14	IO_L1N_T0_D01_DIN_14	R25
14	IO_L2P_T0_D02_14	R20
14	IO_L2N_T0_D03_14	R21
14	IO_L3P_T0_DQS_PUDC_B_14	R23
14	IO_L3N_T0_DQS_EMCCLK_14	R24
14	IO_L4P_T0_D04_14	T20
14	IO_L4N_T0_D05_14	T21
14	IO_L5P_T0_D06_14	T22
14	IO_L5N_T0_D07_14	T23
14	IO_L6P_T0_FCS_B_14	U19
14	IO_L6N_T0_D08_VREF_14	U20
14	IO_L7P_T1_D09_14	P29
14	IO_L7N_T1_D10_14	R29
14	IO_L8P_T1_D11_14	P27
14	IO_L8N_T1_D12_14	P28
14	IO_L9P_T1_DQS_14	R30
14	IO_L9N_T1_DQS_D13_14	T30
14	IO_L10P_T1_D14_14	P26
14	IO_L10N_T1_D15_14	R26
14	IO_L11P_T1_SRCC_14	R28
14	IO_L11N_T1_SRCC_14	T28

14	IO_L12P_T1_MRCC_14	T26
14	IO_L12N_T1_MRCC_14	T27
14	IO_L13P_T2_MRCC_14	U27
14	IO_L13N_T2_MRCC_14	U28
14	IO_L14P_T2_SRCC_14	T25
14	IO_L14N_T2_SRCC_14	U25
14	IO_L15P_T2_DQS_RDWR_B_14	U29
14	IO_L15N_T2_DQS_DOUT_CS0_B_1	U30
14	IO_L16P_T2CSI_B_14	V26
14	IO_L16N_T2_A15_D31_14	V27
14	IO_L17P_T2_A14_D30_14	V29
14	IO_L17N_T2_A13_D29_14	V30
14	IO_L18P_T2_A12_D28_14	V25
14	IO_L18N_T2_A11_D27_14	W26
14	IO_L19P_T3_A10_D26_14	V19
14	IO_L19N_T3_A09_D25_VREF_14	V20
14	IO_L20P_T3_A08_D24_14	W23
14	IO_L20N_T3_A07_D23_14	W24
14	IO_L21P_T3_DQS_14	U22
14	IO_L21N_T3_DQS_A06_D22_14	U23
14	IO_L22P_T3_A05_D21_14	V21
14	IO_L22N_T3_A04_D20_14	V22
14	IO_L23P_T3_A03_D19_14	U24
14	IO_L23N_T3_A02_D18_14	V24
14	IO_L24P_T3_A01_D17_14	W21
14	IO_L24N_T3_A00_D16_14	W22
14	IO_25_14	W19
15	IO_0_15	M19
15	IO_L1P_TO_AD0P_15	J23
15	IO_L1N_TO_AD0N_15	J24
15	IO_L2P_TO_AD8P_15	L22
15	IO_L2N_TO_AD8N_15	L23
15	IO_L3P_TO_DQS_AD1P_15	K23
15	IO_L3N_TO_DQS_AD1N_15	K24
15	IO_L4P_TO_AD9P_15	L21
15	IO_L4N_TO_AD9N_15	K21
15	IO_L5P_TO_AD2P_15	J21

15	IO_L5N_T0_AD2N_15	J22
15	IO_L6P_T0_15	M20
15	IO_L6N_T0_VREF_15	L20
15	IO_L7P_T1_AD10P_15	J29
15	IO_L7N_T1_AD10N_15	H29
15	IO_L8P_T1_AD3P_15	J27
15	IO_L8N_T1_AD3N_15	J28
15	IO_L9P_T1_DQS_AD11P_15	L30
15	IO_L9N_T1_DQS_AD11N_15	K30
15	IO_L10P_T1_AD4P_15	K26
15	IO_L10N_T1_AD4N_15	J26
15	IO_L11P_T1_SRCC_AD12P_15	L26
15	IO_L11N_T1_SRCC_AD12N_15	L27
15	IO_L12P_T1_MRCC_AD5P_15	L25
15	IO_L12N_T1_MRCC_AD5N_15	K25
15	IO_L13P_T2_MRCC_15	K28
15	IO_L13N_T2_MRCC_15	K29
15	IO_L14P_T2_SRCC_15	M28
15	IO_L14N_T2_SRCC_15	L28
15	IO_L15P_T2_DQS_15	M29
15	IO_L15N_T2_DQS_ADV_B_15	M30
15	IO_L16P_T2_A28_15	N27
15	IO_L16N_T2_A27_15	M27
15	IO_L17P_T2_A26_15	N29
15	IO_L17N_T2_A25_15	N30
15	IO_L18P_T2_A24_15	N25
15	IO_L18N_T2_A23_15	N26
15	IO_L19P_T3_A22_15	N19
15	IO_L19N_T3_A21_VREF_15	N20
15	IO_L20P_T3_A20_15	N21
15	IO_L20N_T3_A19_15	N22
15	IO_L21P_T3_DQS_15	P23
15	IO_L21N_T3_DQS_A18_15	N24
15	IO_L22P_T3_A17_15	P21
15	IO_L22N_T3_A16_15	P22
15	IO_L23P_T3_FOE_B_15	M24
15	IO_L23N_T3_FWE_B_15	M25

15	IO_L24P_T3_RS1_15	M22
15	IO_L24N_T3_RS0_15	M23
15	IO_25_15	P19
16	IO_0_16	F23
16	IO_L1P_T0_16	B23
16	IO_L1N_T0_16	A23
16	IO_L2P_T0_16	E23
16	IO_L2N_T0_16	D23
16	IO_L3P_T0_DQS_16	F25
16	IO_L3N_T0_DQS_16	E25
16	IO_L4P_T0_16	E24
16	IO_L4N_T0_16	D24
16	IO_L5P_T0_16	F26
16	IO_L5N_T0_16	E26
16	IO_L6P_T0_16	G23
16	IO_L6N_T0_VREF_16	G24
16	IO_L7P_T1_16	B27
16	IO_L7N_T1_16	A27
16	IO_L8P_T1_16	C24
16	IO_L8N_T1_16	B24
16	IO_L9P_T1_DQS_16	B28
16	IO_L9N_T1_DQS_16	A28
16	IO_L10P_T1_16	A25
16	IO_L10N_T1_16	A26
16	IO_L11P_T1_SRCC_16	D26
16	IO_L11N_T1_SRCC_16	C26
16	IO_L12P_T1_MRCC_16	C25
16	IO_L12N_T1_MRCC_16	B25
16	IO_L13P_T2_MRCC_16	D27
16	IO_L13N_T2_MRCC_16	C27
16	IO_L14P_T2_SRCC_16	E28
16	IO_L14N_T2_SRCC_16	D28
16	IO_L15P_T2_DQS_16	C29
16	IO_L15N_T2_DQS_16	B29
16	IO_L16P_T2_16	D29
16	IO_L16N_T2_16	C30
16	IO_L17P_T2_16	B30

16	IO_L17N_T2_16	A30
16	IO_L18P_T2_16	E29
16	IO_L18N_T2_16	E30
16	IO_L19P_T3_16	H24
16	IO_L19N_T3_VREF_16	H25
16	IO_L20P_T3_16	G28
16	IO_L20N_T3_16	F28
16	IO_L21P_T3_DQS_16	G27
16	IO_L21N_T3_DQS_16	F27
16	IO_L22P_T3_16	G29
16	IO_L22N_T3_16	F30
16	IO_L23P_T3_16	H26
16	IO_L23N_T3_16	H27
16	IO_L24P_T3_16	H30
16	IO_L24N_T3_16	G30
16	IO_25_16	G25
17	IO_0_17	G19
17	IO_L1P_T0_17	K18
17	IO_L1N_T0_17	J18
17	IO_L2P_T0_17	H20
17	IO_L2N_T0_17	G20
17	IO_L3P_T0_DQS_17	J17
17	IO_L3N_T0_DQS_17	H17
17	IO_L4P_T0_17	J19
17	IO_L4N_T0_17	H19
17	IO_L5P_T0_17	L17
17	IO_L5N_T0_17	L18
17	IO_L6P_T0_17	K19
17	IO_L6N_T0_VREF_17	K20
17	IO_L7P_T1_17	H21
17	IO_L7N_T1_17	H22
17	IO_L8P_T1_17	D21
17	IO_L8N_T1_17	C21
17	IO_L9P_T1_DQS_17	G22
17	IO_L9N_T1_DQS_17	F22
17	IO_L10P_T1_17	D22
17	IO_L10N_T1_17	C22

17	IO_L11P_T1_SRCC_17	F21
17	IO_L11N_T1_SRCC_17	E21
17	IO_L12P_T1_MRCC_17	F20
17	IO_L12N_T1_MRCC_17	E20
17	IO_L13P_T2_MRCC_17	D17
17	IO_L13N_T2_MRCC_17	D18
17	IO_L14P_T2_SRCC_17	E19
17	IO_L14N_T2_SRCC_17	D19
17	IO_L15P_T2_DQS_17	D16
17	IO_L15N_T2_DQS_17	C16
17	IO_L16P_T2_17	G18
17	IO_L16N_T2_17	F18
17	IO_L17P_T2_17	C17
17	IO_L17N_T2_17	B17
17	IO_L18P_T2_17	G17
17	IO_L18N_T2_17	F17
17	IO_L19P_T3_17	C20
17	IO_L19N_T3_VREF_17	B20
17	IO_L20P_T3_17	A16
17	IO_L20N_T3_17	A17
17	IO_L21P_T3_DQS_17	A20
17	IO_L21N_T3_DQS_17	A21
17	IO_L22P_T3_17	B18
17	IO_L22N_T3_17	A18
17	IO_L23P_T3_17	B22
17	IO_L23N_T3_17	A22
17	IO_L24P_T3_17	C19
17	IO_L24N_T3_17	B19
17	IO_25_17	E18
18	IO_0_18	G12
18	IO_L1P_T0_18	L16
18	IO_L1N_T0_18	K16
18	IO_L2P_T0_18	L15
18	IO_L2N_T0_18	K15
18	IO_L3P_T0_DQS_18	L12
18	IO_L3N_T0_DQS_18	L13
18	IO_L4P_T0_18	K13

18	IO_L4N_T0_18	J13
18	IO_L5P_T0_18	K14
18	IO_L5N_T0_18	J14
18	IO_L6P_T0_18	L11
18	IO_L6N_T0_VREF_18	K11
18	IO_L7P_T1_18	H15
18	IO_L7N_T1_18	G15
18	IO_L8P_T1_18	J11
18	IO_L8N_T1_18	J12
18	IO_L9P_T1_DQS_18	J16
18	IO_L9N_T1_DQS_18	H16
18	IO_L10P_T1_18	H11
18	IO_L10N_T1_18	H12
18	IO_L11P_T1_SRCC_18	H14
18	IO_L11N_T1_SRCC_18	G14
18	IO_L12P_T1_MRCC_18	G13
18	IO_L12N_T1_MRCC_18	F13
18	IO_L13P_T2_MRCC_18	D12
18	IO_L13N_T2_MRCC_18	D13
18	IO_L14P_T2_SRCC_18	F12
18	IO_L14N_T2_SRCC_18	E13
18	IO_L15P_T2_DQS_18	C12
18	IO_L15N_T2_DQS_18	B12
18	IO_L16P_T2_18	F11
18	IO_L16N_T2_18	E11
18	IO_L17P_T2_18	A11
18	IO_L17N_T2_18	A12
18	IO_L18P_T2_18	D11
18	IO_L18N_T2_18	C11
18	IO_L19P_T3_18	F15
18	IO_L19N_T3_VREF_18	E16
18	IO_L20P_T3_18	E14
18	IO_L20N_T3_18	E15
18	IO_L21P_T3_DQS_18	D14
18	IO_L21N_T3_DQS_18	C14
18	IO_L22P_T3_18	B13
18	IO_L22N_T3_18	A13

18	IO_L23P_T3_18	C15
18	IO_L23N_T3_18	B15
18	IO_L24P_T3_18	B14
18	IO_L24N_T3_18	A15
18	IO_25_18	F16
32	IO_0_VRN_32	Y14
32	IO_L1P_T0_32	AK16
32	IO_L1N_T0_32	AK15
32	IO_L2P_T0_32	AG15
32	IO_L2N_T0_32	AH15
32	IO_L3P_T0_DQS_32	AH16
32	IO_L3N_T0_DQS_32	AJ16
32	IO_L4P_T0_32	AF15
32	IO_L4N_T0_32	AG14
32	IO_L5P_T0_32	AH17
32	IO_L5N_T0_32	AJ17
32	IO_L6P_T0_32	AE16
32	IO_L6N_T0_VREF_32	AF16
32	IO_L7P_T1_32	AJ19
32	IO_L7N_T1_32	AK19
32	IO_L8P_T1_32	AG19
32	IO_L8N_T1_32	AH19
32	IO_L9P_T1_DQS_32	AJ18
32	IO_L9N_T1_DQS_32	AK18
32	IO_L10P_T1_32	AD19
32	IO_L10N_T1_32	AE19
32	IO_L11P_T1_SRCC_32	AF18
32	IO_L11N_T1_SRCC_32	AG18
32	IO_L12P_T1_MRCC_32	AF17
32	IO_L12N_T1_MRCC_32	AG17
32	IO_L13P_T2_MRCC_32	AD18
32	IO_L13N_T2_MRCC_32	AE18
32	IO_L14P_T2_SRCC_32	AD17
32	IO_L14N_T2_SRCC_32	AD16
32	IO_L15P_T2_DQS_32	Y19
32	IO_L15N_T2_DQS_32	Y18
32	IO_L16P_T2_32	AA18

32	IO_L16N_T2_32	AB18
32	IO_L17P_T2_32	AB19
32	IO_L17N_T2_32	AC19
32	IO_L18P_T2_32	AB17
32	IO_L18N_T2_32	AC17
32	IO_L19P_T3_32	AE15
32	IO_L19N_T3_VREF_32	AE14
32	IO_L20P_T3_32	AA15
32	IO_L20N_T3_32	AB15
32	IO_L21P_T3_DQS_32	AC16
32	IO_L21N_T3_DQS_32	AC15
32	IO_L22P_T3_32	AC14
32	IO_L22N_T3_32	AD14
32	IO_L23P_T3_32	AA17
32	IO_L23N_T3_32	AA16
32	IO_L24P_T3_32	Y16
32	IO_L24N_T3_32	Y15
32	IO_25_VRP_32	AB14
33	IO_0_VRN_33	Y13
33	IO_L1P_T0_33	AA12
33	IO_L1N_T0_33	AB12
33	IO_L2P_T0_33	AA8
33	IO_L2N_T0_33	AB8
33	IO_L3P_T0_DQS_33	AB9
33	IO_L3N_T0_DQS_33	AC9
33	IO_L4P_T0_33	Y11
33	IO_L4N_T0_33	Y10
33	IO_L5P_T0_33	AA11
33	IO_L5N_T0_33	AA10
33	IO_L6P_T0_33	AA13
33	IO_L6N_T0_VREF_33	AB13
33	IO_L7P_T1_33	AB10
33	IO_L7N_T1_33	AC10
33	IO_L8P_T1_33	AD8
33	IO_L8N_T1_33	AE8
33	IO_L9P_T1_DQS_33	AC12
33	IO_L9N_T1_DQS_33	AC11

33	IO_L10P_T1_33	AD9
33	IO_L10N_T1_33	AE9
33	IO_L11P_T1_SRCC_33	AE11
33	IO_L11N_T1_SRCC_33	AF11
33	IO_L12P_T1_MRCC_33	AD12
33	IO_L12N_T1_MRCC_33	AD11
33	IO_L13P_T2_MRCC_33	AG10
33	IO_L13N_T2_MRCC_33	AH10
33	IO_L14P_T2_SRCC_33	AE10
33	IO_L14N_T2_SRCC_33	AF10
33	IO_L15P_T2_DQS_33	AJ9
33	IO_L15N_T2_DQS_33	AK9
33	IO_L16P_T2_33	AG9
33	IO_L16N_T2_33	AH9
33	IO_L17P_T2_33	AK11
33	IO_L17N_T2_33	AK10
33	IO_L18P_T2_33	AH11
33	IO_L18N_T2_33	AJ11
33	IO_L19P_T3_33	AE13
33	IO_L19N_T3_VREF_33	AF13
33	IO_L20P_T3_33	AK14
33	IO_L20N_T3_33	AK13
33	IO_L21P_T3_DQS_33	AH14
33	IO_L21N_T3_DQS_33	AJ14
33	IO_L22P_T3_33	AJ13
33	IO_L22N_T3_33	AJ12
33	IO_L23P_T3_33	AF12
33	IO_L23N_T3_33	AG12
33	IO_L24P_T3_33	AG13
33	IO_L24N_T3_33	AH12
33	IO_25_VRP_33	AD13
34	IO_0_VRN_34	AC6
34	IO_L1P_T0_34	AD4
34	IO_L1N_T0_34	AD3
34	IO_L2P_T0_34	AC2
34	IO_L2N_T0_34	AC1
34	IO_L3P_T0_DQS_34	AD2

34	IO_L3N_T0_DQS_34	AD1
34	IO_L4P_T0_34	AC5
34	IO_L4N_T0_34	AC4
34	IO_L5P_T0_34	AD6
34	IO_L5N_T0_34	AE6
34	IO_L6P_T0_34	AC7
34	IO_L6N_T0_VREF_34	AD7
34	IO_L7P_T1_34	AF3
34	IO_L7N_T1_34	AF2
34	IO_L8P_T1_34	AE1
34	IO_L8N_T1_34	AF1
34	IO_L9P_T1_DQS_34	AG4
34	IO_L9N_T1_DQS_34	AG3
34	IO_L10P_T1_34	AE4
34	IO_L10N_T1_34	AE3
34	IO_L11P_T1_SRCC_34	AE5
34	IO_L11N_T1_SRCC_34	AF5
34	IO_L12P_T1_MRCC_34	AF6
34	IO_L12N_T1_MRCC_34	AG5
34	IO_L13P_T2_MRCC_34	AH4
34	IO_L13N_T2_MRCC_34	AJ4
34	IO_L14P_T2_SRCC_34	AH6
34	IO_L14N_T2_SRCC_34	AH5
34	IO_L15P_T2_DQS_34	AG2
34	IO_L15N_T2_DQS_34	AH1
34	IO_L16P_T2_34	AH2
34	IO_L16N_T2_34	AJ2
34	IO_L17P_T2_34	AJ1
34	IO_L17N_T2_34	AK1
34	IO_L18P_T2_34	AJ3
34	IO_L18N_T2_34	AK3
34	IO_L19P_T3_34	AF8
34	IO_L19N_T3_VREF_34	AG8
34	IO_L20P_T3_34	AF7
34	IO_L20N_T3_34	AG7
34	IO_L21P_T3_DQS_34	AH7
34	IO_L21N_T3_DQS_34	AJ7

34	IO_L22P_T3_34	AJ6
34	IO_L22N_T3_34	AK6
34	IO_L23P_T3_34	AJ8
34	IO_L23N_T3_34	AK8
34	IO_L24P_T3_34	AK5
34	IO_L24N_T3_34	AK4
34	IO_25_VRP_34	AB7
115	MGTXP3_115	T2
115	MGTXRP3_115	V6
115	MGTXN3_115	T1
115	MGTXRN3_115	V5
115	MGTXXP2_115	U4
115	MGTXRP2_115	W4
115	MGTXN2_115	U3
115	MGTREFCLKOP_115	R8
115	MGTXRN2_115	W3
115	MGTVTTRCAL_115	W7
115	MGTREFCLKON_115	R7
115	MGTRREF_115	W8
115	MGTREFCLK1N_115	U7
115	MGTREFCLK1P_115	U8
115	MGTXXP1_115	V2
115	MGTXRP1_115	Y6
115	MGTXN1_115	V1
115	MGTXRN1_115	Y5
115	MGTXXP0_115	Y2
115	MGTXRP0_115	AA4
115	MGTXN0_115	Y1
115	MGTXRN0_115	AA3
116	MGTXP3_116	L4
116	MGTXRP3_116	M6
116	MGTXN3_116	L3
116	MGTXRN3_116	M5
116	MGTXP2_116	M2
116	MGTXRP2_116	P6
116	MGTXN2_116	M1
116	MGTREFCLKOP_116	L8

116	MGTXXRXN2_116	P5
116	MGTREFCLKON_116	L7
116	MGTREFCLK1N_116	N7
116	MGTREFCLK1P_116	N8
116	MGTXTP1_116	N4
116	MGTXXRP1_116	R4
116	MGTXN1_116	N3
116	MGTXXRN1_116	R3
116	MGTXP0_116	P2
116	MGTXXRP0_116	T6
116	MGTXN0_116	P1
116	MGTXXRN0_116	T5
117	MGTXTP3_117	F2
117	MGTXXRP3_117	F6
117	MGTXN3_117	F1
117	MGTXXRN3_117	F5
117	MGTXP2_117	H2
117	MGTXXRP2_117	G4
117	MGTXN2_117	H1
117	MGTREFCLKOP_117	G8
117	MGTXXRN2_117	G3
117	MGTREFCLKON_117	G7
117	MGTREFCLK1N_117	J7
117	MGTREFCLK1P_117	J8
117	MGTXTP1_117	J4
117	MGTXXRP1_117	H6
117	MGTXN1_117	J3
117	MGTXXRN1_117	H5
117	MGTXP0_117	K2
117	MGTXXRP0_117	K6
117	MGTXN0_117	K1
117	MGTXXRN0_117	K5
118	MGTXTP3_118	A4
118	MGTXXRP3_118	A8
118	MGTXN3_118	A3
118	MGTXXRN3_118	A7
118	MGTXP2_118	B2

118	MGTXRX2P_118	B6
118	MGXTXN2_118	B1
118	MGTREFCLKOP_118	C8
118	MGTXRXN2_118	B5
118	MGTREFCLKON_118	C7
118	MGTREFCLKIN_118	E7
118	MGTREFCLKIP_118	E8
118	MGTXP1_118	C4
118	MGTXRX1_118	D6
118	MGXTXN1_118	C3
118	MGTXRXN1_118	D5
118	MGTXP0_118	D2
118	MGTXRX0_118	E4
118	MGXTXN0_118	D1
118	MGTXRXN0_118	E3
NA	MGTAVCC	B7
NA	MGTAVCC	D7
NA	MGTAVCC	F7
NA	MGTAVCC	H7
NA	MGTAVCC	K7
NA	MGTAVCC	M7
NA	MGTAVCC	P7
NA	MGTVCCAUX	T7
NA	MGTVCCAUX	V7
NA	MGTAVTT	B3
NA	MGTAVTT	C5
NA	MGTAVTT	D3
NA	MGTAVTT	E5
NA	MGTAVTT	F3
NA	MGTAVTT	G5
NA	MGTAVTT	H3
NA	MGTAVTT	J5
NA	MGTAVTT	K3
NA	MGTAVTT	L5
NA	MGTAVTT	M3
NA	MGTAVTT	N5
NA	MGTAVTT	P3

NA	MGTAVTT	R5
NA	MGTVTT	T3
NA	MGTVTT	U5
NA	MGTVTT	V3
NA	MGTVTT	W5
NA	VCCBRAM	N16
NA	VCCBRAM	R16
NA	VCCBRAM	U16
NA	VCCBRAM	W16
NA	GND	A1
NA	GND	A14
NA	GND	A2
NA	GND	A24
NA	GND	A5
NA	GND	A6
NA	GND	A9
NA	GND	AA1
NA	GND	AA14
NA	GND	AA2
NA	GND	AA24
NA	GND	AA5
NA	GND	AA6
NA	GND	AA7
NA	GND	AB11
NA	GND	AB21
NA	GND	AB3
NA	GND	AB4
NA	GND	AC18
NA	GND	AC28
NA	GND	AC8
NA	GND	AD15
NA	GND	AD25
NA	GND	AD5
NA	GND	AE12
NA	GND	AE2
NA	GND	AE22
NA	GND	AF19

NA	GND	AF29
NA	GND	AF9
NA	GND	AG16
NA	GND	AG26
NA	GND	AG6
NA	GND	AH13
NA	GND	AH23
NA	GND	AH3
NA	GND	AJ10
NA	GND	AJ20
NA	GND	AJ30
NA	GND	AK17
NA	GND	AK27
NA	GND	AK7
NA	GND	B11
NA	GND	B21
NA	GND	B4
NA	GND	B8
NA	GND	B9
NA	GND	C1
NA	GND	C18
NA	GND	C2
NA	GND	C28
NA	GND	C6
NA	GND	C9
NA	GND	D15
NA	GND	D25
NA	GND	D4
NA	GND	D8
NA	GND	D9
NA	GND	E1
NA	GND	E12
NA	GND	E2
NA	GND	E22
NA	GND	E6
NA	GND	E9
NA	GND	F19

NA	GND	F29
NA	GND	F4
NA	GND	F8
NA	GND	F9
NA	GND	G1
NA	GND	G16
NA	GND	G2
NA	GND	G26
NA	GND	G6
NA	GND	G9
NA	GND	H13
NA	GND	H23
NA	GND	H4
NA	GND	H8
NA	GND	H9
NA	GND	J1
NA	GND	J10
NA	GND	J2
NA	GND	J20
NA	GND	J30
NA	GND	J6
NA	GND	J9
NA	GND	K17
NA	GND	K27
NA	GND	K4
NA	GND	K8
NA	GND	K9
NA	GND	L1
NA	GND	L14
NA	GND	L2
NA	GND	L24
NA	GND	L6
NA	GND	L9
NA	GND	M12
NA	GND	M14
NA	GND	M16
NA	GND	M18

NA	GND	M21
NA	GND	M4
NA	GND	M8
NA	GND	M9
NA	GND	N1
NA	GND	N11
NA	GND	N13
NA	GND	N15
NA	GND	N17
NA	GND	N2
NA	GND	N28
NA	GND	N6
NA	GND	N9
NA	GND	P10
NA	GND	P12
NA	GND	P16
NA	GND	P18
NA	GND	P25
NA	GND	P4
NA	GND	P8
NA	GND	P9
NA	GND	R1
NA	GND	R11
NA	GND	R13
NA	GND	R17
NA	GND	R2
NA	GND	R22
NA	GND	R6
NA	GND	R9
NA	GND	T10
NA	GND	T12
NA	GND	T16
NA	GND	T18
NA	GND	T19
NA	GND	T29
NA	GND	T4
NA	GND	T8

NA	GND	U1
NA	GND	U11
NA	GND	U13
NA	GND	U17
NA	GND	U2
NA	GND	U26
NA	GND	U6
NA	GND	U9
NA	GND	V10
NA	GND	V12
NA	GND	V14
NA	GND	V16
NA	GND	V18
NA	GND	V23
NA	GND	V4
NA	GND	V8
NA	GND	V9
NA	GND	W1
NA	GND	W11
NA	GND	W13
NA	GND	W15
NA	GND	W17
NA	GND	W2
NA	GND	W20
NA	GND	W30
NA	GND	W6
NA	GND	W9
NA	GND	Y17
NA	GND	Y27
NA	GND	Y3
NA	GND	Y4
NA	GND	Y7
NA	GND	Y8
NA	GND	Y9
NA	VCCINT	M11
NA	VCCINT	M13
NA	VCCINT	M15

NA	VCCINT	M17
NA	VCCINT	N10
NA	VCCINT	N12
NA	VCCINT	N14
NA	VCCINT	N18
NA	VCCINT	P11
NA	VCCINT	P17
NA	VCCINT	R10
NA	VCCINT	R12
NA	VCCINT	R18
NA	VCCINT	T11
NA	VCCINT	T17
NA	VCCINT	U10
NA	VCCINT	U12
NA	VCCINT	U18
NA	VCCINT	V17
NA	VCCINT	W18
NA	VCCAUX	P13
NA	VCCAUX	T13
NA	VCCAUX	V13
NA	VCCAUX	V15
NA	VCCAUX	W14
NA	VCCAUX_IO_G0	W12
NA	VCCAUX_IO_G0	V11
NA	VCCAUX_IO_G0	W10
32	VCC0_32	AA19
32	VCC0_32	AB16
32	VCC0_32	AE17
32	VCC0_32	AF14
32	VCC0_32	AH18
32	VCC0_32	AJ15
33	VCC0_33	AA9
33	VCC0_33	AC13
33	VCC0_33	AD10
33	VCC0_33	AG11
33	VCC0_33	AK12
33	VCC0_33	Y12

34	VCC0_34	AC3
34	VCC0_34	AE7
34	VCC0_34	AH8
34	VCC0_34	AJ5
34	VCC0_34	AK2
12	VCC0_12	AC23
12	VCC0_12	AD20
12	VCC0_12	AF24
12	VCC0_12	AG21
12	VCC0_12	AK22
12	VCC0_12	Y22
13	VCC0_13	AA29
13	VCC0_13	AB26
13	VCC0_13	AD30
13	VCC0_13	AE27
13	VCC0_13	AH28
13	VCC0_13	AJ25
14	VCC0_14	P30
14	VCC0_14	R27
14	VCC0_14	T24
14	VCC0_14	U21
14	VCC0_14	V28
14	VCC0_14	W25
15	VCC0_15	J25
15	VCC0_15	K22
15	VCC0_15	L29
15	VCC0_15	M26
15	VCC0_15	N23
15	VCC0_15	P20
16	VCC0_16	A29
16	VCC0_16	B26
16	VCC0_16	C23
16	VCC0_16	D30
16	VCC0_16	E27
16	VCC0_16	F24
16	VCC0_16	H28
17	VCC0_17	A19

17	VCC0_17	B16
17	VCC0_17	D20
17	VCC0_17	E17
17	VCC0_17	G21
17	VCC0_17	H18
17	VCC0_17	L19
18	VCC0_18	C13
18	VCC0_18	D10
18	VCC0_18	F14
18	VCC0_18	G11
18	VCC0_18	J15
18	VCC0_18	K12
0	VCC0_0	AB6
0	VCC0_0	T9

6、订购信息

物料编号	温度范围	等级类型	封装
CYF7K325T-FFG900I	-40℃ - 100℃	工业级	FFG900
CYF7K325T-FFG900J	-55℃ - 125℃	军温工业级	FFG900
CYF7K325T-FFG676I	-40℃ - 100℃	工业级	FFG676
CYF7K325T-FFG676J	-55℃ - 125℃	军温工业级	FFG676

7、说明

如欲了解更多的产品及公司信息，请联系公司办公室人员或登录公司网站；

联系电话：021-33885531；

网址：<https://mall.ichelps.com/>

8、本文档中的信息如有变更，恕不另行通知



请使用微信扫码进入
芯片助手 ICHELPS 小程序

查资料 查替代 查库存 查价格

招募中国区各省代理，联系电话：021-33885531