

CYD7616

内置16 位、双极性输入、同步采样 ADC

特征

- 双极性模拟输入范围：±10V、±5V 及 ±2.5V
- 5V 模拟电源，2.3V 至 3.6V 数字接口电源
- 8×2 通道同步采样输入
- 性能
 - 模拟输入ESD 可达 8kV
 - 91.5dB SNR (500kSPS、2倍过采样)
 - 90dB SNR (1MSPS), -105dB THD
 - ±0.8LSB INL, ±0.6LSB DNL
- 灵活的并行/串行接口
 - SPI/QSPI/MICROWIRE/DSP 兼容
 - 可选循环冗余校验 (CRC) 错误检查
- 完全集成的数据采集解决方案
 - 模拟输入钳位保护

具有1MΩ 模拟输入阻抗的输入缓冲器

二阶抗混叠模拟滤波器

片内精密基准电压及缓冲

吞吐速率：2×1MSPS

通过数字滤波器提供过采样功能

- 低功耗：运行180mW，待机160mW
- LQFP80 14mm×14mm 封装

应用场合

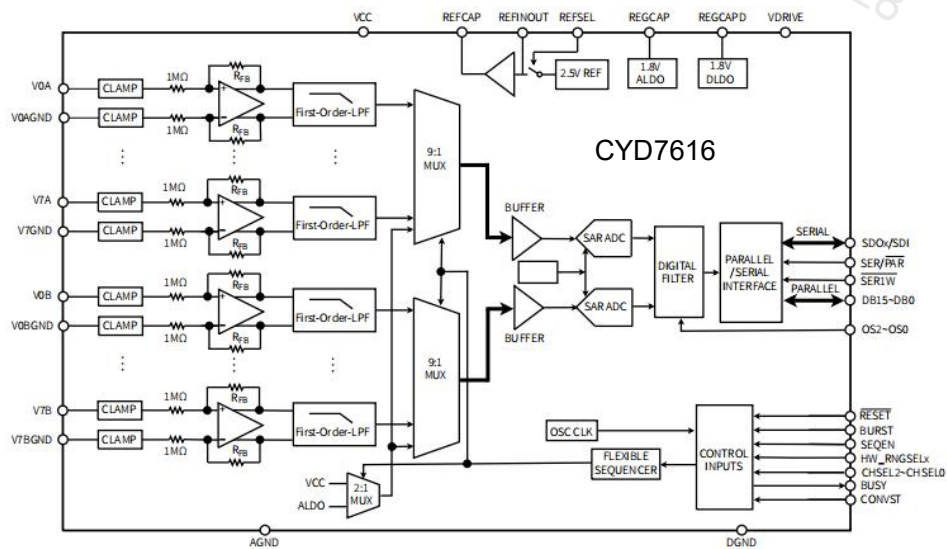
- 数据采集系统
- 电力线监控和保护系统
- 多轴定位系统
- 多相电机系统
- 仪表和控制系统

概述

CYD7616 是一款16位、16通道同步采样模拟数据采集系统。各通道均内置模拟输入钳位保护、二阶抗混叠滤波器、跟踪保持放大器、16位SARADC，内置了灵活的数字滤波器、2.5V基准电压源、基准电压缓冲以及高速串行和并行接口。

CYD7616 采用5V单电源供电，并且可以处理±10V、±5V和±2.5V真双极性输入信号，同时所有通道均能以高达1MSPS的吞吐速率采样。输入钳位保护电路可以承受高达±19.5V的电压，1MΩ的高输入阻抗以及片内滤波器，可以极大简化外围电路设计。

架构框图



管脚配置和功能

管脚配置

以下为 CYD7616 LQFP80 封装管脚示意图:

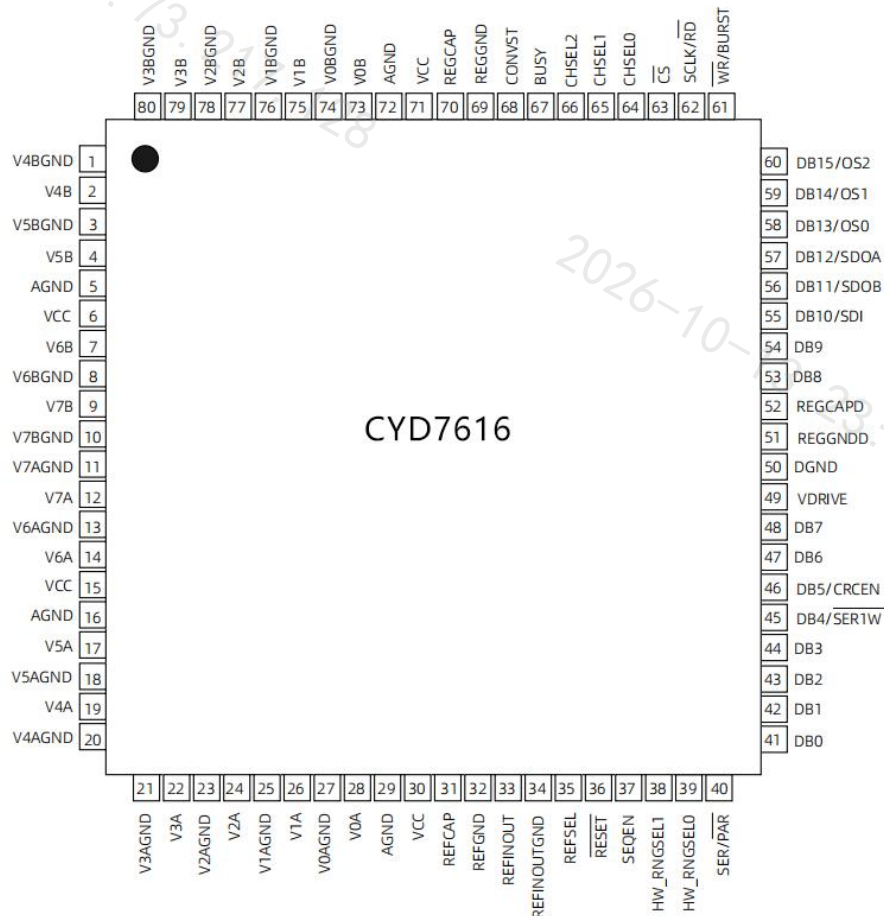


图 1 管脚示意图 (顶视图)

管脚功能

表 1. 管脚功能描述

编号	名称	类型	说明
1	V4BGND	GND	模拟输入接地管脚。此管脚对应于模拟输入管脚V4B。
2	V4B	AI	通道4模拟输入, ADCB。
3	V5BGND	GND	模拟输入接地管脚。此管脚对应于模拟输入管脚V5B。
4	V5B	AI	通道5模拟输入, ADCB。
5	AGND	GND	模拟电源地管脚。
6	VCC	PWR	模拟电源电压, 4.75V至5.25V。这是内部前端放大器和ADC内核的电源电压。通过0.1 μ F和10 μ F并联去耦电容连接至AGND。
7	V6B	AI	通道6模拟输入, ADCB。
8	V6BGND	GND	模拟输入接地管脚。此管脚对应于模拟输入管脚V6B。
9	V7B	AI	通道7模拟输入, ADCB。
10	V7BGND	GND	模拟输入接地管脚。此管脚对应于模拟输入管脚V7B。
11	V7AGND	GND	模拟输入接地管脚。此管脚对应于模拟输入管脚V7A。
12	V7A	AI	通道7模拟输入, ADCA。
13	V6AGND	GND	模拟输入接地管脚。此管脚对应于模拟输入管脚V6A。
14	V6A	AI	通道6模拟输入, ADCA。
15	VCC	PWR	模拟电源电压, 4.75V至5.25V。这是内部前端放大器和ADC内核的电源电压。这些管脚应利用0.1 μ F和10 μ F并联电容去耦至AGND。
16	AGND	GND	模拟电源地管脚。
17	V5A	AI	通道5模拟输入, ADCA。
18	V5AGND	GND	模拟输入接地管脚。此管脚对应于模拟输入管脚V5A。
19	V4A	AI	通道4模拟输入, ADCA。
20	V4AGND	GND	模拟输入接地管脚。此管脚对应于模拟输入管脚V4A。
21	V3AGND	GND	模拟输入接地管脚。此管脚对应于模拟输入管脚V3A。
22	V3A	AI	通道3模拟输入, ADCA。
23	V2AGND	GND	模拟输入接地管脚。此管脚对应于模拟输入管脚V2A。
24	V2A	AI	通道2模拟输入, ADCA。
25	V1AGND	GND	模拟输入接地管脚。此管脚对应于模拟输入管脚V1A。
26	V1A	AI	通道1模拟输入, ADCA。
27	V0AGND	GND	模拟输入接地管脚。此管脚对应于模拟输入管脚V0A。
28	V0A	AI	通道0模拟输入, ADCA。

29	AGND	GND	模拟电源地管脚。
30	VCC	PWR	模拟电源电压, 4.75 V至5.25 V。这是内部前端放大器和ADC内核的电源电压, 与AGND管脚之间加0.1 μ F和10 μ F并联的去耦电容。
31	REFCAP	A	基准电压缓冲输出管脚。通过低有效串联电阻(ESR)的10 μ F陶瓷电容将此管脚连接至AGND, 电容应尽可能靠近REFCAP管脚。此管脚上的电压典型值为4 V。
32	REFGND	GND	基准电压接地管脚。此管脚应连接到AGND。
33	REFINOUT	A	基准电压输入/输出。当REFSEL管脚设置为逻辑高电平时, 此管脚提供2.5V片内基准电压供外部使用。当REFSEL管脚设置为逻辑低电平时,禁用内部基准电压, 2.5V外部基准电压施加到此输入端无论使用内部还是外部基准电压, 都需要将一个10 μ F X5R电容连接在REFINOUT管脚与REFINOUTGND之间且尽可能靠近REFINOUT管脚。
34	REFINOUTGND	GND	基准电压对应的接地管脚。
35	REFSEL	DI	内部/外部基准电压选择。如果此管脚设为逻辑高电平, 则选择并使能内部基准电压模式。如果此管脚设为逻辑低电平, 则内部基准电压禁用, 必须将外部基准电压施加到REFINOUT管脚。完全复位释放时, 信号状态被锁存, 需要再一次完全复位才能重新配置。
36	$\overline{\text{RESET}}$	DI	复位。提供完全和部分复位选项。复位类型由RESET脉冲长度决定。RESET保持低电平时,器件将被置于关断模式。
37	SEQEN	DI	通道序列器使能(仅硬件模式)。当SEQEN接低电平时, 序列器禁用。当SEQEN为高电平时, 序列器使能(硬件模式下功能受限)。详情参见序列器部分。芯片上电稳定后或者完全复位释放时信号状态被锁存, 需要再一次完全复位才能重新配置。在软件模式下, 此管脚必须连接到DGND。
38,39	HW_RNGSEL1, HW_RNGSEL0	DI	硬件/软件模式选择, 硬件模式输入范围选择。完全复位时,硬件/软件模式选择被锁存。硬件模式下的范围选择不会被锁存 HW_RNGSELx=00: 软件模式; 模拟输入范围通过软件寄存器配置。 HW_RNGSELx=01: 硬件模式; 模拟输入范围为 ± 2.5 V。 HW_RNGSELx=10: 硬件模式; 模拟输入范围为 ± 5 V。 HW_RNGSELx=11: 硬件模式; 模拟输入范围为 ± 10 V。
40	SER/ $\overline{\text{PAR}}$	DI	串行/并行接口选择。如果此管脚与逻辑低电平相连, 则选择并行接口。如果此管脚与逻辑高电平相连, 则选择串行接口。芯片上电稳定后或者完全复位释放时, 信号状态被锁存, 需要再一次完全复位才能重新配置。
41~44	DB0~DB3	DI/O	在并行模式下, 这些管脚是输出/输入并行数据位DB0至DB3。详情参见并行接口部分。在串行模式下, 这些管脚必须与DGND相连。

45	DB4/ $\overline{\text{SERI W}}$	DI/O	在并行模式下，此管脚充当三态并行数字输出/输入管脚。详情参见并行接口部分。在串行模式下，此管脚决定串行输出是工作在SDOA和SDOB上，还是仅工作在SDOA上。当SERIW为低电平时串行输出仅工作在SDOA上。当SERIW为高电平时，串行输出工作在SDOA和SDOB上。芯片上电稳定后或者完全复位释放时，信号状态被锁存，需要再一次完全复位才能重新配置。
46	DB5/CRCEN	DI/O	在并行模式下，此管脚充当三态并行数字输入/输出。在串行模式下，此管脚用作CRC使能输入。完全复位释放时，CRCEN信号状态被锁存，需要再一次完全复位才能重新配置。详情参见数字接口部分。在串行模式下，当CRCEN为低电平时，转换结果之后无CRC字；当CRCEN为高电平时，最后一个转换字之后会附加一个由CHSELx配置的CRC字。详情参见CRC部分。在软件模式下，此管脚必须连接到DGND。
47,48	DB6,DB7	DI/O	在并行模式下，这些管脚充当三态并行数字输入/输出。详情参见并行接口部分。在串行模式下，这些管脚必须与DGND相连。
49	VDRIVE	PWR	逻辑电源。此管脚的电源电压（2.3 V至3.6 V）决定逻辑接口的工作电压。通过0.1 μ F和10 μ F并联去耦电容连接至DGND。
50	DGND	GND	数字地。
51	REGGNDD	GND	数字LDO的地。
52	REGCAPD	A	数字LDO输出，通过一个1 μ F去耦电容连接至REGGNDD。此管脚的电压典型值为1.9V。
53,54	DB8,DB9	DI/O	在并行模式下，这些管脚充当三态并行数字输入/输出。详情参见并行接口部分。在串行模式下，这些管脚必须与DGND相连。
55	DB10/SDI	DI/O	在并行模式下，此管脚充当三态并行数字输入/输出。详情参见并行接口部分。在硬件串行模式下，此管脚应与DGND相连。在串行模式下，此管脚用作SPI接口的数据输入。
56	DB11/SDOB	DI/O	在并行模式下，此管脚充当三态并行数字输入/输出。详情参见并行接口部分。在串行模式下，此管脚用作SDOB，输出串行转换数据。
57	DB12/SDOA	DI/O	在并行模式下，此管脚充当三态并行数字输入/输出。详情参见并行接口部分。在串行模式下，此管脚用作SDOA，输出串行转换数据。
58~60	DB13/OS0, DB14/OS1, DB15/OS2	DI/O	在并行模式下，这些管脚充当三态并行数字输入/输出。详情参见并行接口部分。在串行硬件模式下，这些管脚控制过采样设置。芯片上电稳定后或者完全复位释放时，信号状态被锁存，需要再一次完全复位才能重新配置。详情参见数字滤波器部分。在软件串行模式下，这些管脚必须连接到DGND。
61	$\overline{\text{WR}}$ /BURST	DI	写入/突发模式使能。在软件并行模式下，此管脚用作并行接口的 $\overline{\text{WR}}$ 。在硬件并行或串行模式下，此管脚使能BURST模式。芯片上电稳定后或者完全复位释放时，信号状态被锁存，需要再一次完全复位才能重新配置。详情参见突发序列器部分。在软件串行模式下，此管脚应连接到DGND。

62	SCLK/ $\overline{\text{RD}}$	DI	串行时钟输入/并行数据读取控制。在串行模式下，此管脚用作数据传输的串行时钟输入。CS下降沿使数据输出线路SDOA和SDOB脱离三态，并输出转换结果的MSB。SCLK上升沿将随后的所有数据位逐个送至串行数据输出SDOA和SDOB。在并行模式下如果CS和RD均处于逻辑低电平，则使能输出总线。
63	$\overline{\text{CS}}$	DI	在并行模式下，如果CS和RD均处于逻辑低电平，则会使能DBx输出总线，转换结果通过并行数据总线输出。在串行模式下，CS低电平使能串行读取帧传输。
64~66	CHSEL0~CHSEL2	DI	在硬件模式下选择下一转换的输入通道。例如，CHSELx=0x000选择V0A和V0B进行下一转换；CHSELx=0x001选择V1A和V1B进行下一转换。在软件模式下，这些管脚必须连接到DGND。
67	BUSY	DO	ADC转换指示信号。CONVST上升沿之后，此管脚变为逻辑高电平表示转换过程已开始。BUSY输出保持高电平，直到当前选定通道的转换过程完成为止。BUSY下降沿将转换数据锁存至输出数据寄存器。数据必须在BUSY变为低电平之后读取。当BUSY信号为高电平时，CONVST的上升沿不起作用。
68	CONVST	DI	对于选定的模拟输入对，当CONVST从低电平变为高电平时，转换启动。当突发模式和过采样模式被禁用时，每次CONVST从低电平变为高电平都会转换一对通道。在序列器模式下，当突发模式或过采样模式使能时，只需CONVST从低电平变为高电平一次即可完成所需数量的转换。
69	REGGND	GND	内部模拟LDO的地。
70	REGCAP	A	内部模拟LDO输出，通过一个1 μ F去耦电容连接至REGGND。此管脚的电压典型值为1.9 V。
71	VCC	PWR	模拟电源电压，4.75V至5.25V。这是内部前端放大器和ADC内核的电源电压。这些管脚应利用0.1 μ F和10 μ F并联电容去耦至AGND。
72	AGND	GND	模拟电源地管脚。
73	V0B	AI	通道0模拟输入，ADC B。
74	V0BGND	GND	模拟输入接地管脚。此管脚对应于模拟输入管脚V0B。
75	V1B	AI	通道1模拟输入，ADC B。
76	V1BGND	GND	模拟输入接地管脚。此管脚对应于模拟输入管脚V1B。
77	V2B	AI	通道2模拟输入，ADC B。
78	V2BGND	GND	模拟输入接地管脚。此管脚对应于模拟输入管脚V2B。
79	V3B	AI	通道3模拟输入，ADC B。
80	V3BGND	GND	模拟输入接地管脚。此管脚对应于模拟输入管脚V3B。

绝对最大额定值

参数		最小值	最大值	单位
温度				
工作温度		-40	125	°C
存储温度		-65	150	°C
结温			150	°C
回流焊	铅锡焊接温度（10 秒到 30 秒）		240	°C
	无铅焊接温度		260	°C
耐压				
VCC 至 AGND		-0.3	6.5	V
VDRIVE 至 AGND		-0.3	VCC+0.3	V
模拟输入电压至 AGND		-19.5	19.5	V
数字输入电压至 AGND		-0.3	VDRIVE+0.3	V
数字输出电压至 AGND		-0.3	VDRIVE+0.3	V
REFINOUT 至 AGND		-0.3	VCC+0.3	V
ESD				
HBM	除模拟输入外的所有管脚	4500		V
	仅模拟输入管脚	8000		V
CDM		750		V

电气规格

默认测试条件：VREF = 2.5V 外部/内部基准电压、VCC = 4.75V 至 5.25V、VDRIVE = 2.3V 至 3.6V、fSAMPLE = 1MSPS、TA = -40°C 至 125°C。

参数	测试条件	最小值	典型值	最大值	单位
动态性能					
SNR	无过采样, ±10V 范围	88.2	90		dB
	无过采样, ±5V 范围	87.7	89.2		dB
	无过采样, ±2.5V 范围	85.5	87		dB
	OSR=2, ±10V 范围		91.5		dB
	OSR=4, ±10V 范围		93		dB
SNDR	无过采样, ±10V 范围	87.9	89.7		dB
	无过采样, ±5V 范围	87.4	88.9		dB
	无过采样, ±2.5V 范围	85.2	86.7		dB

THD	无过采样, $\pm 10V$ 范围	-105 -98	dB
	无过采样, $\pm 5V$ 范围	-103	dB
	无过采样, $\pm 2.5V$ 范围	-101	dB
SFDR	$\pm 10V$ 范围	105	dB
	$\pm 5V$ 范围	104	dB
	$\pm 2.5V$ 范围	103	dB
IMD	$f_a = 1\text{kHz}$, $f_b = 1.1\text{kHz}$, 二阶项	-109.4	dB
	$f_a = 1\text{kHz}$, $f_b = 1.1\text{kHz}$, 三阶项	-110.9	dB
通道隔离度	未选中通道的 f_N 不超过 5kHz	-109	dB
模拟输入滤波器			
全功率带宽	-3dB, $\pm 10V$ 范围	39.2	kHz
	-3dB, $\pm 5V/\pm 2.5V$ 范围	30	kHz
	-0.1dB, $\pm 10V$ 范围	6.1	kHz
	-0.1dB, $\pm 5V/\pm 2.5V$ 范围	4.3	kHz
相位延迟	$\pm 10V$ 范围	5.8	μs
	$\pm 5V$ 范围	6.4	μs
	$\pm 2.5V$ 范围	6.5	μs
相位延迟漂移	$\pm 10V$ 范围	± 0.42	ns/ $^{\circ}\text{C}$
相位延迟匹配 (双路同 步对)	$\pm 10V$ 范围	3.7	ns
	$\pm 5V$ 范围	4.5	ns
	$\pm 2.5V$ 范围	4.6	ns
直流精度			
分辨率	无失码	16	Bits
DNL	外部基准电压源	± 0.6 ± 0.99	LSB
INL	外部基准电压源	± 0.8 ± 2	LSB
TUE	$\pm 10V$ 范围	± 10	LSB
	$\pm 5V$ 范围	± 5	LSB
	$\pm 2.5V$ 范围	± 10	LSB
PFS	外部基准电压源, $\pm 10V$ 范围	± 3 ± 20	LSB
	外部基准电压源, $\pm 5V$ 范围	± 1 ± 8	LSB
	外部基准电压源, $\pm 2.5V$ 范围	± 3	LSB
	内部基准电压源, $\pm 10V$ 范围	± 3	LSB

PFS 漂移	外部基准电压源	±2		ppm/°C	
	内部基准电压源	±7		ppm/°C	
PFS 匹配	±10V 范围	8	12	LSB	
	±5V 范围	1	3	LSB	
	±2.5V 范围	8		LSB	
双极性 0 码误差	±10V 范围	±1	±15	LSB	
	±5V 范围	±0.5	±5	LSB	
	±2.5V 范围	±1	±15	LSB	
双极性 0 码误差漂移	±10V 范围	±3.5		μV/°C	
	±5V 范围	±1.9		μV/°C	
	±2.5V 范围	±1.1		μV/°C	
双极性 0 码误差匹配	±10V 范围	±7	±12	LSB	
	±5V 范围	±2	±5	LSB	
	±2.5V 范围	±12		LSB	
NFS	外部基准电压源, ±10V 范围	±3	±20	LSB	
	外部基准电压源, ±5V 范围	±1	±8	LSB	
	外部基准电压源, ±2.5V 范围	±3		LSB	
	内部基准电压源, ±10V 范围	±3		LSB	
NFS 漂移	外部基准电压源	±2		ppm/°C	
	内部基准电压源	±7		ppm/°C	
NFS匹配	±10V 范围	8	12	LSB	
	±5V 范围	1	3	LSB	
	±2.5V 范围	8		LSB	
模拟输入					
模拟输入电流	±10V 范围	±10.7		μA	
	±5V 范围	±5.5		μA	
	±2.5V 范围	±2.8		μA	
输入电容		10		pF	
输入阻抗		1		MΩ	
输入阻抗漂移		20		ppm/°C	
基准电压输入/输出					
基准输入电压范围		2.495	2.5	2.505	V

基准输出电压		2.4995	2.5	2.5005	V
基准源温度系数	-40°C < TA < 85°C		5	15	ppm/°C
	-40°C < TA < 125°C		7	20	ppm/°C
电源要求					
VCC		4.75		5.25	V
VDRIVE		2.3		3.6	V
IVCC	待机模式	32		35	mA
	转换模式	36		40	mA
	关断模式		1		μA
IVDRIVE	待机模式		0.1		μA
	转换模式		4		μA
	关断模式		0.1		μA

时序规格

通用时序规格

参数	描述	最小值	典型值	最大值	单位
t _{CYCLE}	连续CONVST上升沿之间的最短时间(不包括突发和过采样模式)	1			μs
t _{CONV_LOW}	CONVST低电平脉冲宽度	50			ns
t _{CONV_HIGH}	CONVST高电平脉冲宽度	50			ns
t _{BUSY_DELAY}	CONVST高电平到BUSY高电平(手动模式)			32	ns
t _{CS_SETUP}	BUSY下降沿到CS下降沿建立时间	20			ns
t _{CH_SETUP}	硬件模式下CHSELx的通道选择建立时间	50			ns
t _{CH_HOLD}	硬件模式下CHSELx的通道选择保持时间	20			ns
t _{CONV}	选定通道对的转换时间		660		ns
t _{ACQ}	选定通道对的采集时间		340		ns
t _{QUIET}	CS上升沿到下一个CONVST上升沿	50			ns
t _{RESET_LOW}	部分复位, RESET低电平脉冲宽度	200		1100	ns
	完全复位, RESET低电平脉冲宽度	1250			ns
t _{DEVICE_SETUP}	部分复位, RESET高电平到CONVST上升沿之间的时间	50			ns
	完全复位, RESET高电平到CONVST上升沿之间的时间	12			ms

t_{WRITE}	部分复位, 对于写操作, $\overline{\text{RESET}}$ 高电平到CS之间的时间	50	ns
	完全复位, 对于写操作, $\overline{\text{RESET}}$ 高电平到CS之间的时间	3.7	ms
$t_{\text{RESET_WAIT}}$	稳定VCC/VDRIVE到 $\overline{\text{RESET}}$ 释放之间的时间	1	ms
$t_{\text{RESET_SETUP}}$	部分复位, $\overline{\text{RESET}}$ 释放前被查询的硬件输入必须保持稳定的时间	10	ns
	完全复位, $\overline{\text{RESET}}$ 释放前被查询的硬件输入必须保持稳定的时间	0.05	ms
$t_{\text{RESET_HOLD}}$	部分复位, $\overline{\text{RESET}}$ 释放后被查询的硬件输入必须保持稳定的时间	10	ns
	完全复位, $\overline{\text{RESET}}$ 释放后被查询的硬件输入必须保持稳定的时间	1.7	ms
$t_{\text{PORN_SETUP}}$	VCC/VDRIVE达到稳定前被查询硬件输入必须保持稳定的时间	0.05	ms
$t_{\text{PORN_HOLD}}$	VCC/VDRIVE达到稳定后被查询硬件输入必须保持稳定的时间	1.7	ms
$t_{\text{CFG_SETUP}}$	硬件模式改变通道, 在BUSY下降沿前, CHSEL被查询硬件输入必须保持稳定时间	50	ns
$t_{\text{CFG_HOLD}}$	硬件模式改变通道, 在BUSY下降沿后, CHSEL被查询硬件输入必须保持稳定时间	50	ns

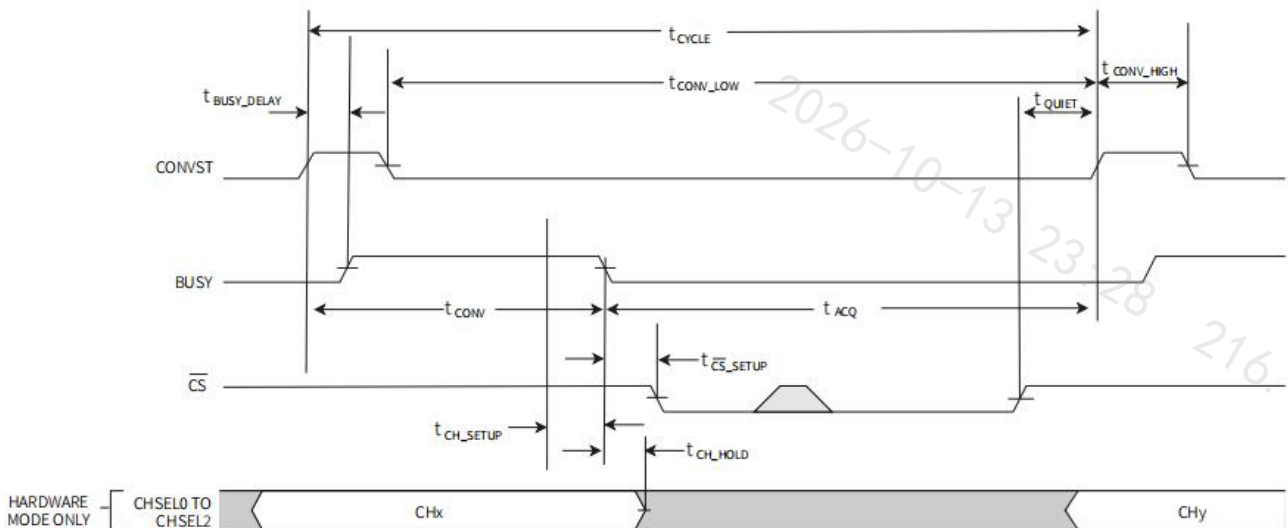


图 2 所有接口的通用时序图

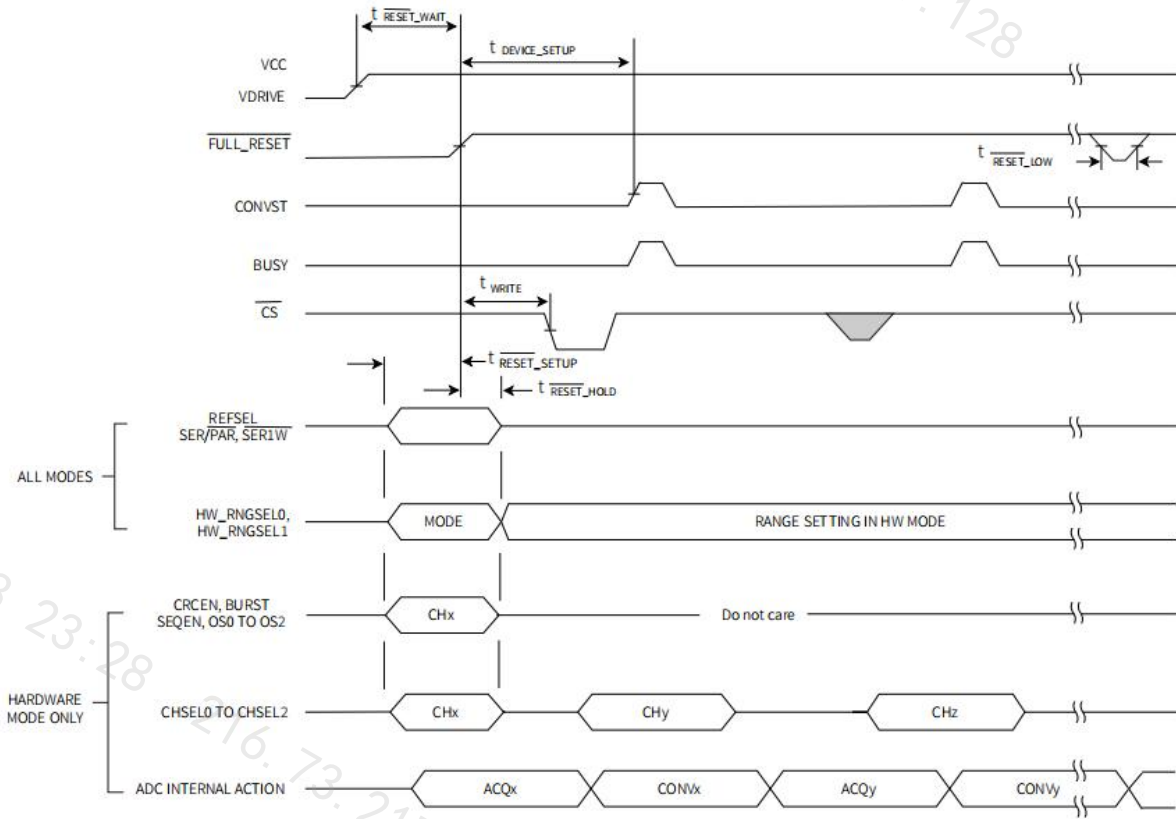


图 3 复位时序图

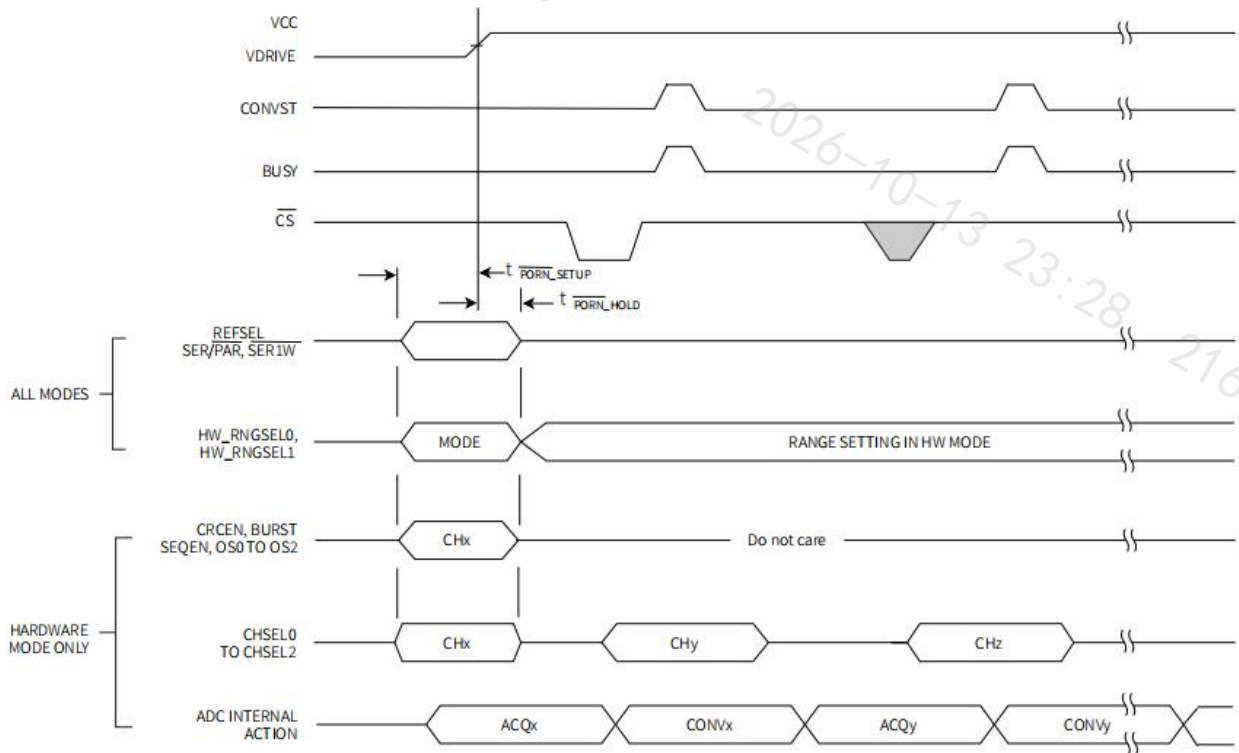


图 4 芯片上电配置锁存

并行模式时序规格

参数	描述	最小值	典型值	最大值	单位
t_{RD_SETUP}	$\overline{CS}$ 下降沿到 $\overline{RD}$ 下降沿建立时间	0			ns
t_{RD_HOLD}	$\overline{RD}$ 上升沿到 $\overline{CS}$ 上升沿保持时间	0			ns
t_{RD_HIGH}	$\overline{RD}$ 高电平脉冲宽度	10			ns
t_{RD_LOW}	$\overline{RD}$ 低电平脉冲宽度	30			ns
t_{DOUT_SETUP}	$\overline{RD}$ 下降沿后的数据访问时间			31	ns
t_{DOUT_3STATE}	$\overline{CS}$ 上升沿到 $\overline{DBx}$ 高阻抗状态			10	ns
t_{WR_SETUP}	$\overline{CS}$ 到 $\overline{WR}$ 建立时间	0			ns
t_{WR_HIGH}	$\overline{WR}$ 高电平脉冲宽度	20			ns
t_{WR_LOW}	$\overline{WR}$ 低电平脉冲宽度	30			ns
t_{WR_HOLD}	$\overline{CS}$ 到 $\overline{WR}$ 的保持时间	0			ns
t_{DIN_SETUP}	配置数据到 $\overline{WR}$ 建立时间	30			ns
t_{DIN_HOLD}	配置数据到 $\overline{WR}$ 保持时间	10			ns
t_{CONF_SETTLE}	配置数据稳定时间, $\overline{WR}$ 上升沿到 $\overline{CONVST}$ 上升沿	20			ns

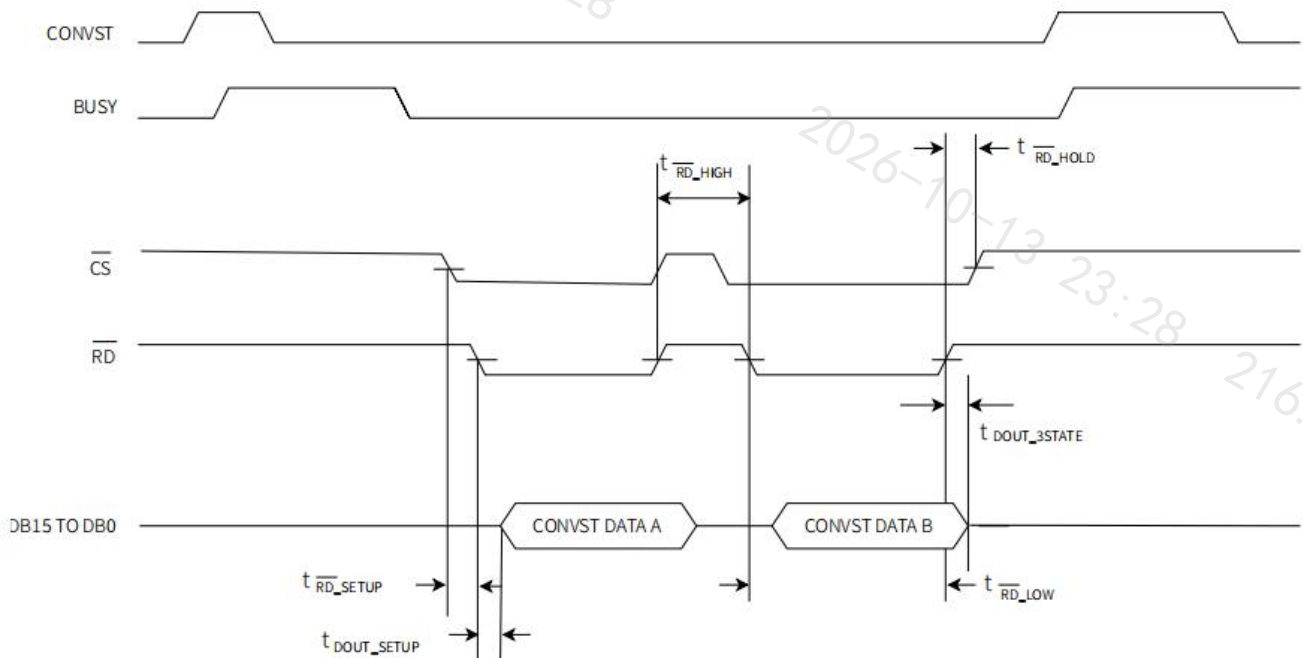


图 5 并行读时序图

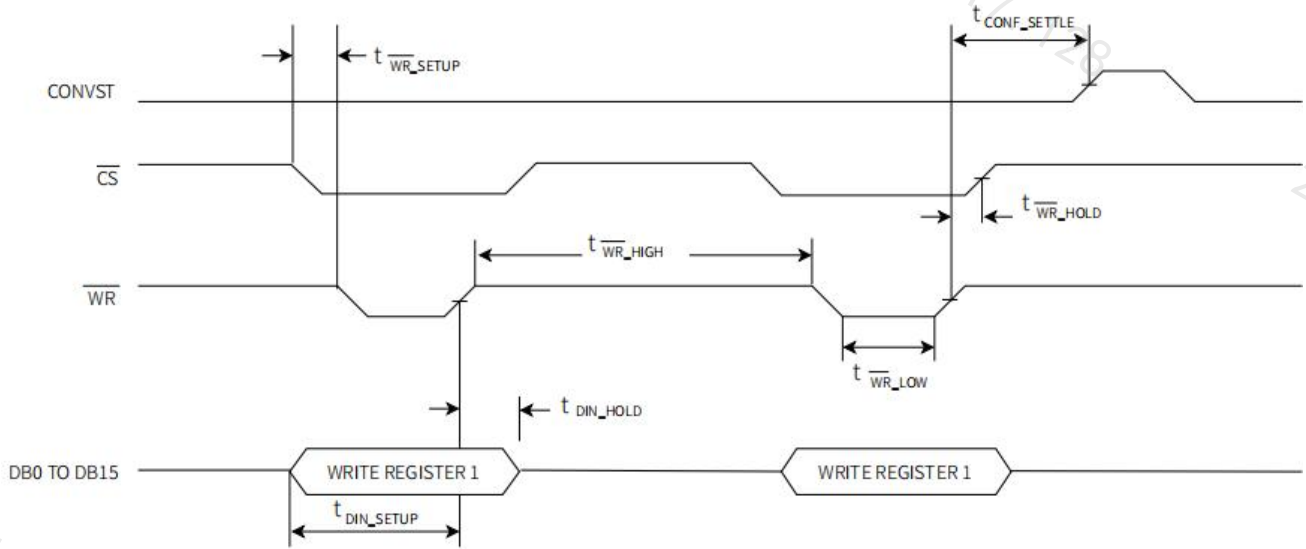


图 6 并行写时序图

串行模式时序规格

参数	描述	最小值	典型值	最大值	单位
f_{SCLK}^1	SCLK 频率			40/50	MHz
t_{SCLK}	最短 SCLK 周期	$1/f_{SCLK}$			
$t_{SCLK_SETUP}^1$	$\overline{CS}$ 到 SCLK 下降沿建立时间, VDRIVE 高于 3.3V	10			ns
	$\overline{CS}$ 到 SCLK 下降沿建立时间, VDRIVE 高于 2.3V	10			ns
t_{SCLK_HOLD}	SCLK 到 $\overline{CS}$ 上升沿保持时间	10			ns
t_{SCLK_LOW}	SCLK 低电平脉宽	8			ns
t_{SCLK_HIGH}	SCLK 高电平脉宽	9			ns
$t_{DOUT_SETUP}^1$	SCLK 上升沿后的数据输出访问时间, VDRIVE 高于 3.3V			7.8	ns
	SCLK 上升沿后的数据输出访问时间, VDRIVE 高于 2.3V			9.5	ns
t_{DOUT_HOLD}	SCLK 上升沿后的数据输出保持时间	3.45	5		ns
t_{DIN_SETUP}	SCLK 下降沿前的数据输入建立时间	8			ns
t_{DIN_HOLD}	SCLK 下降沿后的数据输入保持时间	8			ns
t_{DOUT_3STATE}	$\overline{CS}$ 上升沿到 SDOx 高阻抗状态			10	ns



注意:

1: 随 VDRIVE 和负载电容的大小影响。

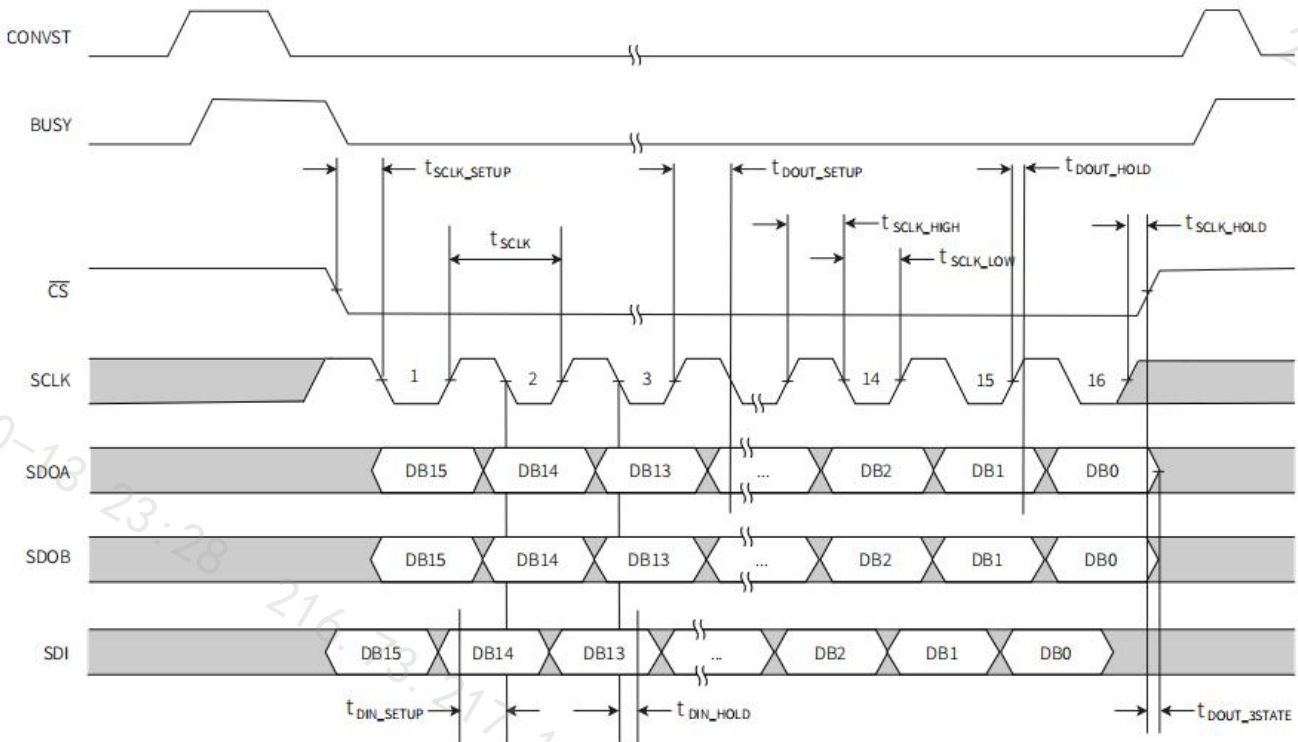


图 7 串行时序图

典型特征

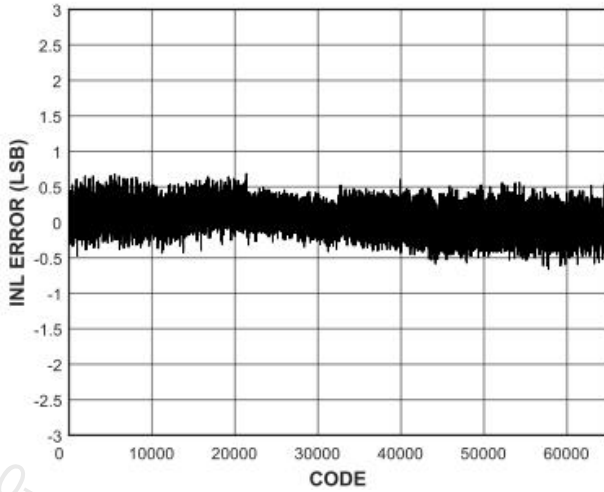


图 8 INL 误差, $\pm 10V$ 范围

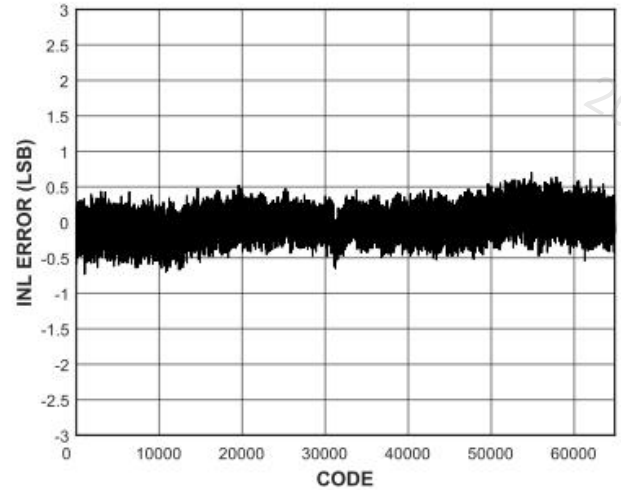


图 9 INL 误差, $\pm 5V$ 范围

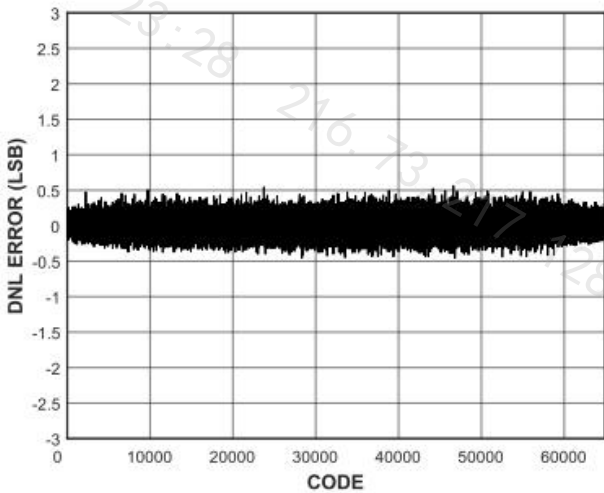


图 10 DNL 误差, $\pm 10V$ 范围

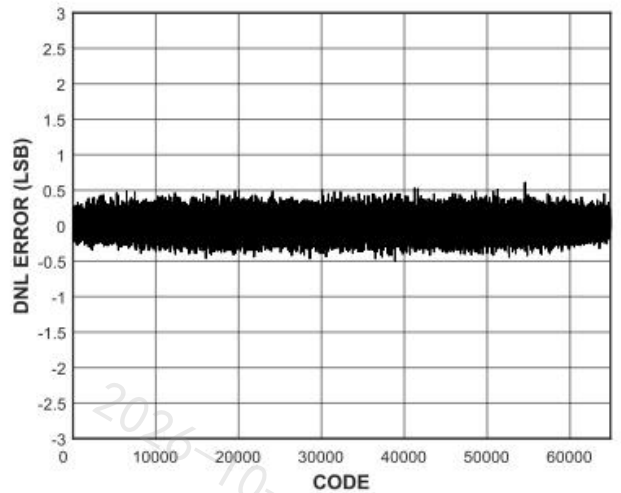


图 11 DNL 误差, $\pm 5V$ 范围

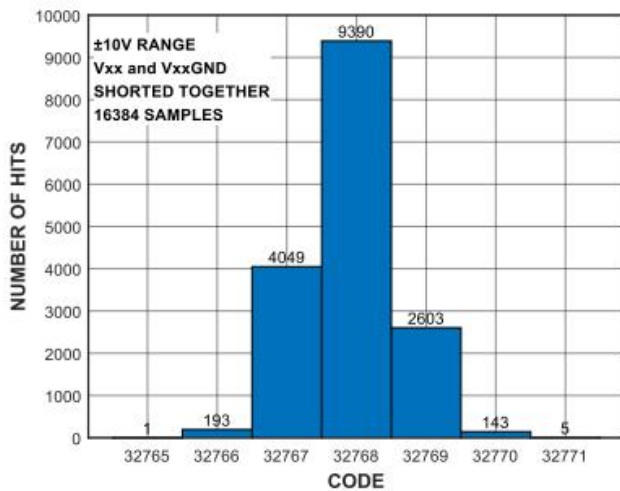


图 12 零输入直方图, $\pm 10V$ 范围

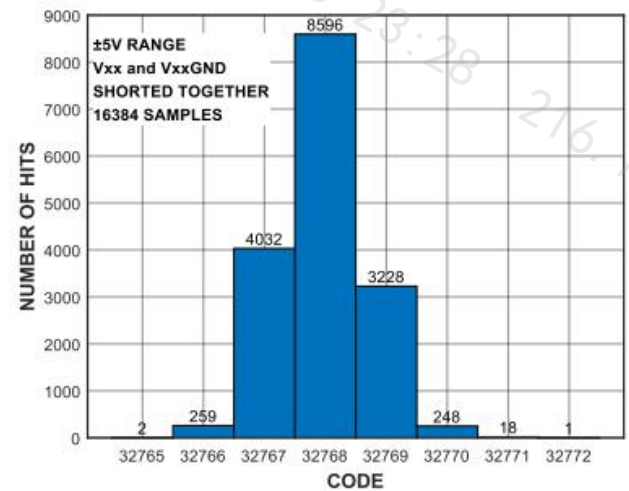


图 13 零输入直方图, $\pm 5V$ 范围

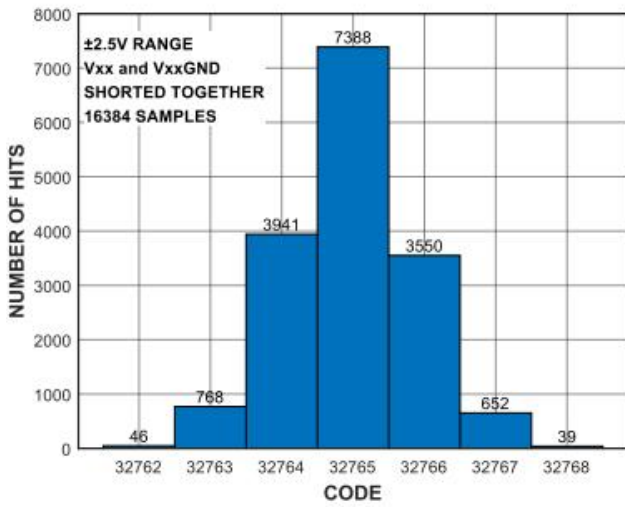


图 14 零输入直方图, ±2.5V 范围

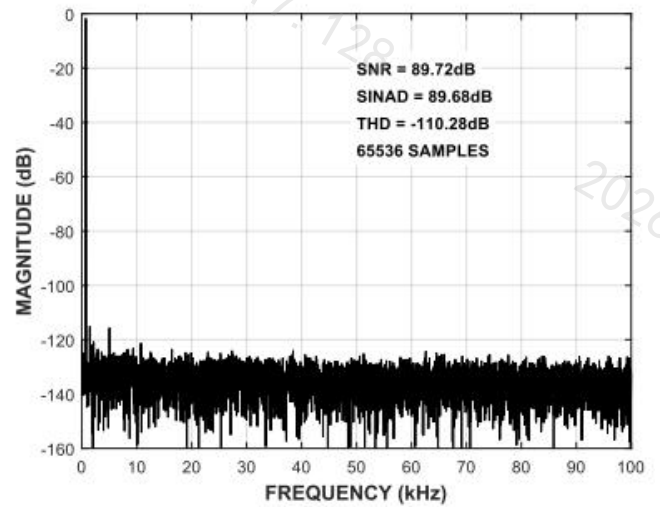


图 15 FFT, ±10V 范围

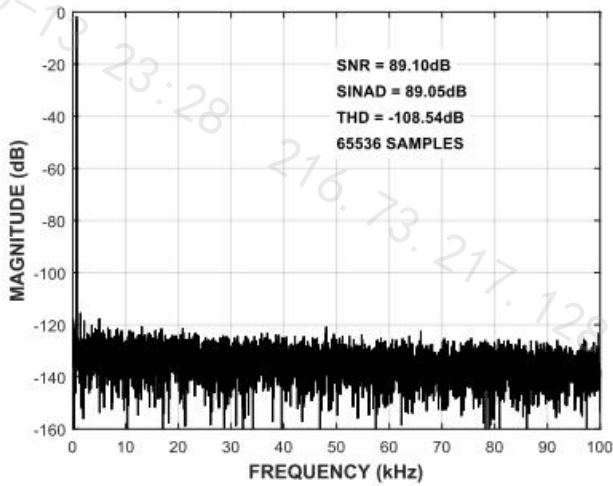


图 16 FFT, ±5V 范围

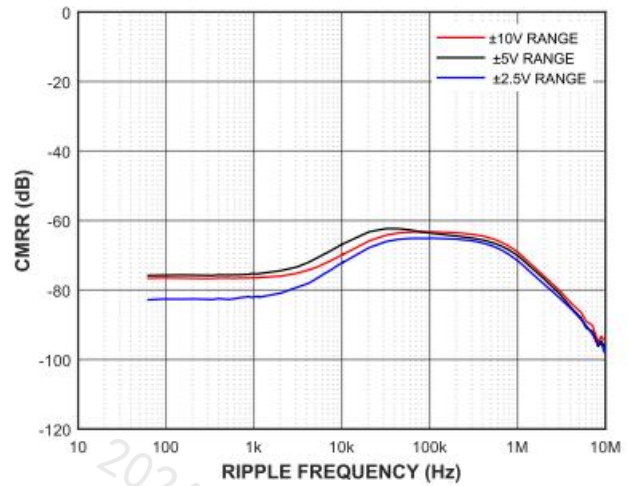


图 17 CMRR 的频率特性

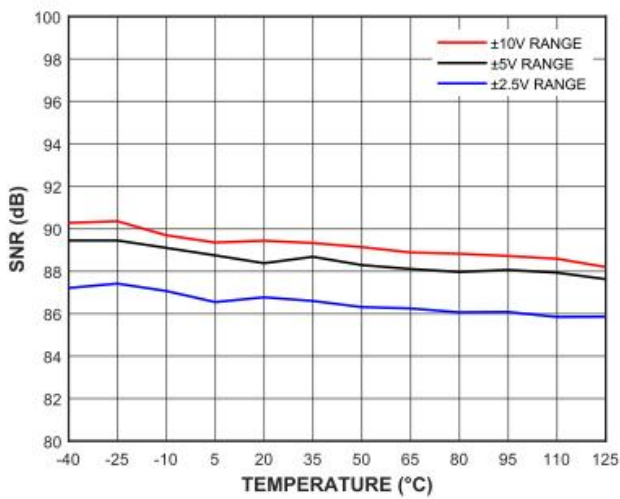


图 18 SNR 的温度特性

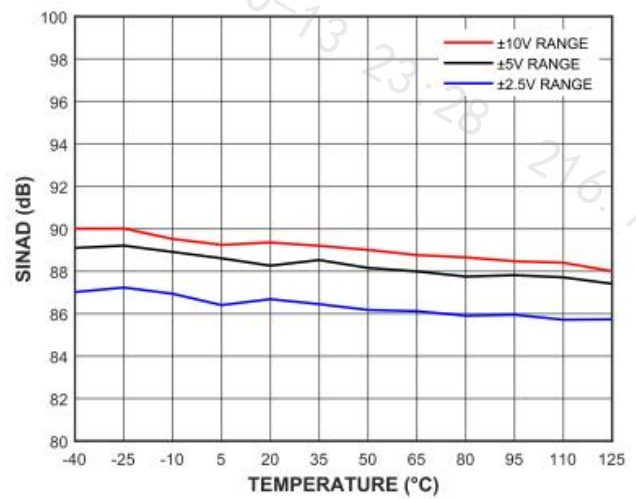


图 19 SINAD 的温度特性

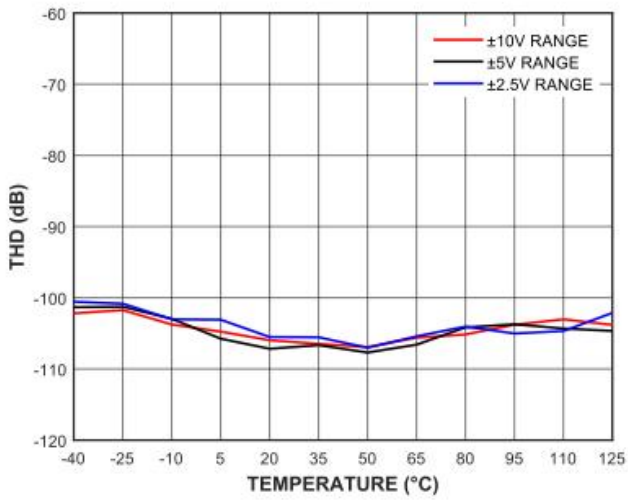


图 20 THD 的温度特性

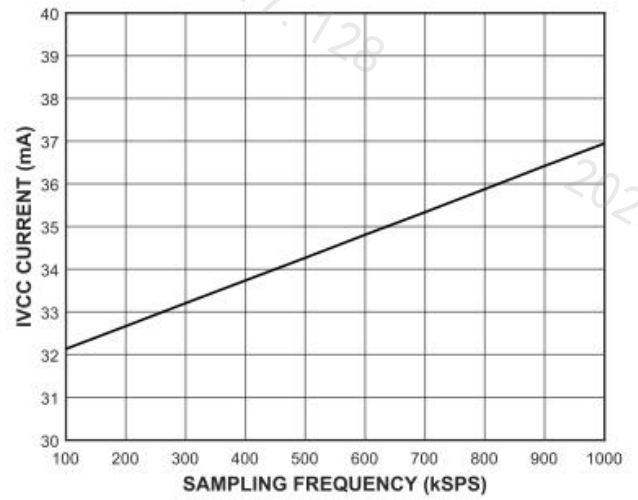


图 21 IVCC 电流的采样频率特性

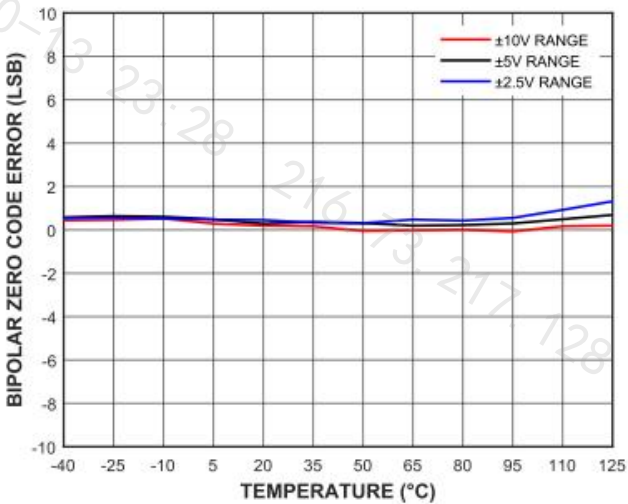


图 22 双极性 0 码误差的温度特性

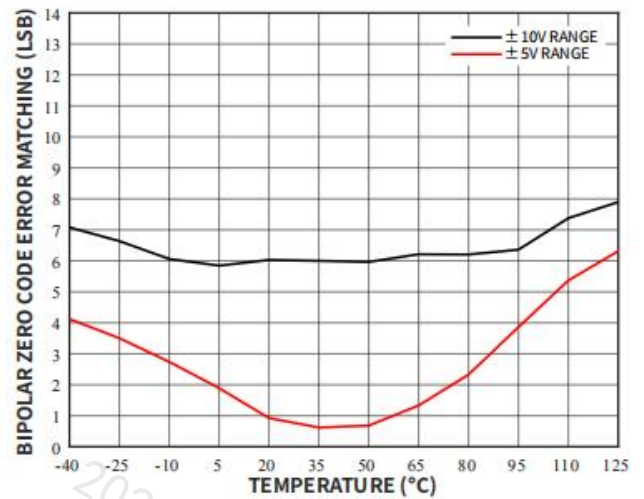


图 23 双极性 0 码误差匹配的温度特性

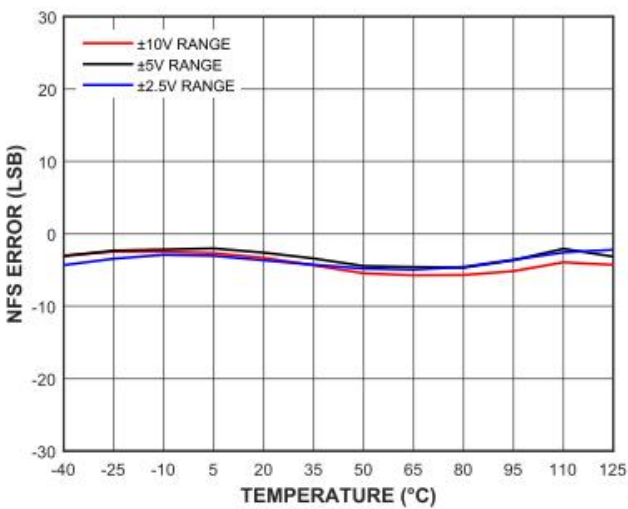


图 24 NFS 误差的温度特性

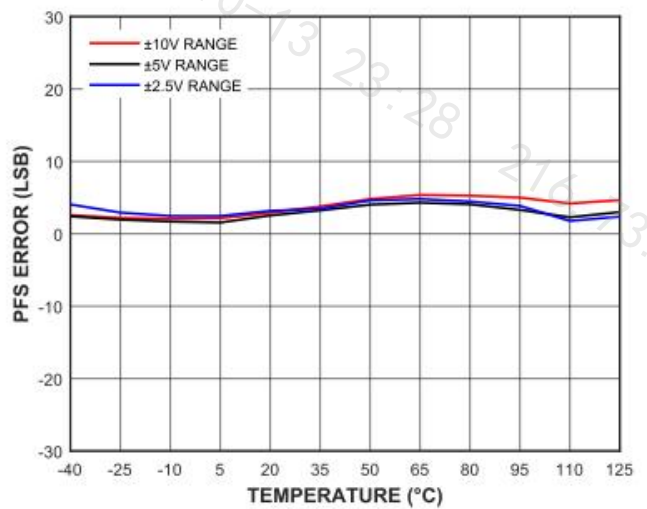


图 25 PFS 误差的温度特性

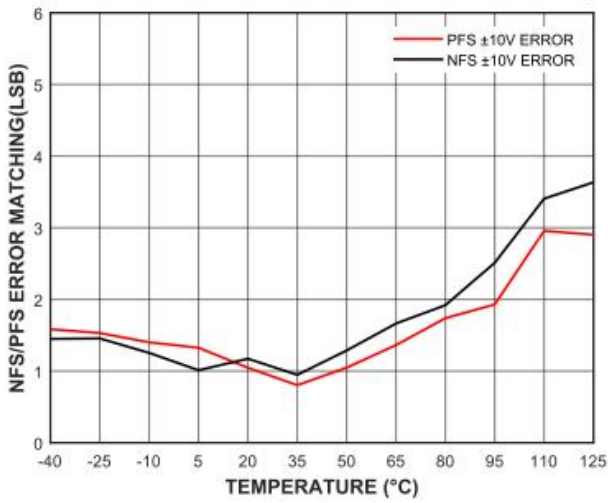


图 26 PFS/NFS 误差匹配的温度特性, $\pm 10V$ 范围

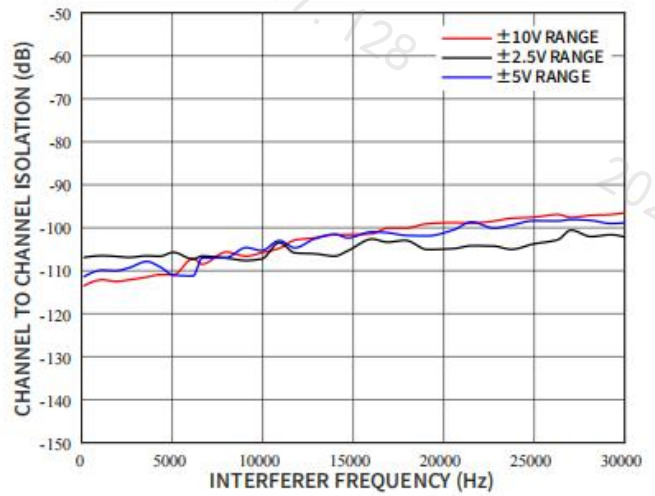


图 27 通道隔离度

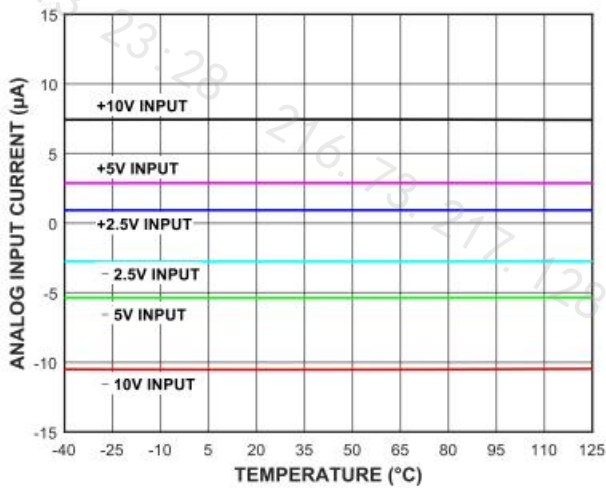


图 28 不同电源电压下模拟输入电流的温度特性

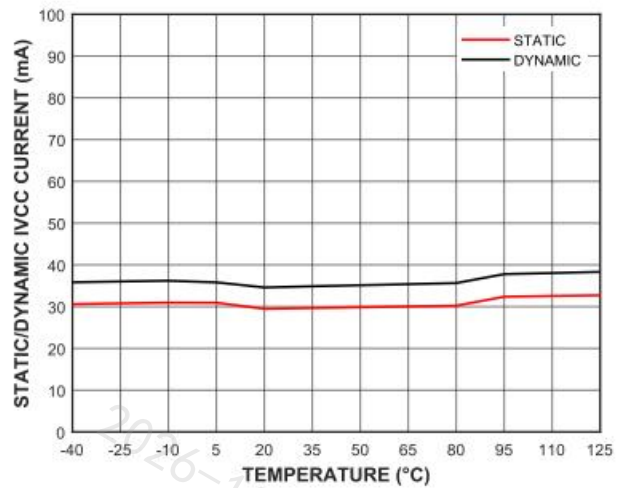


图 29 静态/动态 IVCC 电流的温度特性

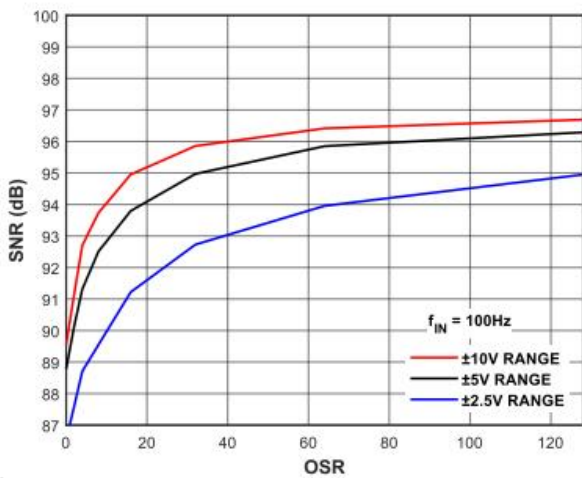


图 30 不同过采样率下 SNR 与 OSR 的关系

工作原理使用

CYD7616 是一款采用高速、低功耗逐次逼近型 (SAR) 模数转换器的数据采集系统，可以对16个模拟输入端选择进行双通道同步采样，信号输入范围可选配为 $\pm 2.5V$ 、 $\pm 5V$ 或者 $\pm 10V$ 。CYD7616 采用单电源供电，但其所有模拟输入通道均可以接受真双极性输入信号。

芯片内置输入钳位保护、可编程放大器、一阶抗混叠滤波器、内部基准电压、基准电压缓冲器、双通道高速ADC、数字滤波器以及高速并行和串行接口。

通过配置HW_RNGSEL1、HW_RNGSEL0两个管脚，可选择芯片工作在硬件模式或者软件模式。硬件模式下，CYD7616 通过外部管脚实现芯片基础功能性能的配置；软件模式下，通过配置寄存器，可以实现更丰富的功能性能配置。

模拟输入

输入范围

如果HW_RNGSEL0和HW_RNGSEL1在芯片上电或者完全复位时被锁存为低电平，则芯片进入软件工作模式，其模拟输入范围由输入范围寄存器决定（参见寄存器章节）；否则，芯片工作在硬件模式，模拟输入范围根据以下真值表确定：

表 2 模拟输入范围选择

模拟输入范围	HW_RNGSEL1	HW_RNGSEL0
寄存器配置	0	0
$\pm 2.5V$	0	1
$\pm 5V$	1	0
$\pm 10V$	1	1

说明:

硬件模式下，这两个管脚的电平会立刻影响模拟输入范围。建议提前确定管脚配置，避免转换过程中进行模拟输入范围的更改。

通道选择

CYD7616 内部有两同步采样16位ADC，每个ADC有8个模拟输入通道，总共16通道模拟输入。此外，CYD7616 还内置片内诊断通道用于监测VCC电源以及片内可调低压差稳压器。在硬件模式下通过CHSELx管脚选择待转换的通道，软件模式下通过通道寄存器选择待转换的通道。要对诊断通道进行转换，必须使用软件模式。待转换通道可以动态调整，也可以采用片内序列器功能进行预设。在硬件模式下，只有对应的A和B通道进行同步采样，即通道VOA是和VOB一同采样。在软件模式下，可以选择任意A通道与任意B通道一起进行同步采样。

输入阻抗

CYD7616 的模拟输入阻抗均为 $1M\Omega$ 的固定输入阻抗，不随芯片采样频率的变化而变化。高模拟输入阻抗可以使信号源或者传感器不经过外部驱动放大器而直接输入芯片进行转换，大大简化客户的硬件设计。

钳位保护

图32显示了钳位电路的电压电流特性曲线。当输入电压不超过 $\pm 19.5V$ 时，钳位电路不会开启，输入电流不会激增。当输入电压超过 $\pm 19.5V$ 时，钳位电路开启，模拟通道输入电流快速增加。

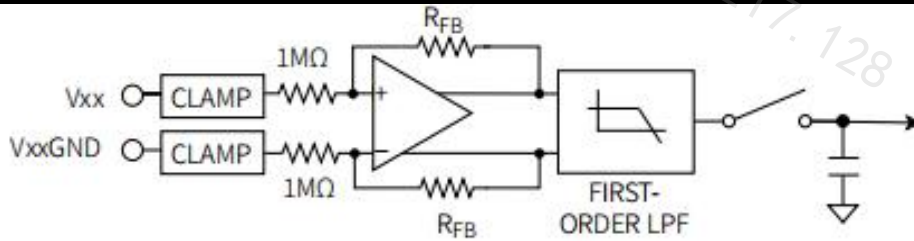


图 31 模拟输入电路

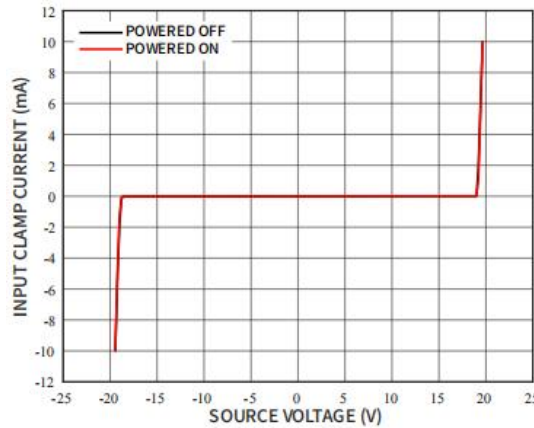


图 32 输入钳位电路 V-I 特性曲线

对于输入电压超过 $\pm 19.5\text{V}$ 的应用，可以在输入端串联电阻解决。值得注意的是，如果模拟输入通道 V_x 上添加了一个串联电阻，则其对应的模拟输入 GND 管脚， $V_{x\text{GND}}$ 上也需要串联一个与之相等的电阻。如果不添加这个电阻，该通道将出现额外的失调误差。

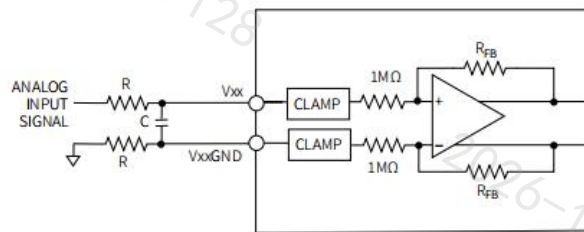


图 33 模拟输入电阻匹配

抗混叠滤波器

CYD7616 还提供了模拟抗混叠滤波器。在 $\pm 10\text{V}$ 的范围内， -3dB 带宽的典型值为 39.2kHz ，在 $\pm 5\text{V}$ 的范围内， -3dB 带宽典型值为 30kHz 。

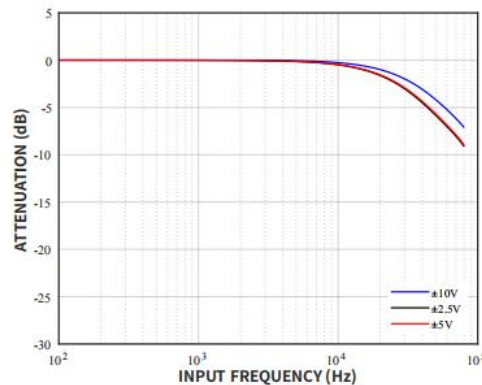


图 34 模拟抗混叠滤波器频率响应

内部/外部基准

CYD7616 内置了一个2.5V的Bandgap基准电压源。REFINOUT管脚既可以使用该2.5V的基准电压，也允许从外部施加一个2.5V的基准电压。REFSEL管脚实现对基准源的配置，如果此管脚设置为逻辑高，则选择并使能内部基准电压；如果此管脚设置为逻辑低电平，内部基准电压将被禁用，必须从外部施加一个基准电压到REFINOUT管脚。无论使用内部基准还是外部基准模式，都需要在REFINOUT管脚与REFINOUTGND之间连接10 μF的去耦电容。当CYD7616 配置为外部基准电压模式时，REFINOUT管脚为高输入阻抗管脚。

CYD7616 内置了一个基准电压缓冲器，缓冲器可以将基准电压放大至约4V。REFCAP 和REFGND之间需要连接一个10 μF陶瓷去耦电容，并尽量放在靠近芯片的位置。如果系统其他地方需要使用内部基准电压，则必须在外部对其进行缓冲后再连接到其他外部电路。

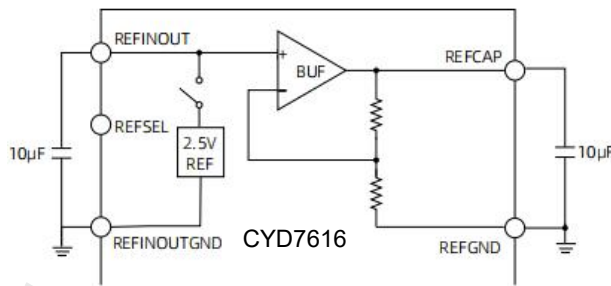


图 35 基准电压电路

ADC 传递函数

CYD7616 的LSB大小取决于FSR的大小，即FSR/65536，其输出转换值的编码方式为二进制补码。ADC在±10V RANGE、±5V RANGE、±2.5V RANGE的传递函数为：

$$\begin{aligned} \pm 2.5V \quad \text{CODE} &= \frac{V_{IN}}{2.5V} \times 32768 \times \frac{2.5V}{\text{REFINOUT}} \\ \pm 5V \quad \text{CODE} &= \frac{V_{IN}}{5V} \times 32768 \times \frac{2.5V}{\text{REFINOUT}} \\ \pm 10V \quad \text{CODE} &= \frac{V_{IN}}{10V} \times 32768 \times \frac{2.5V}{\text{REFINOUT}} \end{aligned}$$

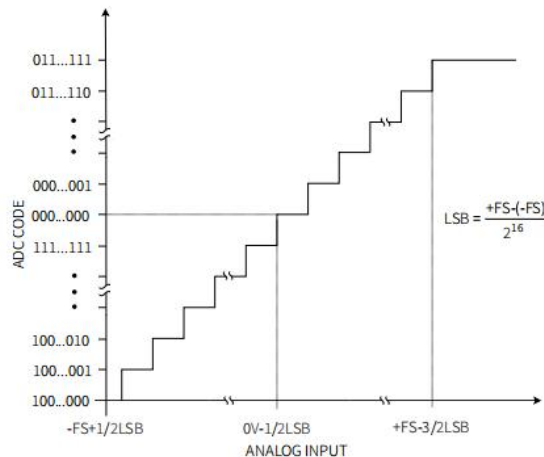


图 36 传递特性

RANGE	+FS	MIDSCALE	-FS	LSB
±10V	+10V	0V	-10V	305μV
±5V	+5V	0V	-5V	152μV
±2.5V	+2.5V	0V	-2.5V	76μV

数字滤波器

芯片内置一可选数字滤波器，可提供最高128倍的过采样。在使用较低吞吐率或需要更高信噪比或更宽动态范围的应用中，需要使用该滤波器。数字滤波器的过采样率在硬件模式下由过采样管脚OS2至OS0(OSx)控制，在软件模式下由配置寄存器中的OS位控制。表3提供了不同过采样率的配置方式以及相应信噪比性能。

表 3 不同过采样率下 SNR 性能

OSx管脚/OS 位	OSR	典型 SNR(dB)		
		±2.5V	±5V	±10V
000	无过采样	86.5	88.8	89.6
001	2	87.6	90.1	91.2
010	4	88.7	91.3	92.7
011	8	89.5	92.5	93.7
100	16	91.2	93.8	94.9
101	32	92.7	95	95.9
110	64	94	95.9	96.4
111	128	94.9	96.3	96.7

在硬件模式下，完全复位释放时，OSx管脚上的信号配置情况决定了要使用的过采样率；在软件模式下，配置寄存器中的OS位完成配置后，过采样率立刻生效，且对所有通道均使能过采样。

如果OSx管脚/OS位选择8倍过采样，则CONVST上升沿完成选定通道的第一次采样，该通道的其余7次采样由内部产生的采样信号完成。8次采样全部完成后，对这些样本求平均值，以改进SNR性能。随着过采样率提高，-3 dB带宽降低，容许的采样频率也降低。转换时间随着过采样率提高而线性增加。

图37为芯片不同过采样率所对应的典型SNR性能。

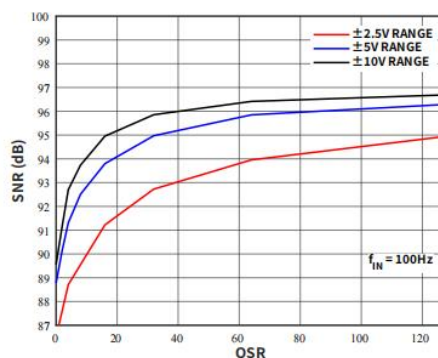


图 37 传递特性SNR与OSR的关系图

功能与模式

功耗模式

CYD7616 有三种功耗模式：转换模式、待机模式和关断模式。在转换模式下，2个ADC同时进行转换，典型功耗为180mW。在待机模式下，ADC处于低功耗状态，但采样电路仍然保持在工作状态，以便能够随时响应CONVST信号立即进入转换模式。待机模式下功耗略有降低，典型功耗为160mW。在关断模式下，大部分电路模块均关断，所有寄存器清零并复位至默认值，此时芯片的典型功耗为5.3 μ W。CYD7616 在完全复位时（RESET管脚保持低电平超过1250ns）即进入关断模式。当RESET管脚从低电平变为高电平时，芯片退出关断模式，进入待机模式。退出关断模式后，需要一定等待时间才能执行特定操作：执行寄存器写操作的等待时间约为5ms，执行转换的等待时间为12ms。

工作模式

CYD7616 支持两种工作模式：硬件模式和软件模式。当芯片完全复位完成，RESET管脚从低电平变为高电平时，HW_RNGSELx管脚的逻辑电平决定工作模式。如果HW_RNGSELx=2'b00，则芯片进入软件模式，其它值都会将芯片配置为硬件模式，只是模拟输入范围根据HW_RNGSELx的不同取值而不同，如表2所示。工作模式配置完成后，如果想切换到另外一种工作模式，必须通过RESET管脚执行完全复位。

硬件模式

硬件模式时，所有功能都是通过管脚进行配置。为了配置芯片的功能，完全复位后会检查以下信号的逻辑电平：CRC、BURST、SEQEN和OSx。表4汇总了不同工作模式下，完全复位释放时管脚信息锁存情况。完成配置后，如果需要变更为另一种配置，必须通过RESET管脚执行完全复位。根据所选的接口类型，可用功能可能会受到限制。复位释放时会查询CHSELx管脚状态，以决定初始转换的模拟输入通道，或配置序列器的初始设置。正常工作期间可以对以上设置进行重新配置，方法是在CONVST上升沿之前设置CHSELx信号电平并保持不变，直到BUSY再次变为低电平。HW_RNGSELx信号控制所有16个模拟输入通道的模拟输入范围。这些管脚的逻辑状态改变会立即影响模拟输入范围，并且模拟输入范围改变后，还有典型值约为120 μ s的建立时间要求。因此建议通过硬连线方式预先设置好每个通道所需要的输入范围。



注意：

硬件模式下禁止访问片内寄存器。

表 4 锁存的硬件信号汇总

信号	完全复位释放时锁存		部分复位释放时锁存		BUSY 下降沿锁存	
	硬件模式	软件模式	硬件模式	软件模式	硬件模式	软件模式
HW_RNGSELx ¹	是	是				
REFSEL	是	是				
SEQEN	是	否				
SER/PAR	是	是				
CRCEN	是	否				
OSx	是	否				
BURST	是	否				
CHSELx			是	否	是	否

SER1W	是	是				
-------	---	---	--	--	--	--



1: 只对软硬件模式选择的配置进行锁存, 输入范围的配置即时生效。

软件模式

软件模式下, 除了接口类型和基准电压选择必须通过相应管脚配置外, 芯片的所有配置都要通过片内寄存器进行设置。

多功能管脚

CYD7616 部分管脚具备双功能, 具体功能取决于芯片的工作模式以及接口模式, 如表5所示。

表 5 管脚功能概览

管脚	工作模式			
	软件模式, HW_RNGSELx = 00		硬件模式, HW_RNGSELx ≠ 00	
	串行, SER/PAR = 1	并行, SER/PAR = 0	串行, SER/PAR = 1	并行, SER/PAR = 0
CHSELx	无功能, 连接到 DGND	无功能, 连接到 DGND	CHSELx	CHSELx
SCLK/RD	SCLK	RD	SCLK	RD
WR/BURST	连接到 DGND	WR	BURST	BURST
DB15/OS0 至 DB13/OS2	连接到 DGND	DB15 至 DB13	OSx	DB15 至 DB13
DB12/SDOA	SDOA	DB12	SDOA	DB12
DB11/SDOB	SDOB, 串行 1 线模式下 浮空	DB11	SDOB	DB11
DB10/SDI	SDI	DB10	连接到 DGND	DB10
DB9 至 DB6, DB3 至 DB0	连接到 DGND	DB9 至 DB6, DB3 至 DB0	连接到 DGND	DB9 至 DB6, DB3 至 DB0
DB5/CRCEN	连接到 DGND	DB5	CRCEN	DB5
DB4/SER1W	SER1W	DB4	SER1W	DB4
HW_RNGSELx	HW RNGSELx, 连接到 DGND	HW RNGSELx, 连接到 DGND	HW RNGSELx, 配置模拟输入范围	HW RNGSELx, 配置模拟输入范围
SEQEN	无功能, 连接到 DGND	无功能, 连接到 DGND	SEQEN	SEQEN
REFSEL	REFSEL	REFSEL	REFSEL	REFSEL

复位

芯片有两种复位模式: 完全复位和部分复位。不同模式选择取决于RESET管脚上复位脉冲的宽度。复位低电平脉冲宽度在200ns至1100ns时, 识别为部分复位; 复位低电平脉冲宽度在1250ns以上时, 识别为完全复位。复位释放后 (RESET管脚拉高), 芯片都需要等待一定的时间才可以启动转换, 部分复位等待时间为50ns, 完全复位等待时间为12ms。

在硬件模式下, 不论部分复位还是完全复位释放时均会查询CHSELx和HW_RNGSELx管脚, 以便执行如下操作:

- 确定初始转换通道。
- 配置序列器的初始设置。
- 选择模拟输入电压范围。

以上配置在正常工作期间可以重新配置，方法是在CONVST上升沿到来之前设置好CHSELx信号电平，并在BUSY再次变为低电平之前维持信号电平不变。详情参见通道选择部分。

部分复位

部分复位会重新初始化下列模块：

- 序列器
- 数字滤波器
- SPI
- 两个 SARADC

部分复位完成时，会丢弃当前转换结果，但不会影响软件模式下设置的寄存器值，或硬件和软件模式下锁存的用户配置值。部分复位之后，软件模式下需要执行一次伪转换。

完全复位

完全复位会将芯片复位至默认上电状态。完全复位释放（RESET管脚拉高）时HW_RNGSELx、REFSEL、SER/PAR和DB4/SER1W管脚的逻辑电平决定了以下内容的具体配置：

- 硬件模式或软件模式
- 内部/外部基准电压源
- 接口类型

若选择硬件模式，则当完全复位释放时，CRC、BURSTEN、SEQEN和OSx信号所决定的功能也会被锁存，锁存之后信号的变化将不再会影响相关配置。

通道选择

硬件模式

CHSELx信号的逻辑电平决定要转换的通道对，信号解码信息参见表6。完全复位或部分复位释放时，CHSELx信号决定了待转换的初始通道对，复位之后，在每个BUSY信号的下降沿会重新检查CHSELx信号的逻辑电平，以便更新待转换的通道配置。详情参见图38。

软件模式

在软件模式下，要转换的通道由通道寄存器选择。上电或复位后，默认的待转换通道为V0A和V0B。具体请参考图39和图40。

表 6 CHSELx 管脚解码

通道选择输入管脚			转换通道	序列器模式转换通道
CHSEL2	CHSEL1	CHSEL0		
0	0	0	V0A,V0B	仅通道 0

0	0	1	V1A,V1B	通道 0 到通道 1
0	1	0	V2A,V2B	通道 0 到通道 2
0	1	1	V3A,V3B	通道 0 到通道 3
1	0	0	V4A,V4B	通道 0 到通道 4
1	0	1	V5A,V5B	通道 0 到通道 5
1	1	0	V6A,V6B	通道 0 到通道 6
1	1	1	V7A,V7B	通道 0 到通道 7

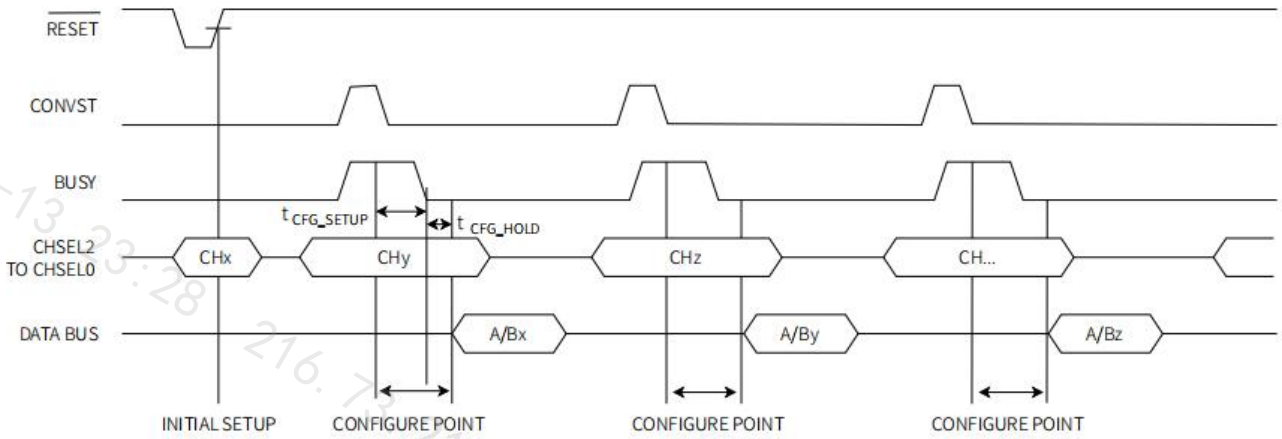


图 38 硬件模式通道转换设置图

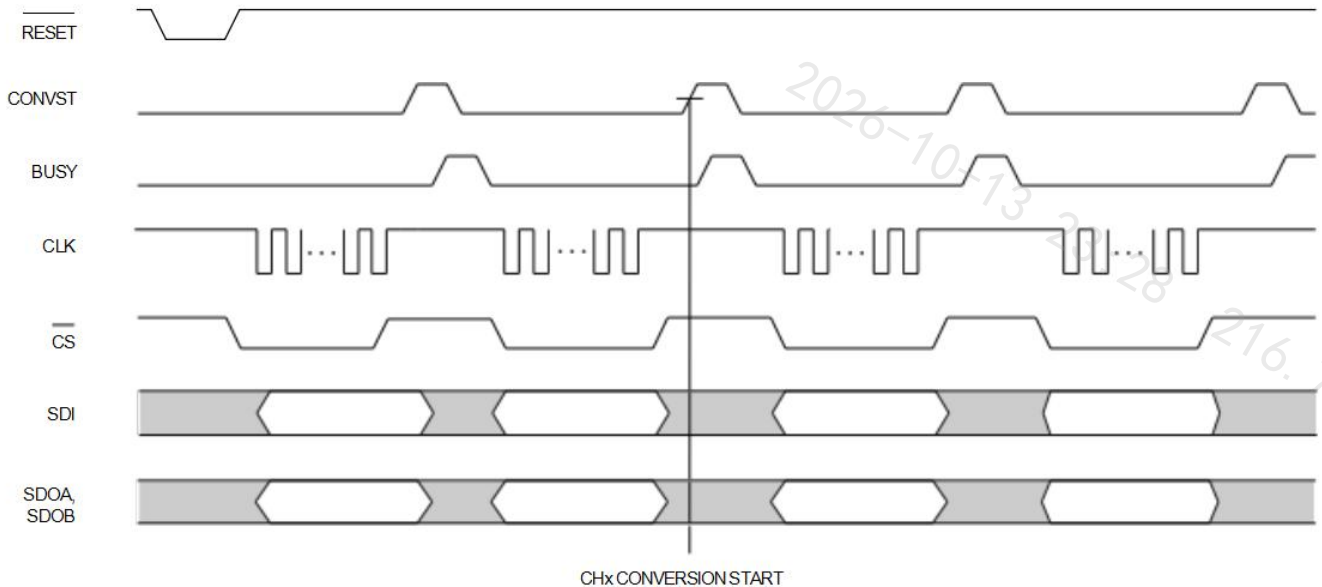


图 39 串行模式通道转换设置图

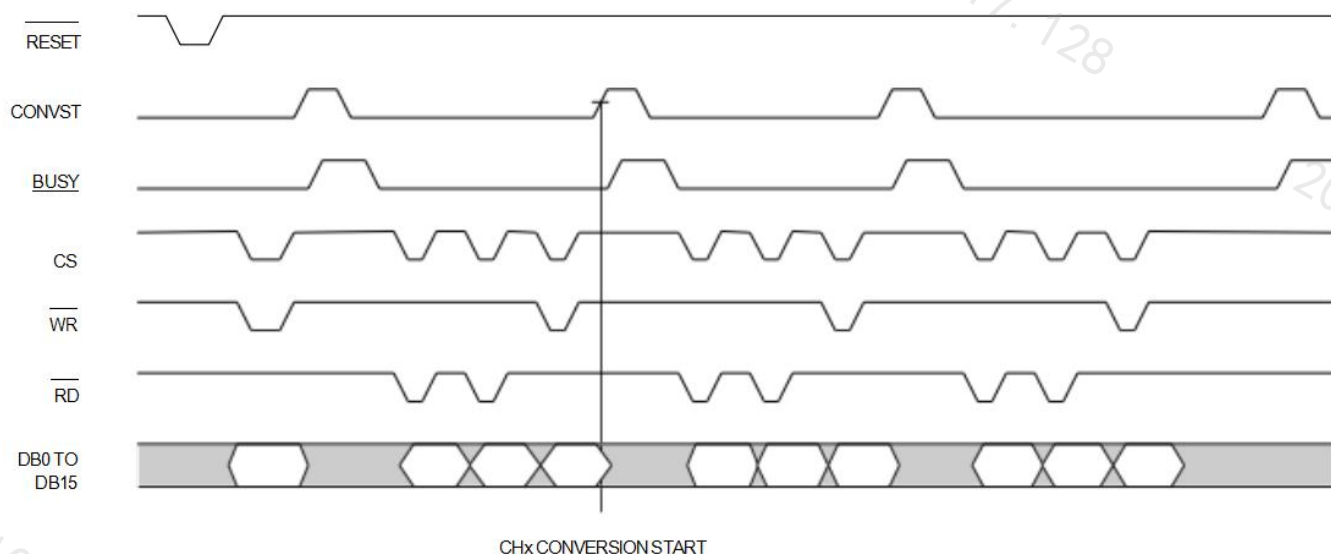


图 40 软件并行模式通道转换设置图

序列器

CYD7616 内置了一个转换通道序列器，用户可以根据实际应用来提前预设待转换通道及其顺序，无需每次转换完再重新配置下一对待转换通道。

硬件模式序列器

如果用户配置CYD7616 为硬件模式，则将SEQEN管脚置为高电平，即可开启序列器功能。此时，可通过配置管脚CHSELx来决定序列器的转换通道。

表 7 硬件模式序列器配置

SEQEN	接口模式
0	禁用序列器
1	使能序列器

硬件模式下序列器使能后，序列器将从通道0开始进行转换，然后按顺序进行后续通道的转换，直到CHSELx配置的通道号转换完成。硬件模式下，两组转换器的每次转换通道号都是一致的。详情参见图41。

CHSELx管脚在完全复位释放时的逻辑电平决定了序列器模式下的初始转换通道配置，当序列器的最后一个通道转换完成，BUSY管脚拉低时，CHSELx管脚的逻辑电平会更新序列器的转换通道配置，其它时刻CHSELx管脚电平的变化不会对配置产生影响。具体参见表6所示的“序列器模式转换通道”列。

软件模式序列器

如果用户配置CYD7616 为软件模式，则序列器可通过写入相应寄存器来进行配置，从而使序列器应用更加灵活。软件模式下，序列器的通道转换顺序可以任意配置，不必像硬件模式下必须从0开始依次转换。并且两组转换器每次转换的通道号也可以任意组对，不必保持一致。同时，软件模式下的序列器也可以选择诊断通道来进行转换。

序列器的使能，可通过将配置寄存器（地址0x2）中的SEQEN位置1完成。

CYD7616 配备有32个堆栈寄存器，用来设置最多32对通道进行排序转换。其中，SSREN_x决定了序列器的最后一对转换通道，ASEL_x和BSEL_x分别设置两个转换器待转换的通道选择，A/B转换通道号可任意配置。

例如，将第5个堆栈序列器的SSREN_x置1，则ADC将从第1个堆栈寄存器定义的通道对开始进行转换，一直到第5个堆栈寄存器定义的转换通道结束，完成一次序列器的遍历。随后又从第1个堆栈寄存器定义的通道号开始转换。详情参见图42。

软件序列器下的默认配置为，两个转换器都依次转换0~7通道。

需要注意，写入寄存器更新序列器配置后，都需要进行一次伪转换，然后才能输出正确的转换结果。

突发序列器

而在序列器的突发模式下，可以只发送一个CONVST脉冲，芯片自动完成所有序列器通道的转换。序列器突发模式下，BUSY信号在整个序列转换过程中保持高电平，直到最后一组通道转换结束后才拉低，此时可通过配置的通信接口依次读取各通道的转换结果。转换结果输出顺序由序列器中配置的顺序决定。

• 硬件模式突发

在硬件模式下，完全复位释放时保持SEQEN管脚和高电平，该模式配置被锁存，并开启序列器突发模式。后续如要更改序列器模式，必须进行完全复位。详情参见图43。

• 软件模式突发

软件模式下，可将配置寄存器（地址0x2）中的BURST位置1来使能序列器突发模式。详情参见图44。

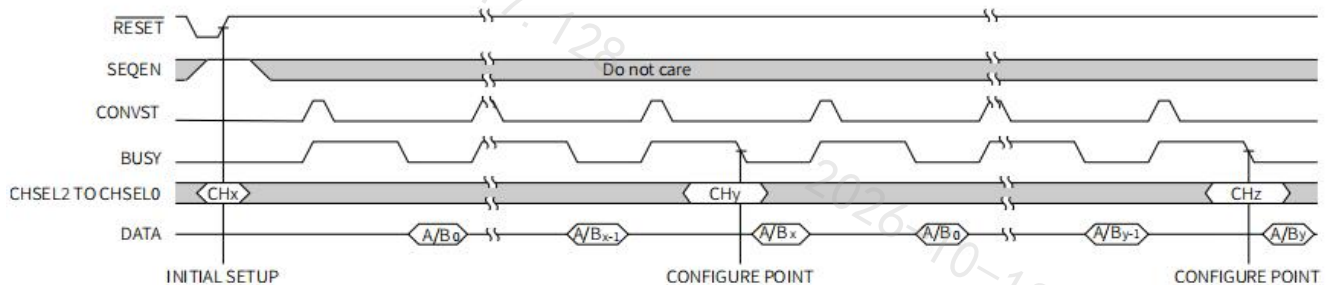


图 41 序列器硬件模式

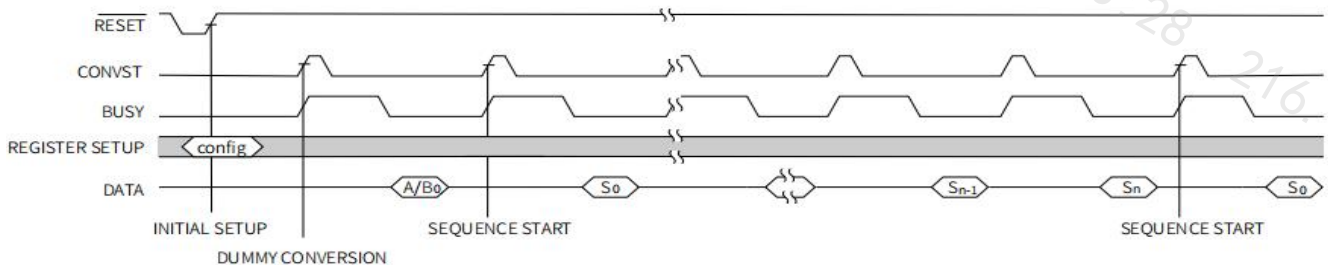


图 42 序列器软件模式

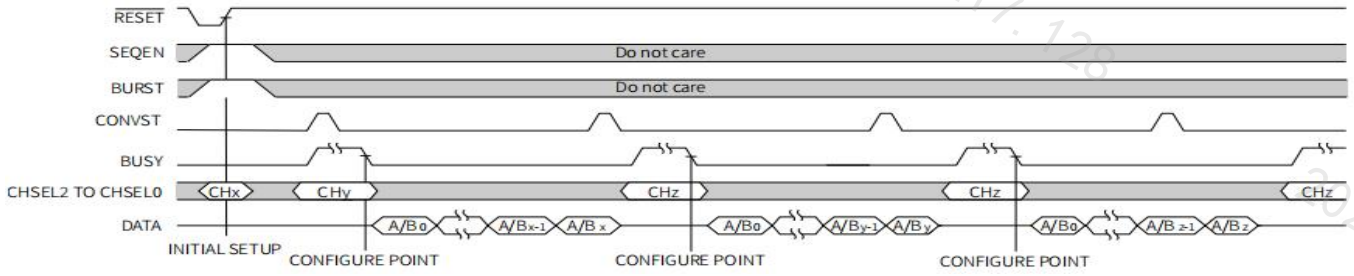


图 43 突发序列器硬件模式

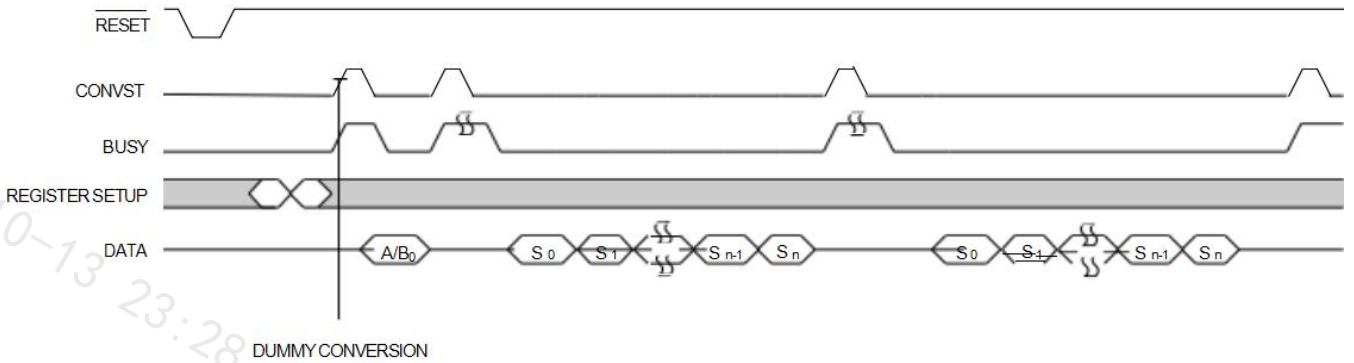


图 44 突发序列器软件模式

诊断

电源监测

除正常模拟输入通道外，在软件模式下，CYD7616 还可以对VCC和ALDO电压进行测量，从而用于判断芯片的工作状态是否正常。

电源监测通道的配置：

- 单次转换：将通道寄存器（地址0x3）中的通道号配置为VCC或ALDO。
- 序列器模式下转换：将堆栈寄存器中的通道号配置为VCC或ALDO。

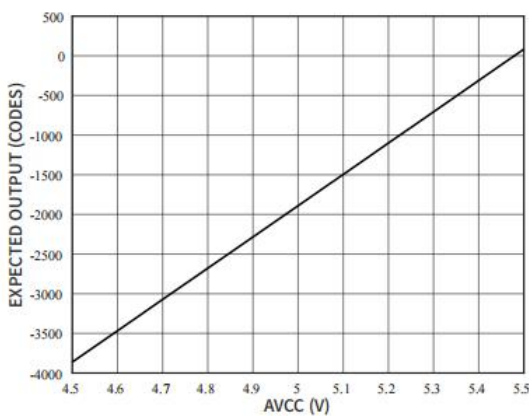


图 45 VCC 诊断传递函数

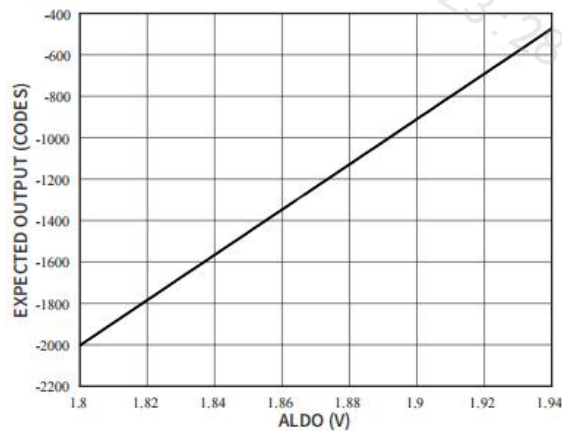


图 46 ALDO 诊断传递函数

诊断通道的预期输出由以下传递函数决定：

$$VCC \text{ code} = \frac{VCC \times 1.8/5 - V_{REF}/2}{0.75 \times V_{REF}} \times 32768$$

$$ALDO \text{ code} = \frac{VALDO - V_{REF}/2}{0.75 \times V_{REF}} \times 32768$$


说明:

以上两个公式中: $V_{REF} = 4V$ 。

接口自测

用户可以通过配置通道寄存器来实现通信接口的自测,用于检验通信接口是否工作正常:当配置通道寄存器为4'b1011时,用户通过通信接口读取转换结果时,通道A将固定输出0xAAAA,通道B将固定输出0x5555。

CRC

CYD7616 转换结果可配置加入CRC校验,从而提高结果输出的准确性。CRC结果保存在16位状态寄存器的低8位,使能了CRC校验功能,也等同于使能了状态寄存器输出功能。

使能CRC后,发送完转换结果,将紧接着发送状态寄存器的16位数据,其中低8位为当前转换结果的CRC校验值。用户可以利用8位CRC校验值对获得的转换结果进行校验和数据纠错。

在普通转换模式或者序列器模式下,每组通道转换结果生成一个CRC校验数据,即首先带入A通道数据再带入B通道求得最终CRC校验值。初始CRC值为0:

Step1: $crc_tmp = crc_func(data_A, 0)$

Step2: $crc_final = crc_func(data_B, crc_tmp)$

如果是突发序列器模式,则重复进行这两步CRC运算,直到所有序列器结果都参与完运算后,得到一个最终的CRC值。

其中, crc_func 表示根据下面的生成多项式求CRC值的函数。

芯片内部用到的CRC生成多项式为:

$$x^8 + x^2 + x + 1$$

使能CRC功能后,用户使用额外的时钟周期获得最终的CRC校验值,并利用此生成多项式完成转换结果的校验。

图47表示了不同模式下CRC结果的生成方式。

配置方法:

- 硬件模式: 在上电完成前或完全复位释放前,将CRCEN管脚配置为高电平,芯片完成上电后,CRC功能将自动开启。
- 软件模式: 将配置寄存器(地址0x02)中的状态寄存器使能位(STATUSEN)或CRC使能位(CRCEN)配置为1,芯片将在下一次转换开启CRC功能。

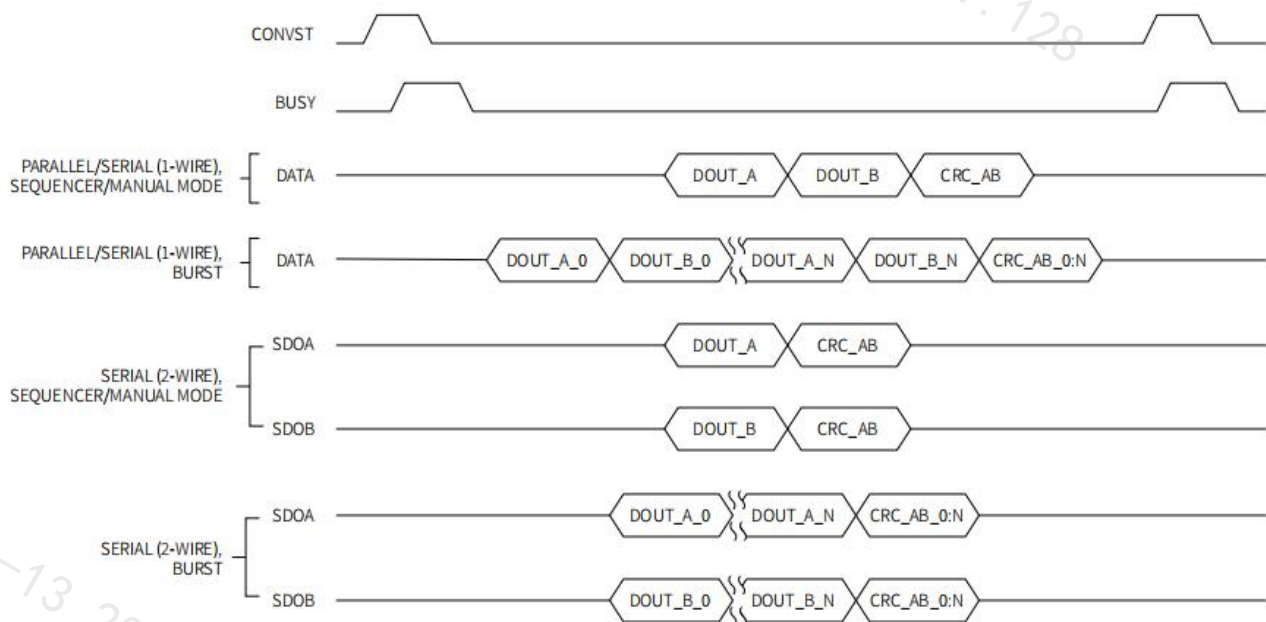


图 47 所有模式的 CRC 回读

数字接口

并行接口

CYD7616 支持通过使用标准WR、RD和CS信号，以并行的方式读取转换的结果及访问内部寄存器。若想启用并行总线模式，需将管脚SER/PAR配置为低。

读取转换结果

如图48所示，CONVST信号使能后，将会启动转换，此时芯片会将BUSY信号变为高电平。当BUSY信号重新回到低电平以后，表示转换已经完成，此时可以通过芯片的并行数据接口读出转换的结果。

通过控制CS和RD信号可以读出转换数据。CS是片选信号，利用该功能可以让多个芯片共享同一并行数据总线。CS的上升沿使总线进入高阻状态，下降沿使总线脱离高阻态。

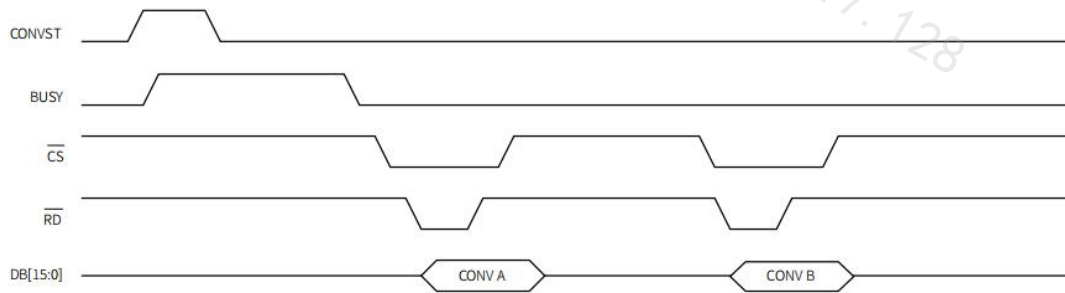
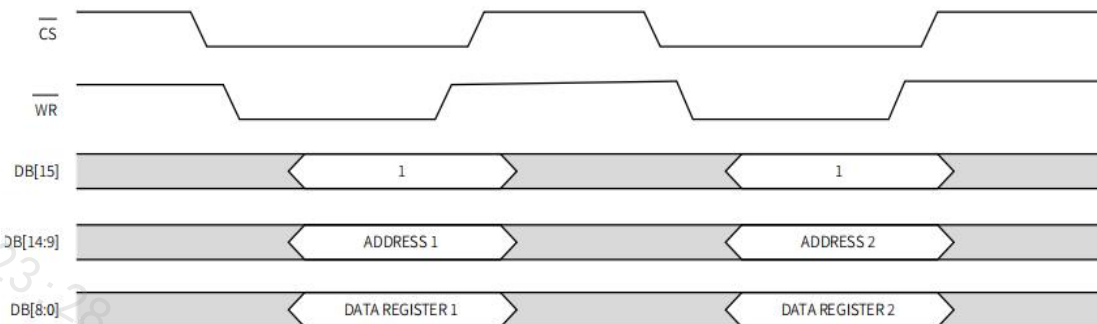
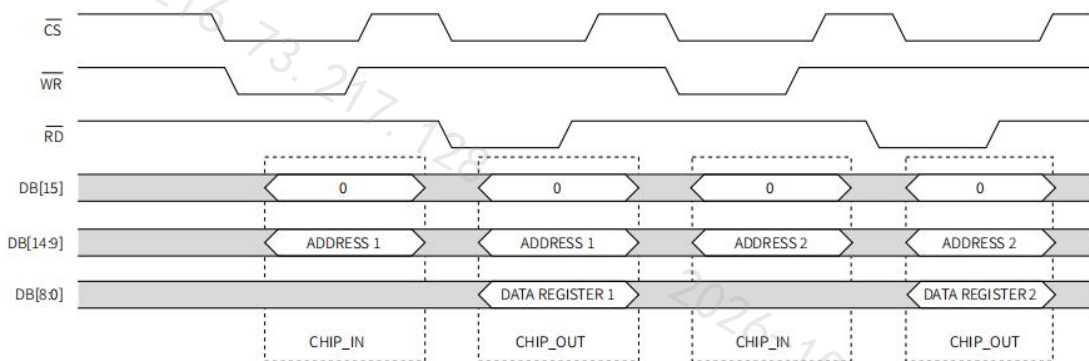
对RD管脚施加一系列低电平脉冲可以使得转换结果依次输出到并行总线上。在每次转换结束时，读取的第一个数据总是A通道的转换结果，第二次是B通道的结果。如果是开启了CRC和突发模式，则需要读操作的次数也会相应的增加。

写寄存器数据

如图49所示，在软件模式下，当CS信号拉低之后，拉低WR信号可以通过并行接口完成寄存器的写入操作。总线的的数据将会在WR的上升沿进行锁定与解析。其中数据D15位必须设置为1，[D14:D9]为需要写入的寄存器地址。随后的9位[D8:D0]为写入寄存器的数据，D0为LSB。相关寄存器地址请参见表9。

读寄存器数据

所有寄存器均可通过并行接口读取。要读取一个寄存器的值，首先须向CYD7616 写入要读取的寄存器地址。寄存器读操作如图50所示。要选择读命令，必须将位D15设为0。[D14:D9]为寄存器地址。忽略[D8:D0]的数据。读命令在WR的上升沿锁存到CYD7616 中。随后便可以发送一个RD（上划线）低脉冲，在RD的上升沿，通过DB15至DB0管脚读取数据，其中DB15固定为0，DB14至DB9为读取的寄存器地址，DB8至DB0为对应寄存器数据。


图 48 并行接口转换结果读取

图 49 并行接口寄存器写操作

图 50 并行接口寄存器读操作

串行接口

若想通过串行接口访问CYD7616，则需要将SER/PAR管脚连接至高电平。通过控制CS和SCLK信号完成与CYD7616的数据传输。CYD7616有两个串行输出管脚SDOA和SDOB，可以采用1线串口或者2线串口模式读出数据。在2线串口模式下，SDOA和SDOB会分别输出A、B通道的转换结果。在1线串口模式下，SDOA交替输出每次转换A、B通道的转换结果。详情参见图51和图52。

串口模式由SER1W管脚控制，并在完全复位释放时锁存。SER1W=1配置为2线串口模式，SER1W=0配置为1线串口模式。

读取转换结果

CONVST信号使能后，将会启动转换，此时芯片会将BUSY信号变为高电平。当BUSY信号重新回到低电平以后，转换完成，此时可以通过芯片的串行数据接口，读出转换的结果。CS是片选信号，利用该功能可以让多个芯片共享同一串行数据总线。CS的上升沿使总线输出端口SDOA和SDOB进入高阻状态，下降沿使其脱离高阻态并输出转换结果的MSB。在CS保持为低时，转换数据将会随着SCLK的上升沿按位逐个的送出至数据输出端口SDOA和SDOB。若开启为2线串口模式，则读取一次转换结果需要16个SCLK。若开启为1线串口模式，此时吞吐速率会降低，需要32个SCLK才能将两个通道的数据全部读出。

在串行1线模式下，SDOB管脚应保持浮空，通道结果将在SDOA管脚上按VxA、VxB的顺序输出。图52所示为1线串行回读操作。串行接口模式下的数据回读速度取决于SPI频率、VDRIVE电源和SDO线上的负载电容CLOAD。下表列出了不同条件下可实现的最大速度。

表 8 SPI 频率与负载电容和 VDRIVE 的关系

VDRIVE(V)	CLOAD(pF)	SPI 频率(MHz)
2.3~3.3	20	40
3.3~3.6	30	50

写寄存器数据

串行接口可以实现对内部寄存器的写入。若想更改寄存器的值，则需要CS信号拉低之后，随着SCLK的上升沿送入16位写入指令。此时D15应设置位1，[D14:D9]为寄存器地址。随后的9位[D8:D0]为写入寄存器的数据。图53所示为典型串行写命令。

读寄存器数据

串行接口可以实现对内部寄存器的读取。若想读取内部寄存器的值，则需要CS信号拉低之后，随着SCLK的上升沿送入16位读取指令，读取指令的位D15必须设为0，[D14:D9]为寄存器地址，忽略[D8:D0]数据。随后发送一个有效的SPI指令或者无操作(NOP)指令完成对寄存器数据的读取。图54所示为典型串行读命令。

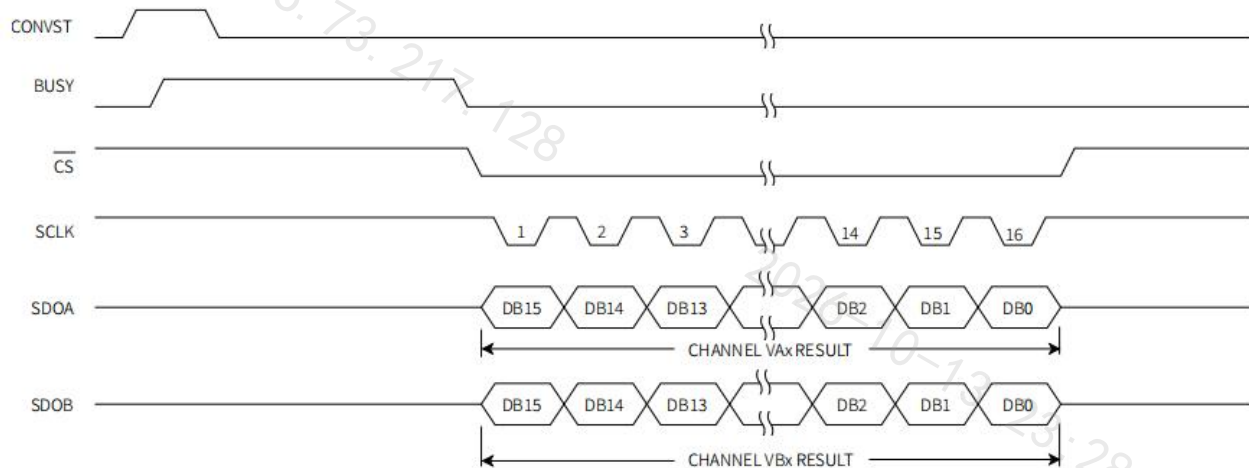


图 51 2 线串口模式转换结果读取

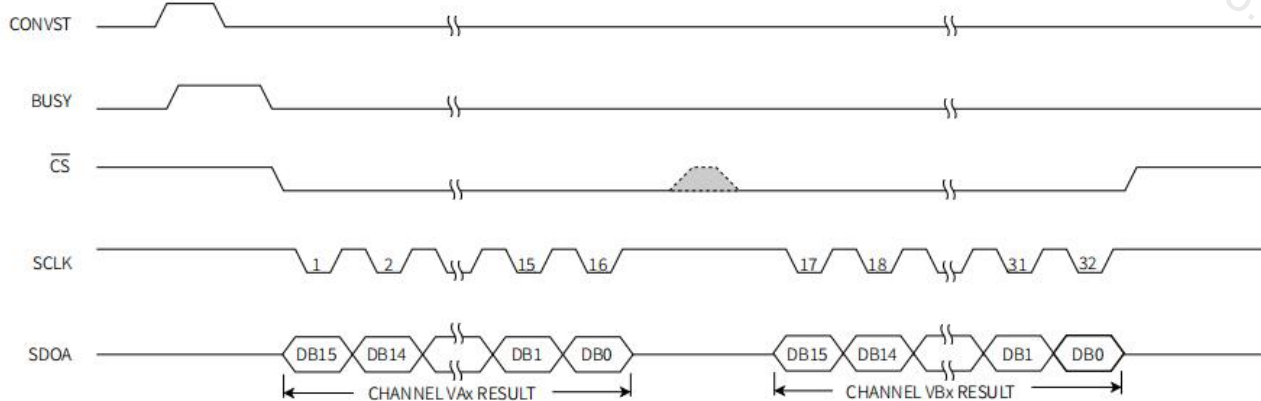


图 52 1 线串口模式转换结果读取

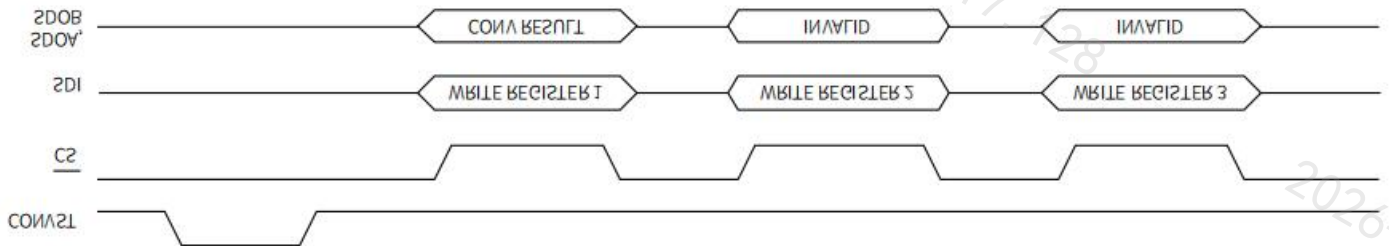


图 53 串行接口寄存器写操作

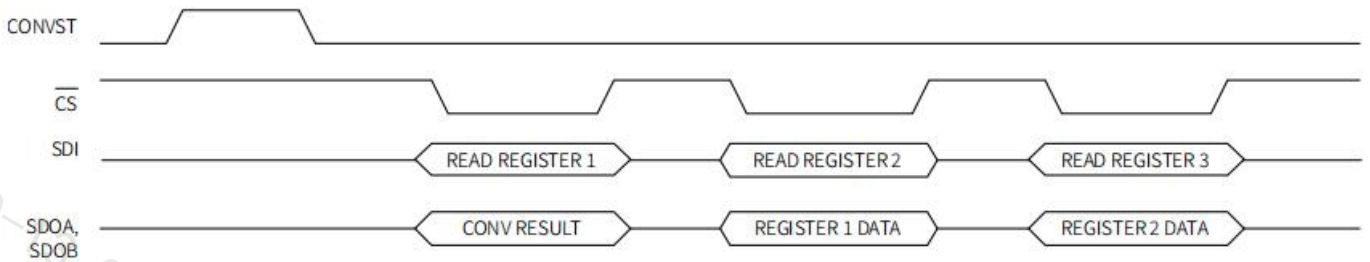


图 54 串行接口寄存器读操作

寄存器

CYD7616 有6个读写寄存器，用于在软件模式下进行相关功能配置，以及32个堆栈寄存器，用于对片上序列器进行灵活配置。此外还有一个只读状态寄存器，包含转换的通道信息和CRC结果。各寄存器地址见表9所示。

表 9 寄存器汇总表

ADDR.	NAME	DEFAULT VALUE	BITS	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
0x02	CONFIG	0x0000	[15:8]	-							RSV ²
			[7:0]	SDEF	BURSTE N	SEQEN	OS			STATUSEN	CRCEN
0x03	CHANNEL	0x0000	[15:8]	-							RSV
			[7:0]	CHB				CHA			
0x04	RANGE A1	0x00FF	[15:8]	-							RSV
			[7:0]	V3A		V2A		V1A		V0A	
0x05	RANGE A2	0x00FF	[15:8]	-							RSV
			[7:0]	V7A		V6A		V5A		V4A	
0x06	RANGE B1	0x00FF	[15:8]	-							RSV
			[7:0]	V3B		V2B		V1B		V0B	
0x07	RANGE B2	0x00FF	[15:8]	-							RSV
			[7:0]	V7B		V6B		V5B		V4B	
0x20			[15:8]								SSREN _x

to 0x3F	STACK	0x0000 ¹	[7:0]	BSELx	ASELx
N/A	STATUS	N/A	[15:8]	A[3:0]	B[3:0]
			[7:0]	CRC[7:0]	


注意:

1: 在完全复位和部分复位之后, 会将序列器堆栈寄存器初始化为顺序转换通道V0A/V0B至通道V7A/V7B并循环, 剩余的24个序列器堆栈寄存器被初始化为0x0000。

2: 上表中RSV为Reserved的缩写。

CONFIG (0x02)

位	名称	描述	复位	访问类型
15:9	-	-	-	-
8	RSV	保留。	0x0	RW
7	SDEF	自检测错误标志。 0: 测试通过。上电后成功完成自身配置。 1: 测试失败。器件配置过程中检测到问题要求复位。	N/A	R
6	BURSTEN	突发模式使能。 0: 禁用突发模式。每个要转换的通道对都需要一个 CNVST 脉冲。 1: 单个 CNVST 脉冲就能依次转换序列器堆栈寄存器中设置的每个通道对, 直到 SSRENx 位定义的层。详情参见突发序列器部分。	0x0	RW
5	SEQEN	通道序列器使能。 0: 禁用通道序列器。 1: 使能通道序列器。	0x0	RW
4:2	OS	过采样率 (OSR), 每通道样本数。 000: 禁用过采样。 001: 使能过采样, OSR=2。 010: 使能过采样, OSR=4。 011: 使能过采样, OSR=8。 100: 使能过采样, OSR=16。 101: 使能过采样, OSR=32。 110: 使能过采样, OSR=64。 111: 使能过采样, OSR=128。	0x0	RW
1	STATUSEN	状态寄存器输出使能。 0: 输出转换器结果时, 不输出状态寄存器值。 1: 输出转换结果后, 紧接着输出状态寄存器值。CRC 结果包括在低 8 位中。	0x0	RW
0	CRCEN	CRC 使能。STATUSEN 和 CRCEN 位功能相同。	0x0	RW

CHANNEL (0x03)

位	名称	描述	复位	访问类型
15:9	-	-	-	-
8	RSV	保留。	0x0	RW

7:4	CHB	ADCB 的通道选择位。 0000: V0A/V0B。 0001: V1A/V1B。 0010: V2A/V2B。 0011: V3A/V3B。 0100: V4A/V4B。 0101: V5A/V5B。 0110: V6A/V6B。 0111: V7A/V7B。 1000: VCC。 1001: ALDO。 1010: 保留。 1011: 设置数字接口通信自测功能的专用位。读取转换结果时, 通道 A 读出 0xAAAA, 通道 B 读出 0x5555。 1100: 保留	0x0	RW
3:0	CHA	ADC A的通道选择位。 设置同 ADC B。	0x0	RW

RANGE A1 (0x04)

位	名称	描述	复位	访问类型
15:9	-	-	-	-
8	RSV	保留。	0x0	RW
7:6	V3A	V3A电压范围选择。 00: V3A± 10 V。 01: V3A± 2.5 V。 10: V3A± 5 V。 11: V3A± 10 V。	0x3	RW
5:4	V2A	设置同 V3A。	0x3	RW
3:2	V1A	设置同 V3A。	0x3	RW
1:0	V0A	设置同 V3A。	0x3	RW

RANGE A2 (0x05)

位	名称	描述	复位	访问类型
15:9	-	-	-	-
8	RSV	保留。	0x0	RW
7:6	V7A	设置同 V3A。	0x3	RW
5:4	V6A	设置同 V3A。	0x3	RW
3:2	V5A	设置同 V3A。	0x3	RW
1:0	V4A	设置同 V3A。	0x3	RW

RANGE B1 (0x06)

位	名称	描述	复位	访问类型
15:9	-	-	-	-
8	RSV	保留。	0x0	RW

7:6	V3B	V3A电压范围选择。 00: V3B±10V。 01: V3B±2.5V。 10: V3B±5V。 11: V3B±10V。	0x3	RW
5:4	V2B	设置同 V3B。	0x3	RW
3:2	V1B	设置同 V3B。	0x3	RW
1:0	V0B	设置同 V3B。	0x3	RW

ZRANGE B2 (0x07)

位	名称	描述	复位	访问类型
15:9	-	-	-	-
8	RSV	保留。	0x0	RW
7:6	V7B	设置同 V3B。	0x3	RW
5:4	V6B	设置同 V3B。	0x3	RW
3:2	V5B	设置同 V3B。	0x3	RW
1:0	V4B	设置同 V3B。	0x3	RW

STACK (0x20 to 0x3F)

序列器是以堆栈的形式来构建的，堆栈的每一层代表要同步转换的两个通道。序列器从第1层开始转逐个访问堆栈寄存器，并对寄存器中指定的通道进行转换。当访问到某一堆栈寄存器中的D8位（使能位SSREN_x）设为1时，序列器在转换完该寄存器指定的通道后，回到第1个堆栈寄存器并再次循环。默认情况下，序列器堆栈寄存器设置为顺序转换通道V0A/V0B至通道V7A/V7B并循环。完全复位或部分复位后，序列器堆栈寄存器重新初始化。

位	名称	描述	复位	访问类型
15:9	-	-	-	-
8	SSREN	此位设为 0 时，指示 ADC 在转换完当前通道对之后，转移至序列器堆栈的下一层。此位设为 1 时，ADC 在转换完当前通道对后，序列器回到堆栈的第一层并循环。	0x0	RW
7:4	BSEL	ADC B 的通道选择位。 0000: V0B。 0001: V1B。 0010: V2B。 0011: V3B。 0100: V4B。 0101: V5B。 0110: V6B。 0111: V7B。 1000: VCC。 1001: ALDO。 1010: 保留。 1011: 设置数字接口通信自测功能的专用位。读取转换结果时，通道 A 读出 0xAAAA，通道 B 读出 0x5555。	0x0	RW
3:0	ASEL	ADC A 的通道选择位。设置同 ADC B。	0x0	RW

STATUS (N/A)

状态寄存器是一个16位只读寄存器。若配置寄存器中的STATUSEN位或CRCEN位设为逻辑1，则在转换结果之后，输出状态寄存器。

位	名称	描述	复位	访问类型
15:12	A[3:0]	ADC A 前一次转换的通道。	0x0	R
11:8	B[3:0]	ADC B 前一次转换的通道。	0x0	R
7:0	CRC[7:0]	前一次转换结果的 CRC 校验值。	0x0	RW

应用

典型连接

图55显示了CYD7616 正常工作所需的典型连接。为了达到理想性能，需要注意以下几点：

- 采用100nF电容与10 μ F电容并联，对VCC和VDRIVE进行去耦，其中100nF电容尽量靠近电源引脚。
- 模拟输入管脚VxA (VxB) 和VxAGND (VxBGND) 需要进行输入电阻匹配，以免因为阻抗失配引入增益误差。
- REFCAP和REFGND之间的10 μ F电容应尽可能靠近REFCAP管脚。

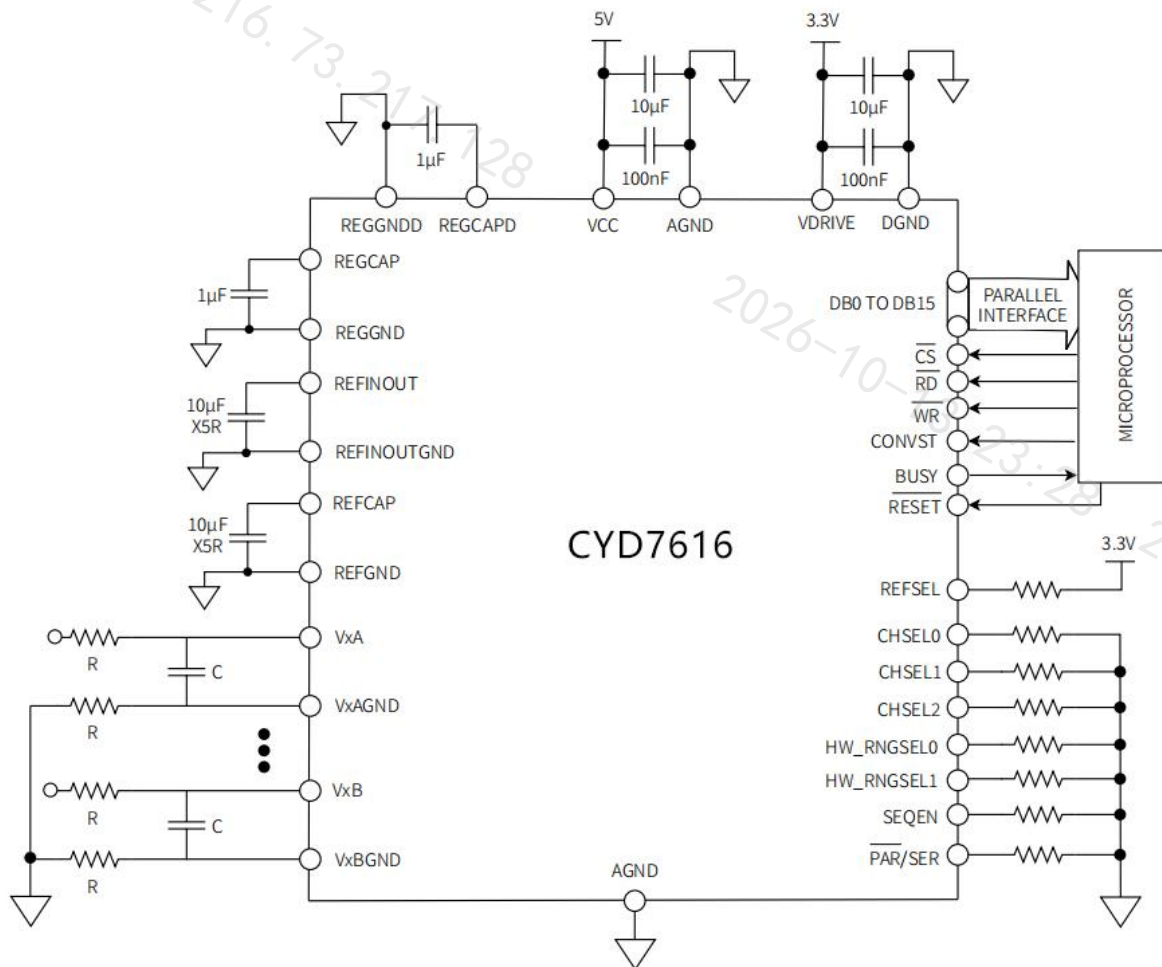


图 55 典型外部连接

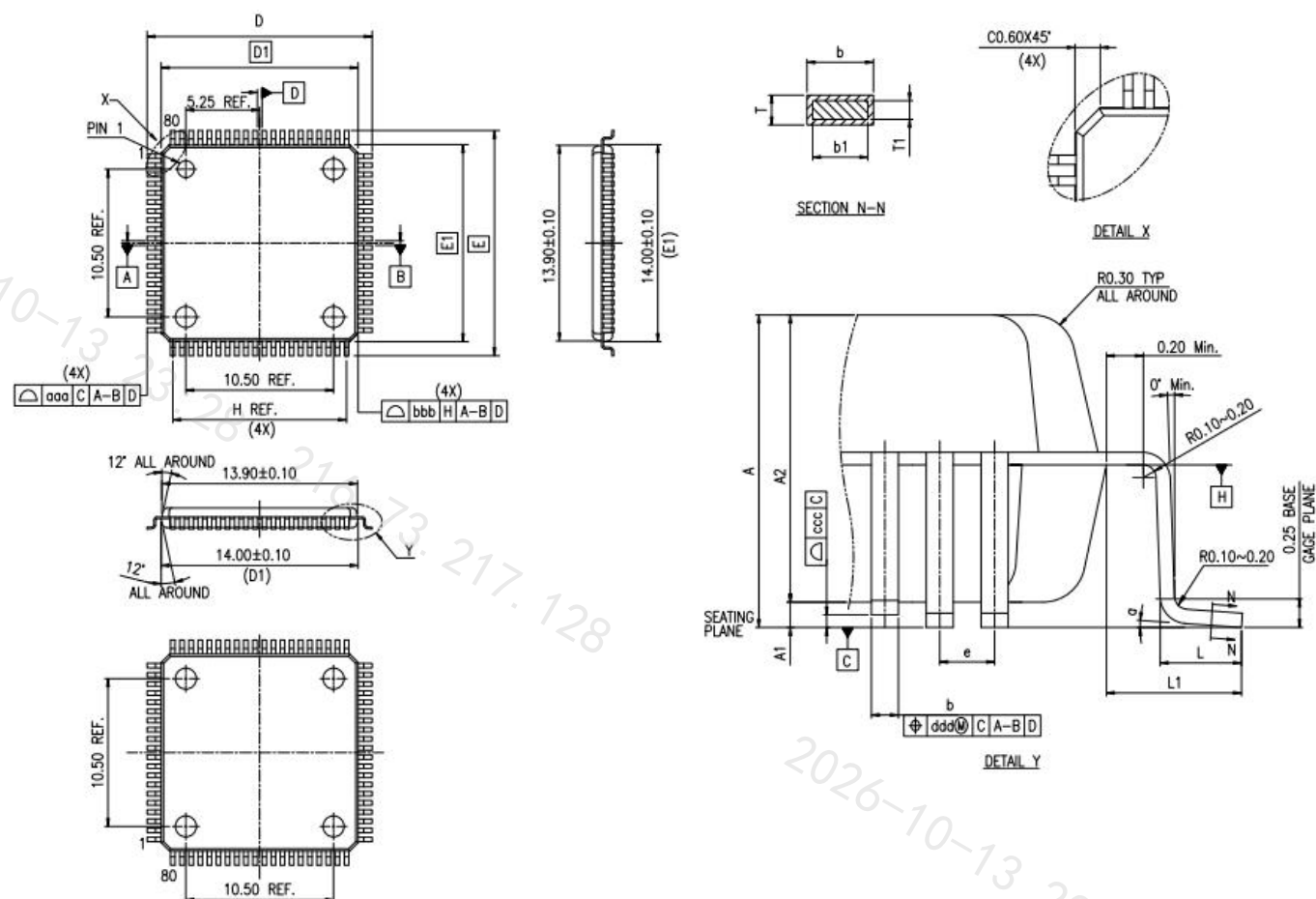
封装信息

封装方式

CYD7616 采用 LQFP80 封装。

产品外形图

产品外形图如下图所示。



标识	尺寸（毫米）		
	最小值	典型值	最大值
A	-	-	1.600
A1	0.050	0.100	0.150
A2	1.350	1.400	1.450
D	15.800	16.000	16.200
D1	13.900	14.000	14.100
E	15.800	16.000	16.200
E1	13.900	14.000	14.100
L	0.450	0.600	0.750

L1	1.000 (REF)		
T	0.090	0.145	0.200
T1	0.097	0.127	0.157
a	0°	3.5°	7°
b	0.260	0.320	0.380
b1	0.270	0.300	0.330
e	0.650 (BASE)		
H(REF.)	12.350		
aaa	0.200		
bbb	0.200		
ccc	0.080		
ddd	0.080		

订购信息

物料编号	温度范围	等级类型	封装
CYD7616F80-I	-40℃ - 85℃	工业级	LQFP80
CYD7616F80-J	-55℃ - 125℃	军温级	LQFP80

说明

如欲了解更多的产品及公司信息，请联系公司办公室人员或登录公司网站：

联系电话：021-33885531；

网址：<https://mall.ichelps.com/>

本文档中的信息如有变更，恕不另行通知



请使用微信扫码进入
芯片助手ICHELPS小程序

查资料 查替代 查库存 查价格

招募中国区各省代理，联系电话：021-33885531