

文档版本	修订日期	内容描述
1.0	2026-5-25	初版
1.1	2026-9-16	修正了封装相关的说明

CYF7S50

现场可编程门阵列电路

1. 产品介绍

1.1 产品概述

CYF7S50 是基于 SRAM 配置的高密度可编程逻辑阵列电路。其中，6 输入查找表数量 32,600 个，嵌入式存储器容量为 2,700Kbit，用户 I/O 数量 250 个，内置 5 个时钟管理模块，具有 120 个 DSP 数字信号处理模块，资源数量列如表 1 所示。产品信息如表 2 所示。

表1 CYF7S50型 FPGA资源数量

器件	逻辑资源		I/O资源	嵌入式存储器		时钟管理模块	Total I/O Banks	DSP	ADC Blocks
	LUT	DFF	Max User I/O	36Kb 存储单元	BRAM 总容量				
CYF7S50	32600	65200	250	75	2700 Kb	5	5	120	1

表2 CYF7S50型 FPGA产品信息

产品型号	封装规格	HR I/O数量
CYF7S50-FGG484	FGG 484, 23mm×23mm, 1.0mm Ball pitch	250
CYF7S50-CSG484	CSG 484, 18mm×18mm, 0.8mm Ball pitch	250
CYF7S50-CSG324	CSG 324, 15mm×15mm, 0.8mm Ball pitch	210

1.2 产品特点

CYF7S50主要用于具备高级串行连接功能的高性能信号处理应用。

CYF7S50具有以下特点：

- ◆基于可配置为分布式存储器的真实6输入查找表（LUT）技术的高级高性能FPGA逻辑；
- ◆强大的时钟管理块（CMT），结合了锁相环（PLL）和混合模式时钟管理器（MMCM）模块，可实现高精度和低抖动；
- ◆具有内置FIFO逻辑的36Kb双端口Block RAM，用于片上数据缓冲；
- ◆具有25×18乘法器，48位累加器和预加器的DSP Slice，用于高性能滤波，包括优化的对称系数滤波；
- ◆灵活的配置选项，包括：SPI和并行Flash接口；专用的回读重配置逻辑，可支持多比特流；自动总线宽度检测功能；
- ◆对所有器件都有系统监控功能，包括：片上/片外热特性监控；片上/片外电源监控；通过JTAG端口访问所有监控量；

- ◆采用境内28nm工艺设计加工，芯核电压0.9V；
- ◆采用高可靠军级塑封，采用Flip-Chip键合方式；
- ◆用户可配置的模拟接口（XADC），将双12位1MSPS模数转换器与片上温度传感器和电源传感器结合在一起；
- ◆多种配置选项，包括对存储器的支持，具有HMAC/SHA-256身份验证的256位AES加密以及内置的SEU检测和校正。

1.3 产品用途

CYF7S50为可编程逻辑器件，内部集成了功能强大、并可以灵活配置组合的可编程资源，可实现输入输出接口、通用数字逻辑、存储器、数字信号处理、时钟管理等多种功能，同时提供了丰富的专用时钟与布线资源，适用于实现复杂、高速的数字逻辑电路，可广泛应用于通讯、信息处理、工业控制、数据中心、仪表测量、医疗仪器、人工智能、自动驾驶等领域，尤其适用于低功耗、小型化应用场景。

1.4 对应国外产品情况

主要性能指标、引脚与Xilinx公司FPGA产品XC7S50对标。

2. 产品说明

2.1 产品尺寸

2.1.1 CYF7S50-FGG484封装

CYF7S50-FGG484封装尺寸为23mm×23 mm，外形尺寸如图1所示。

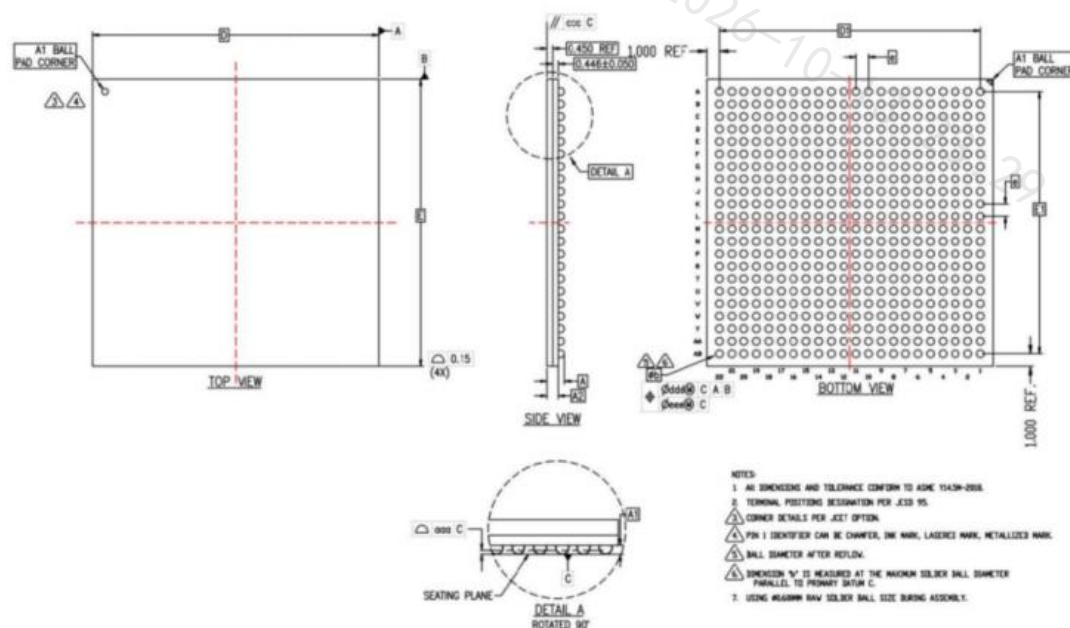


图1 CYF7S50-FGG484封装外形示意图

表3 CYF7S50-FGG484封装外形尺寸

尺寸符号	数值（单位为毫米）			备注
	最小	公称	最大	
A	1.376	1.451	1.526	SYMBOL”M”IS THE PIN MATRIX SIZE.
A1	0.425	0.475	0.525	
A2	0.919	0.976	1.033	
D	—	23.00	—	
E	—	23.00	—	
D1	—	21.00	—	
E1	—	21.00	—	
e	—	1.00	—	
b	0.55	0.60	0.65	
aaa	—	—	0.20	
ccc	—	—	0.20	
ddd	—	—	0.15	
eee	—	—	0.08	
M	22			

2.1.2 CYF7S50-CSG484封装

CYF7S50-CSG484封装尺寸为18mm×18 mm，外形尺寸如图1所示。

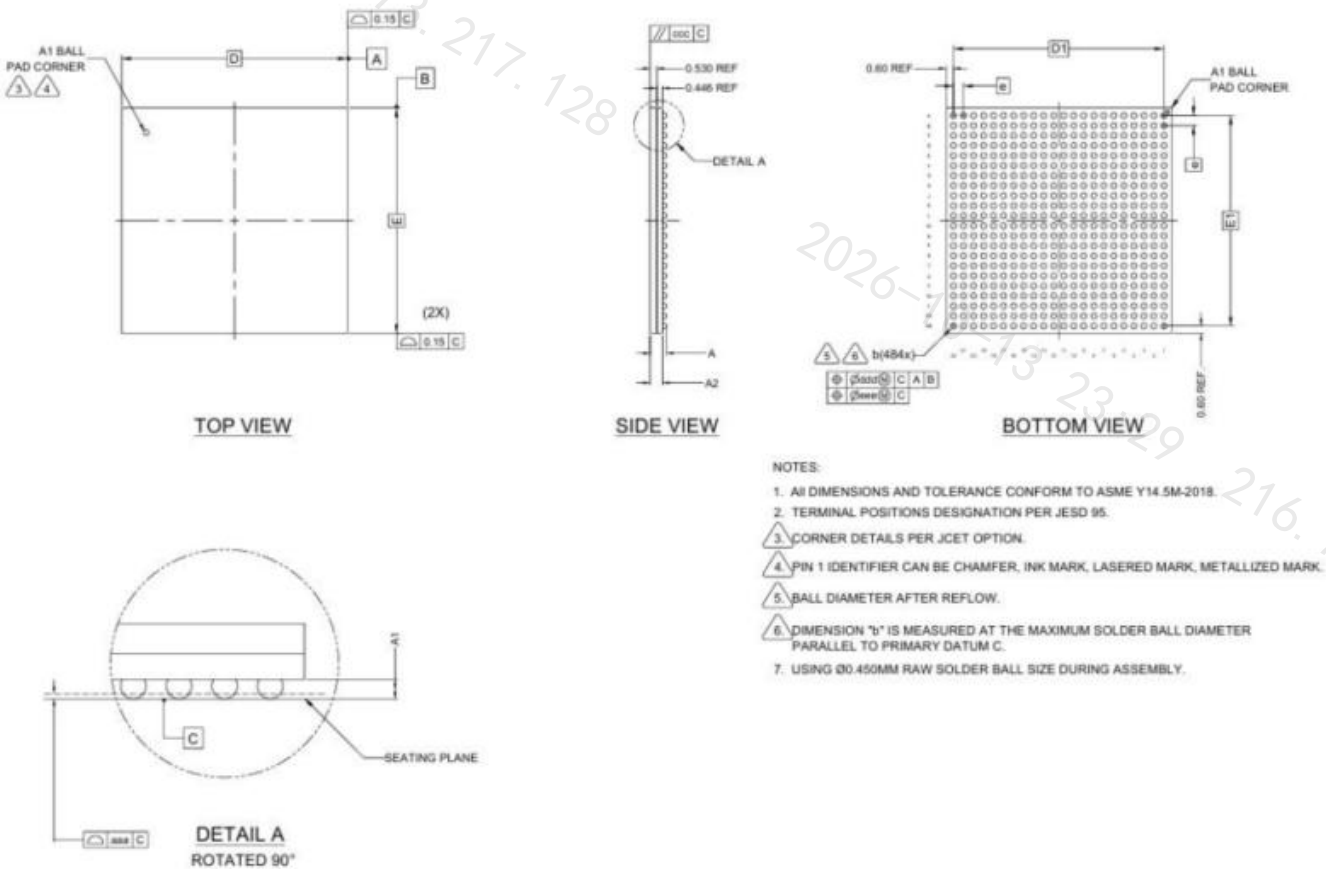


图2 CYF7S50-CSG484封装外形示意图

表4 CYF7S50-CSG484封装外形尺寸

尺寸符号	数值（单位为毫米）			备注
	最小	公称	最大	
A	—	1.319	1.394	SYMBOL”M”IS THE PIN MATRIX SIZE.
A1	0.293	0.343	0.393	
A2	0.919	0.976	1.033	
D	—	18.00	—	
E	—	18.00	—	
D1	—	16.80	—	
E1	—	16.80	—	
e	—	0.80	—	
b	0.40	0.45	0.50	
aaa	—	—	0.20	
ccc	—	—	0.20	
ddd	—	—	0.15	
eee	—	—	0.08	
M	22			

2.1.3 CYF7S50-CSG324封装

CYF7S50-CSG324封装尺寸为15mm×15 mm，外形尺寸如图3所示。

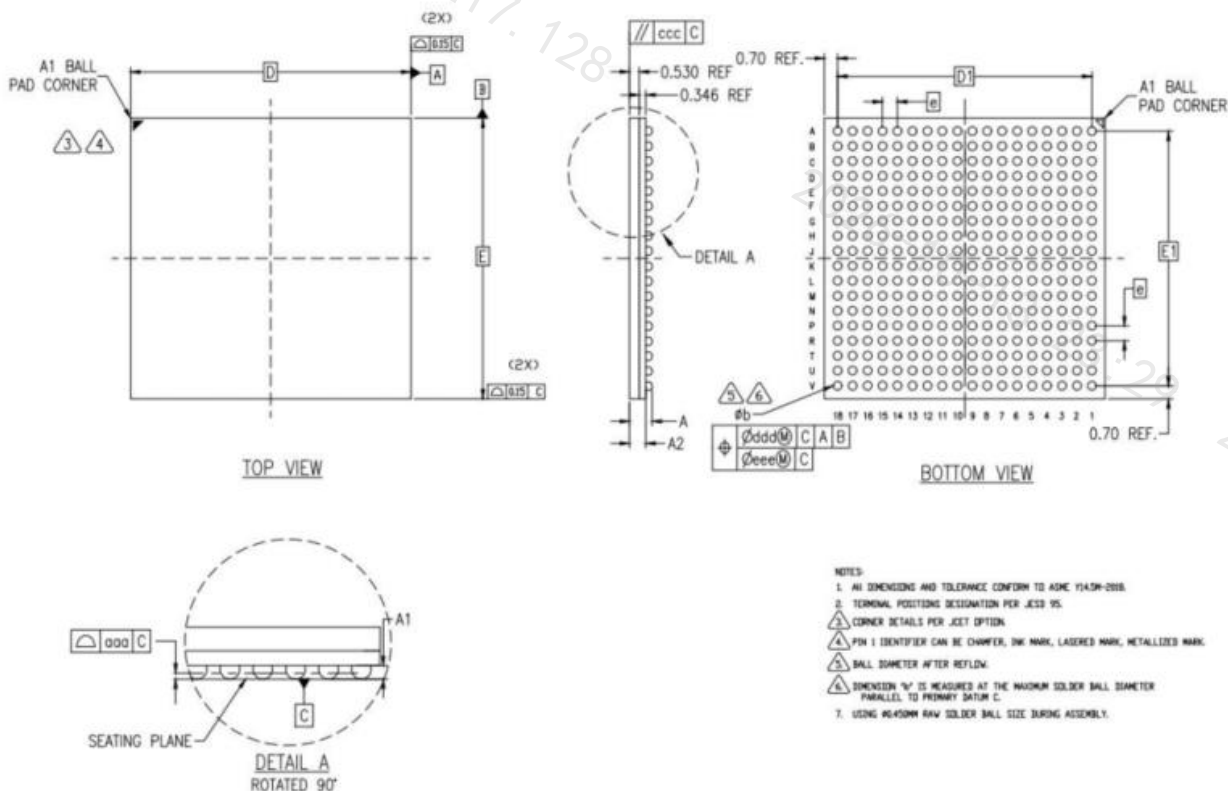


图3 CYF7S50-CSG324封装外形示意图

表5 CYF7S50-CSG324封装外形尺寸

尺寸符号	数值（单位为毫米）			备注
	最小	公称	最大	
A	1.150	1.219	1.288	SYMBOL "M" IS THE PIN MATRIX SIZE.
A1	0.303	0.343	0.383	
A2	0.819	0.876	0.933	
D	—	15.00	—	
E	—	15.00	—	
D1	—	13.60	—	
E1	—	13.60	—	
e	—	0.80	—	
b	0.40	0.45	0.50	
aaa	—	—	0.20	
ccc	—	—	0.20	
ddd	—	—	0.15	
eee	—	—	0.08	
M	18			

2.2重量

CYF7S50-FGG484封装质量不大于2.0克，CYF7S50-CSG484封装质量不大于1.5克，CYF7S50-CSG324封装质量不大于1.0克。

2.3工艺说明

器件采用28nm CMOS工艺设计加工。

2.3.1封装工艺

器件采用FlipChip的方式实现芯片与基板的互连，焊球材料为Ni+SnAg。

2.3.2引脚说明

2.3.2.1 CYF7S50-FGG484封装

器件采用FGG484封装，引出端排列应符合图4规定，其管脚定义见附录A.1。

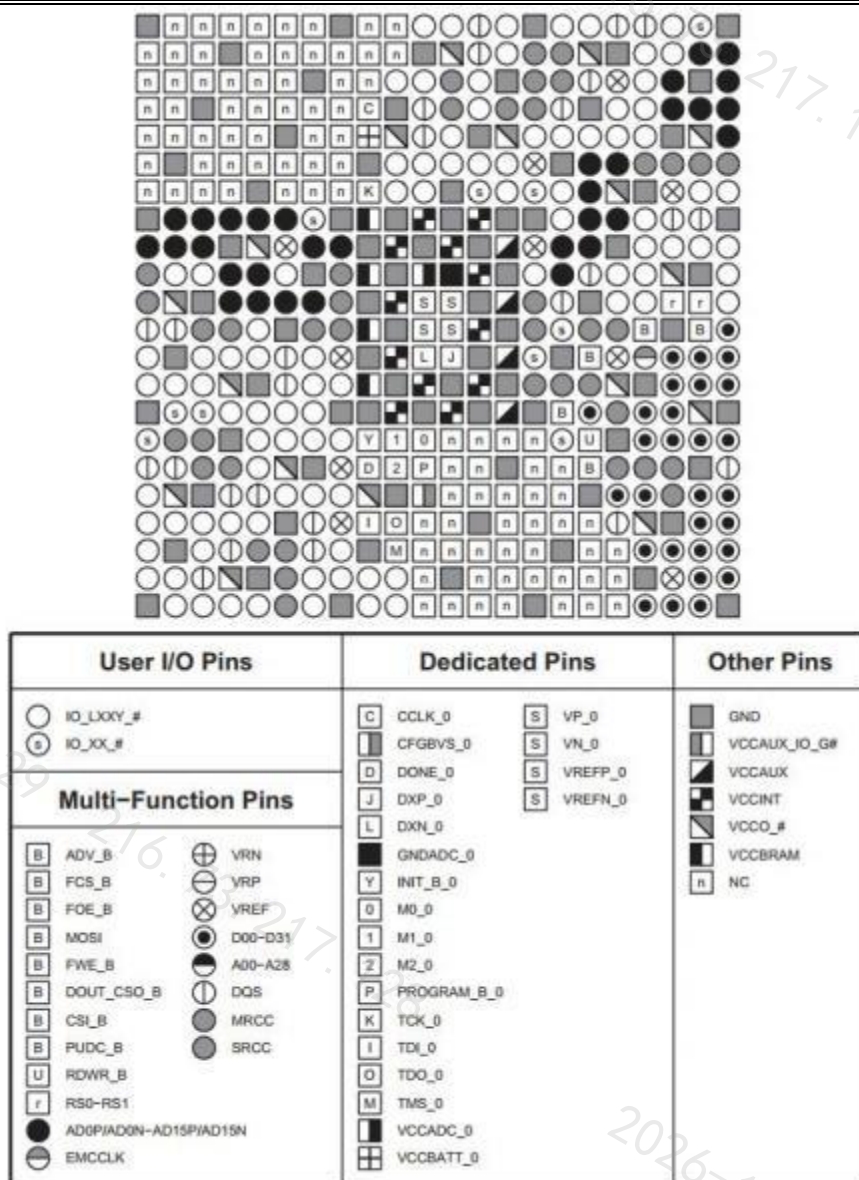


图4 CYF7S50-FGG484封装引脚示意图

2.3.2.2 CYF7S50-CSG484封装

器件采用CSG484封装，引出端排列应符合图4规定，其管脚定义见附录A.2

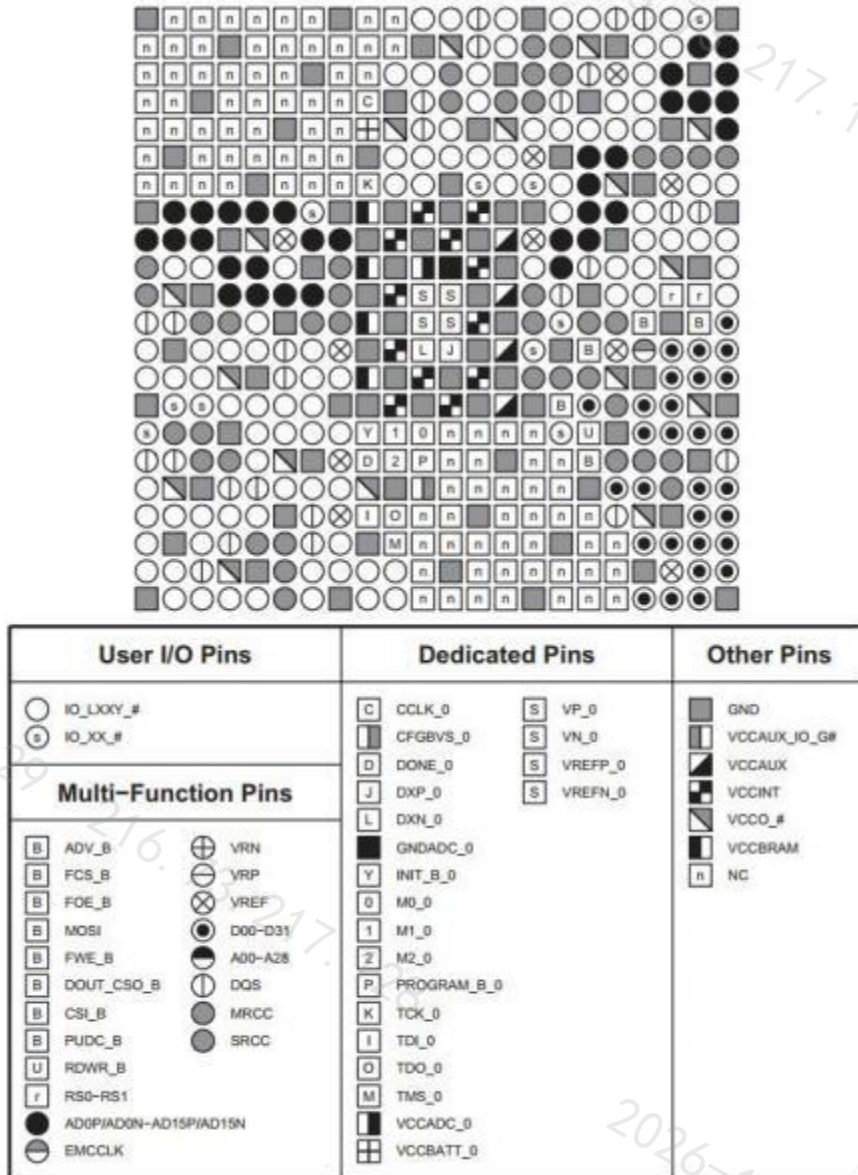
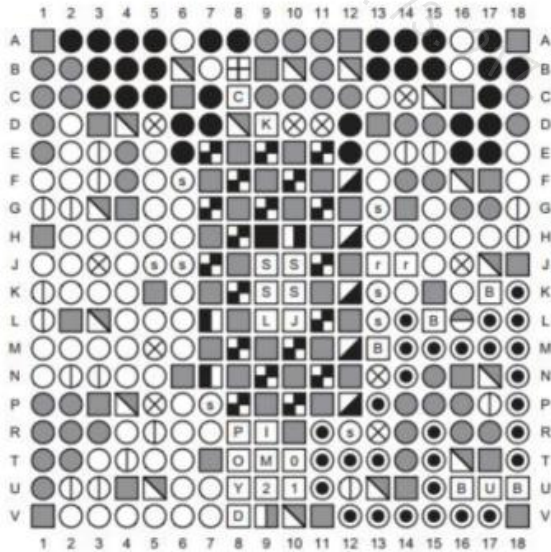


图5 CYF7S50-CSG484封装引脚示意图

2.3.2.3 CYF7S50-CSG324封装

器件采用CSG324封装，引出端排列应符合图6规定，其管脚定义见附录A.3。



User I/O Pins	Dedicated Pins		Other Pins
- IO_LXXY_# - IO_XX_#	- CCLK_0 - CFGBVS_0 - DONE_0 - DXP_0 - DXN_0 - GNDADC_0 - INIT_B_0 - M0_0 - M1_0 - M2_0 - PROGRAM_B_0 - TCK_0 - TDI_0 - TDO_0 - TMS_0 - VCCADC_0 - VCCBATT_0	- VP_0 - VN_0 - VREFP_0 - VREFN_0	- GND - VCCAUX_IO_G# - VCCAUX - VCCINT - VCCO_# - VCCBRAM - NC
Multi-Function Pins			
- ADV_B - FCS_B - FOE_B - MOSI - FWE_B - DOUT_CS0_B - CSI_B - PUDC_B - RDWR_B - RS0-RS1 - AD0P/AD0N-AD15P/AD15N - EMCCLK	- VRN - VRP - VREF - D00-D31 - A00-A28 - DQS - MRCC - SRCC		

图6 CYF7S50-CSG324封装引脚示意图

2.4标识说明

产品标志应按规范GJB597B-2012规定，器件编号为CYF7S50，见图7。

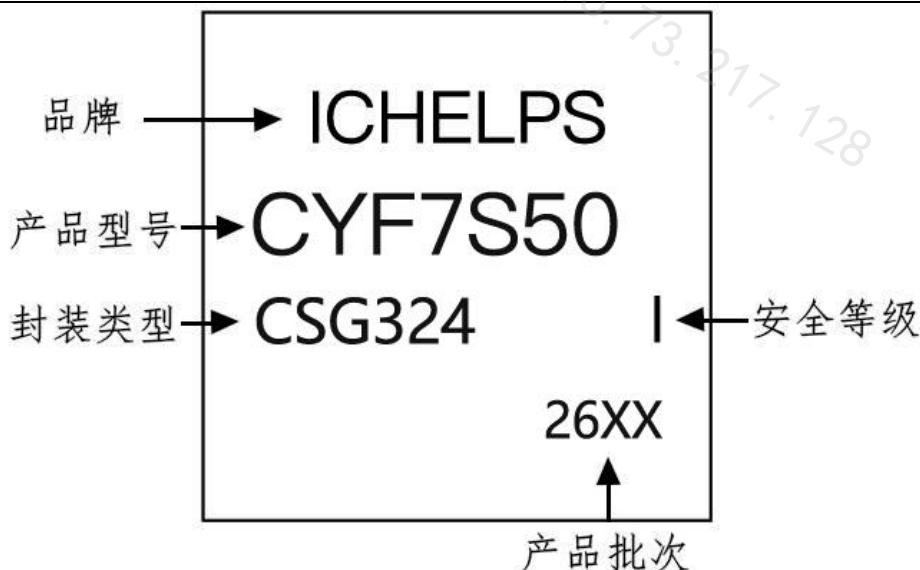


图7器件标识示意图

3、标准执行情况

该产品质量等级参考IPC/JEDEC J-STD-20 MSL3级执行，考核标准符合《半导体集成电路CYF7S50型现场可编程门阵列电路详细规范》要求。

4、基本工作原理简述

4.1 器件功能概述

本器件是现场可编程门阵列（FPGA），可以下载比特流文件到芯片中完成用户根据设计需求的电路功能。器件主要由可编程逻辑模块（CLB）、输入输出模块（IOB）、存储器模块（BRAM）、乘法器（DSP）、数字时钟管理模块（CMT）以及互连布线模块等资源组成。

4.2 可编程逻辑模块

CYF7S50中的CLB是实现时序电路和组合电路的主要逻辑资源。每个CLB元件连接到一个可访问通用布线矩阵的开关矩阵（general routing matrix, GRM）。如图8 CLB结构框图所示，CLB元件包含一对Slice。这两个Slice相互间没有直接连接，各Slice组织成一个列。列中的每个Slice具有独立的进位链。对于每个CLB，CLB底部的Slice标为Slice(0)，CLB顶部的Slice标为Slice(1)。其中CLB内的Slice排列示意图如图9所示。

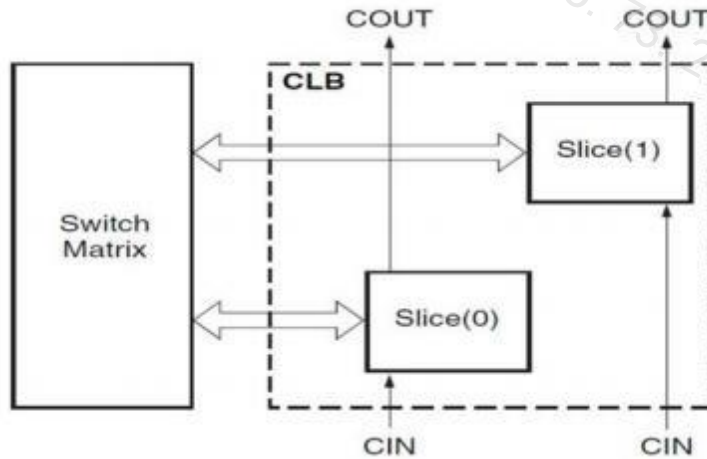


图8 CLB结构框图

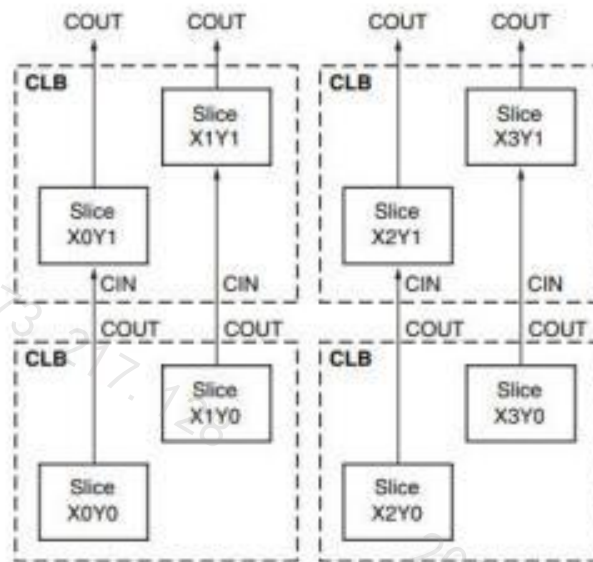


图9 CLB内的Slice排列示意图

4.2.1 SLICE描述

每个Slice包含四个逻辑函数发生器（即查找表）、八个存储元件、多功能多路复用器和进位逻辑。所有Slice都通过这些元件进行逻辑、算术和ROM函数运算。除此之外，有些Slice还支持两个附加功能：用分布式RAM存储数据和用32位寄存器进行数据移位。支持这些附加功能的Slice称为SLICEM；其他Slice则称为SLICEL。SLICEM（如图10）代表所有Slice中元件和连接功能的扩展集。SLICEL（如图11）所示。

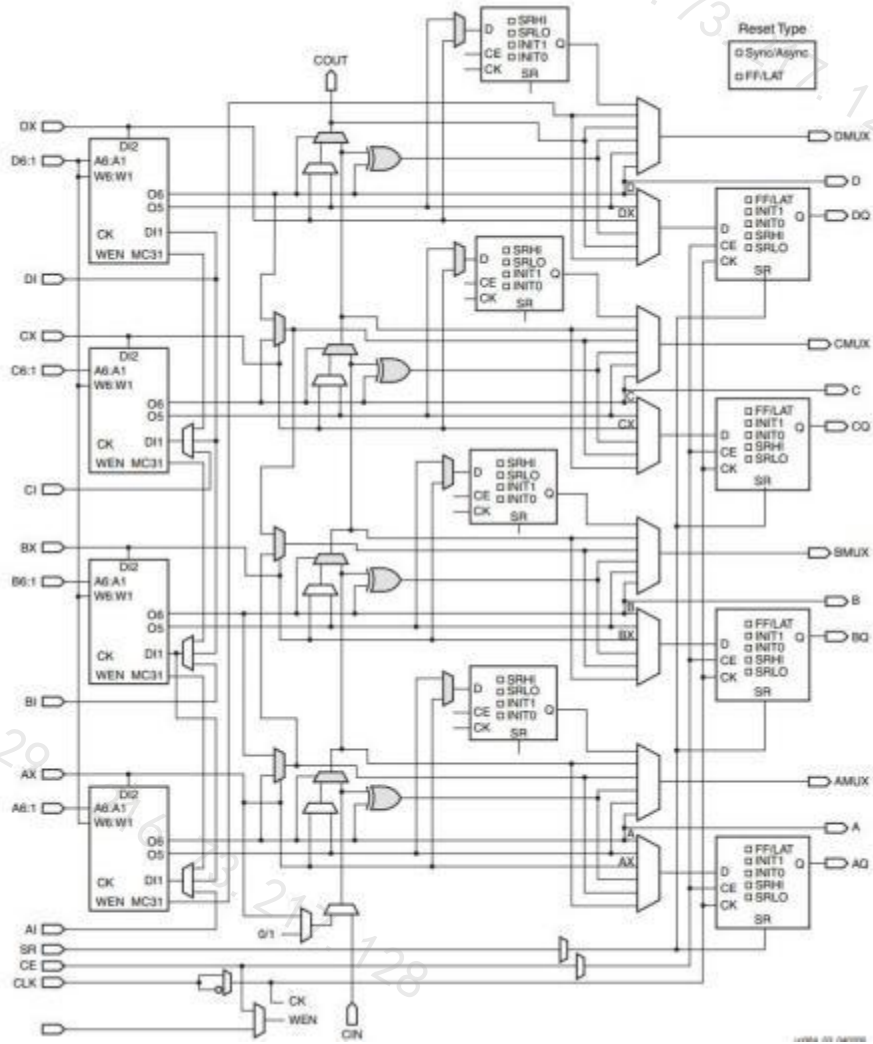


图10 SLICEM图

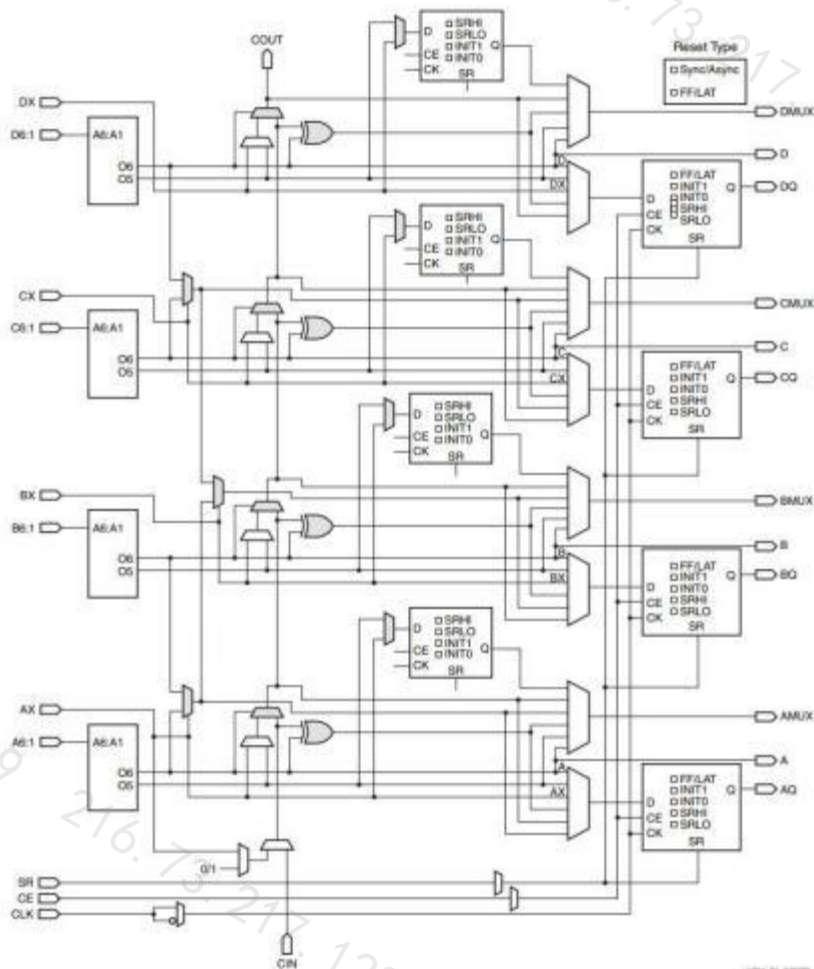


图11 SLICEL图

4.2.2查找表

CYF7S50函数发生器是以六输入查找表(LUT)形式实现的。Slice中的四个函数发生器（A、B、C和D）各有六个独立输入（A输入A1到A6）和两个独立输出（O5和O6）。这些函数发生器可以实现任何任意定义的六输入布尔函数。各函数发生器还可以实现两个任意定义的五输入布尔函数，只要这两个函数可共用输入即可。实现六输入函数时，只使用函数发生器的O6输出。在实现的两个五输入函数发生器中，O5和O6都会用到。在这种情况下，A6由软件置为High。通过LUT的传播延迟与所实现的函数无关，也与实现的是一个六输入发生器还是两个五输入发生器无关。来自函数发生器的信号可以离开Slice（对于O6是通过A、B、C、D输出，对于O5是通过AMUX、BMUX、CMUX、DMUX输出），从O6输出进入专用的XOR门，或从O5输出进入进位逻辑链，或从O6输出进入进位逻辑多路复用器的选择线，或馈入存储元件的D输入，或者从O输出传送到F7AMUX/F7BMUX。

除了基本LUT，CYF7S50还包含三个多路复用器（F7AMUX、F7BMUX和F8MUX）。这些多路复用器用来将最多四个函数发生器组合在一起，以便在Slice中提供七个或八个输入的任意函数。F7AMUX和F7BMUX用来从LUT A和B或C和D生成七输入函数；而F8MUX则用来组合所有LUT，以生成八输入函数。超过八个输入的函数可以用多个Slice实现。各Slice之间没有直接连接可用来在一个CLB中或在各Slice之间形成超过八个输入的函数发生器。

4.2.3 存储元件

CYF7S50 Slice中的存储元件可以配置成边沿触发式D型触发器或电平敏感型锁存器。D输入可由LUT的一个通过AFFMUX、BFFMUX、CFFMUX或DFFMUX的输出直接驱动，也可由BYPASS Slice输入通过AX、BX、CX或DX输入通过旁路函数发生器后直接驱动。如果配置成锁存器，则当CLK为Low时锁存器透明。

在一个Slice中，时钟（CK）、时钟使能（CE）和设置/复位（SR）这些控制信号为所有存储元件共用。如果Slice中一个触发器的SR或CE已经激活，则该Slice中使用的其他触发器的SR或CE也会被公共信号激活。仅CLK信号具有独立极性。放置在时钟信号上的任何倒相器都被自动吸收。CE、SR和REV信号为High有效。所有触发器和锁存器基元都有CE和非CE版本。

SR信号强制存储元件进入由属性SRHIGH或SRLOW指定的状态。当SR置为有效时，SRHIGH强制存储元件的输出为逻辑High，而SRLOW则强制存储元件的输出为逻辑Low。表6提供了使用SRLOW和SRHIGH时的真值表。

表6使用SRLOW和SRHIGH时的真值表

SR	SRVAL	功能
0	SRLOW(default)	无逻辑变化
1	SRLOW(default)	0
0	SRHIGH	无逻辑变化
1	SRHIGH	1

对于Slice中的各存储元件，可分别设置SRHIGH和SRLOW。对于Slice中的各存储元件，不可分别设置同步（SYNC）或异步（ASYNC）设置/复位（SRTYPE）选项。配置后的初始状态或全局初始状态分别由INIT0和INIT1属性定义。默认状态下，设置SRLOW属性就是设置INIT0，而设置SRHIGH属性就是设置INIT1。CYF7S50器件可以独立于SRHIGH和SRLOW设置INIT0和INIT1。寄存器或锁存器的设置和复位功能的配置选项如下：

- 无设置或复位
- 同步设置
- 同步复位

- 异步设置（预设置）
- 异步复位（清零）

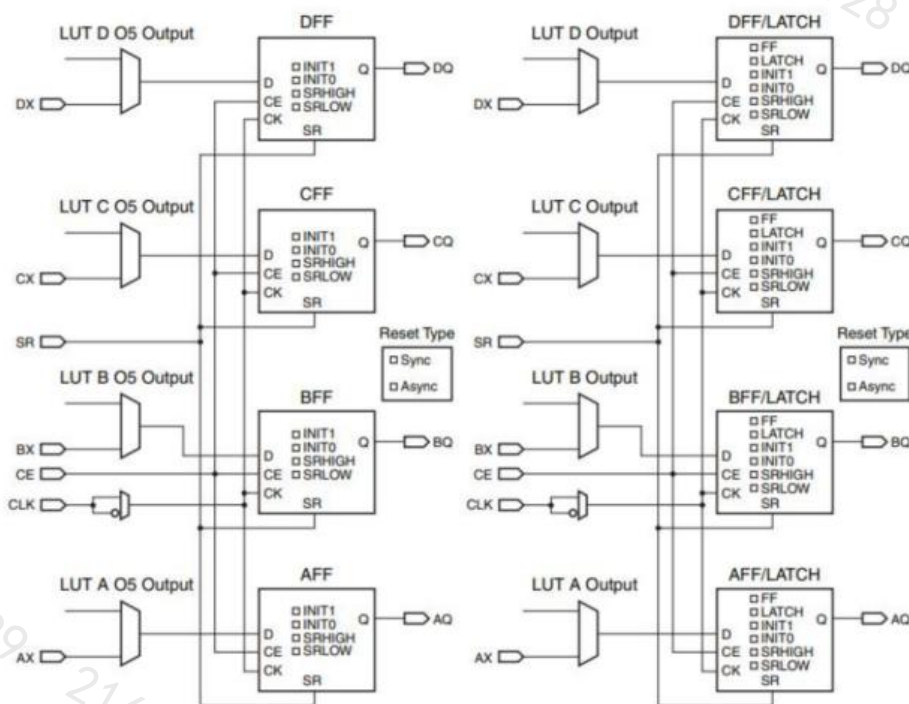


图12 Slice中的两种配置版本（仅4个寄存器和4个寄存器/锁存器）

4.2.4 分布式RAM和存储器（只能在SLICEM中使用）

可以用各种方法将SLICEM中的多个LUT组合起来，以存储大量数据。

可以把SLICEM中的函数发生器（LUT）配置成一种称为分布式RAM元件的同步RAM资源。

在SLICEM内可以将RAM元件配置成以下形式：

- ◆ 单端口32×1位RAM；
- ◆ 双端口32×1位RAM；
- ◆ 四端口32 x 2位RAM
- ◆ 简单双端口32 x 6位RAM
- ◆ 单端口64 x 1位RAM
- ◆ 双端口64 x 1位RAM
- ◆ 四端口64 x 1位RAM
- ◆ 简单双端口64 x 3位RAM
- ◆ 单端口128 x 1位RAM
- ◆ 双端口128 x 1位RAM
- ◆ 单端口256 x 1位RAM

分布式RAM模块是同步（写）资源。可以用同一Slice中的一个存储元件或触发器实现同步写。通过合理设置这个触发器的位置，可以将触发器的延迟缩短到触发器的时钟到输出范围内，从而提高分布式RAM的性能。不过，这样会附加一个时钟延迟。分布式元件共用相同的时钟输入。对于写操作，必须将写使能(WE)输入（由SLICEM的CE或SLICEM的WE引脚驱动）设置为High。

对于单端口配置，分布式RAM有一个同步写和异步读共用的地址端口。对于双端口配置，分布式RAM有一个同步写和异步读端口，另外还有一个异步读端口。在简单双端口配置中，没有来自写端口的数据输出（读端口）。对于四端口配置，分布式RAM有一个同步写和异步读端口，另外还有三个异步读端口。

在单端口模式下，读和写地址共用同一地址总线。在双端口模式下，一个函数发生器与共用的读写端口地址连接。第二个函数发生器的A输入连接到另一个只读端口地址，WA输入共用第一个读/写端口地址。

图13到图21所示为用一个SLICEM配置不同分布式RAM的示例。当使用x2配置(RAM32X2Q)时，A6和WA 6由软件置为High，以保持O5与O6独立。

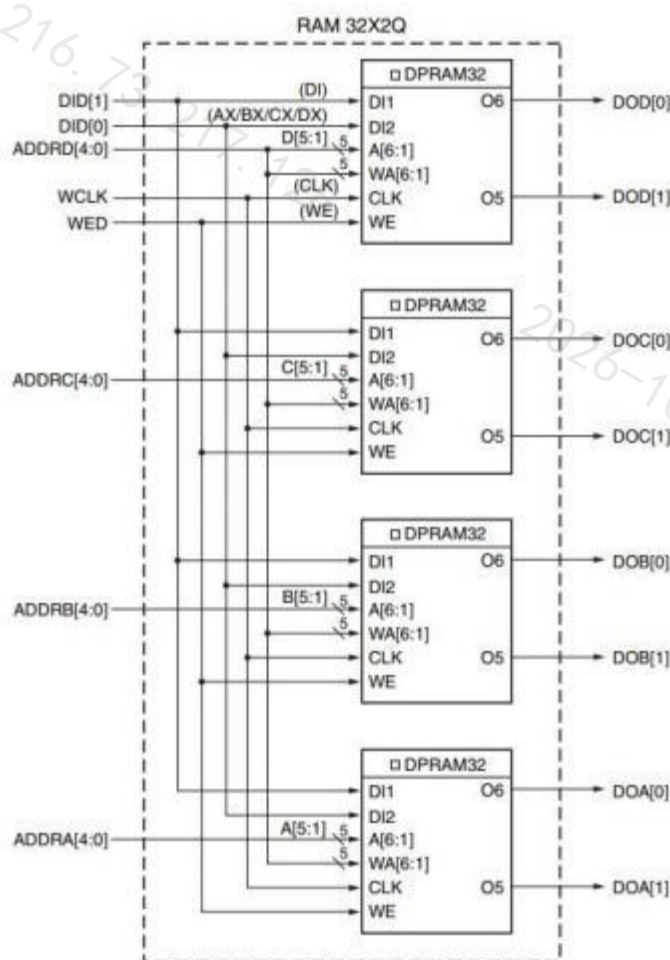


图13分布式RAM(RAM32X2Q)

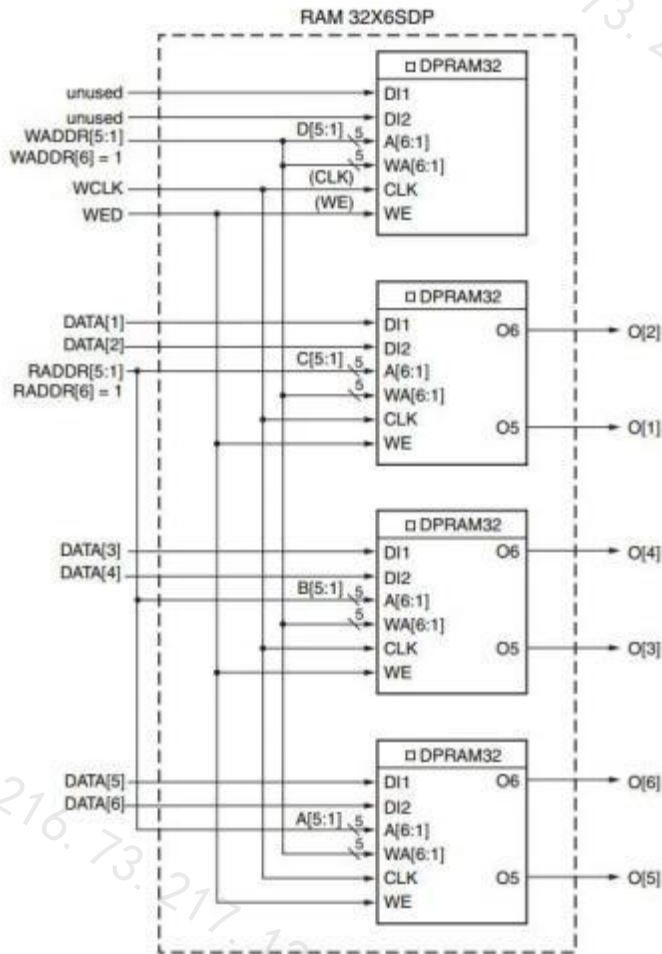


图14分布性RAM(RAM32X6SDP)

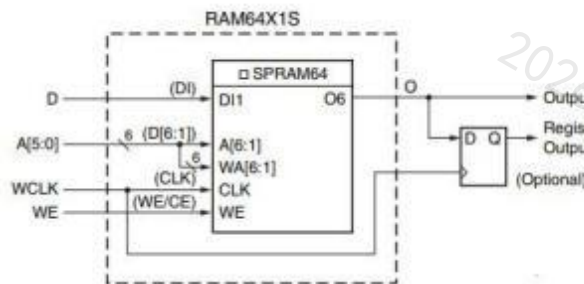


图15分布式RAM(RAM64×1S)

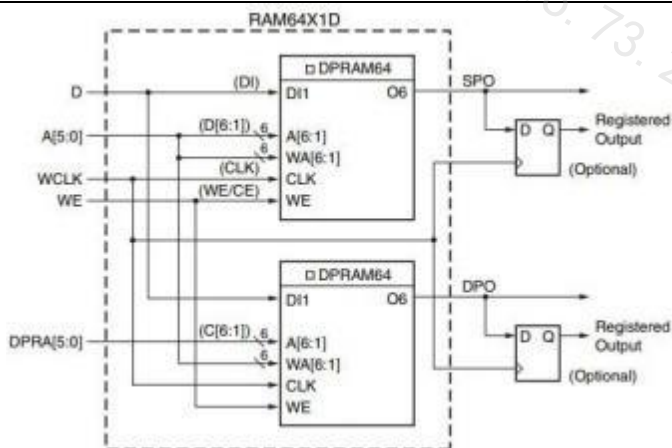


图16分布式RAM(RAM64×1D)

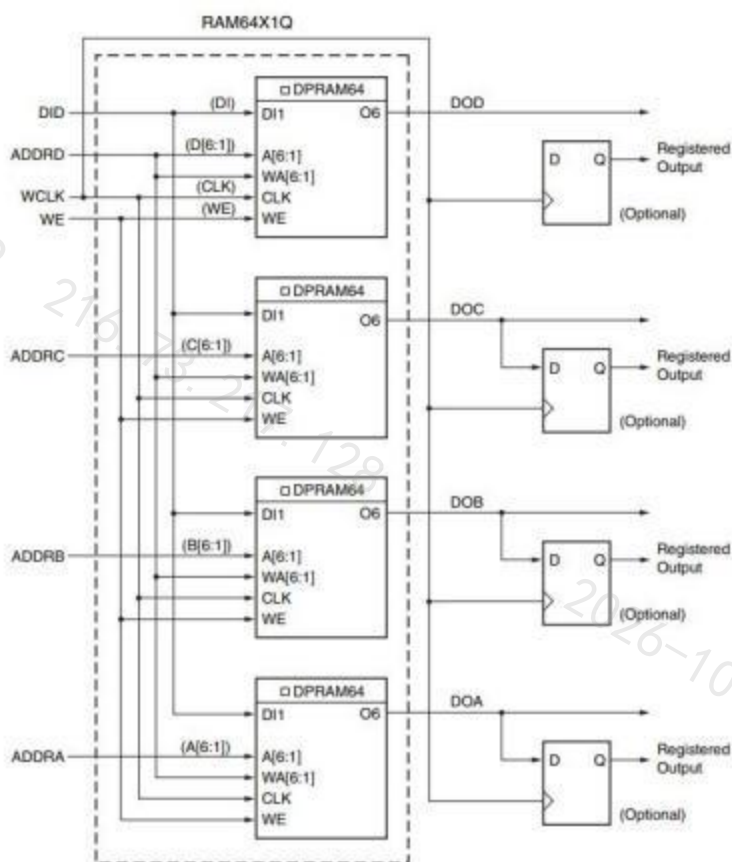


图17分布式RAM(RAM64×1Q)

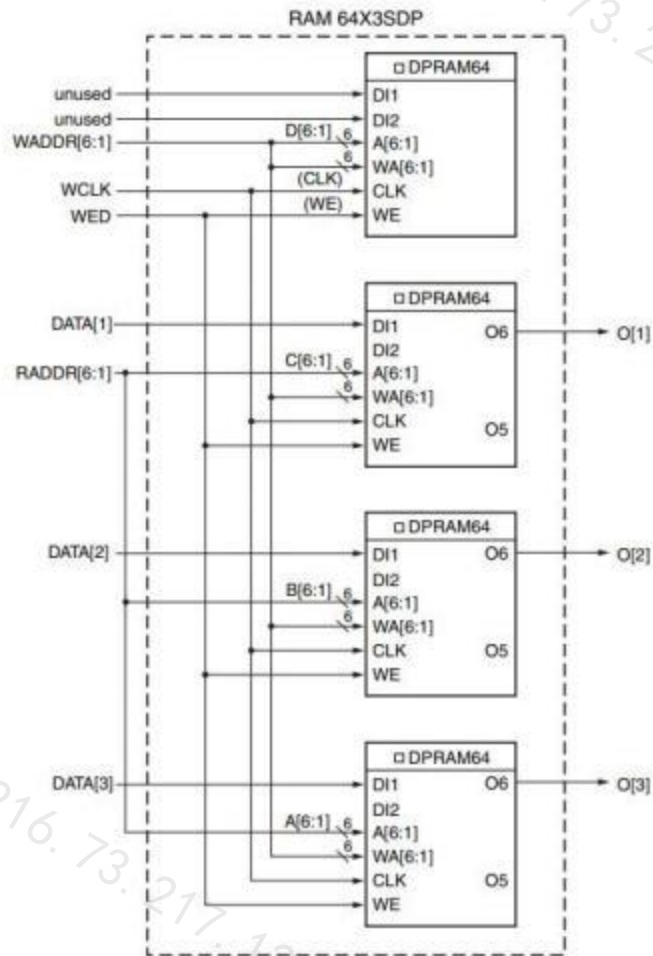


图18分布式RAM(RAM64×3SDP)

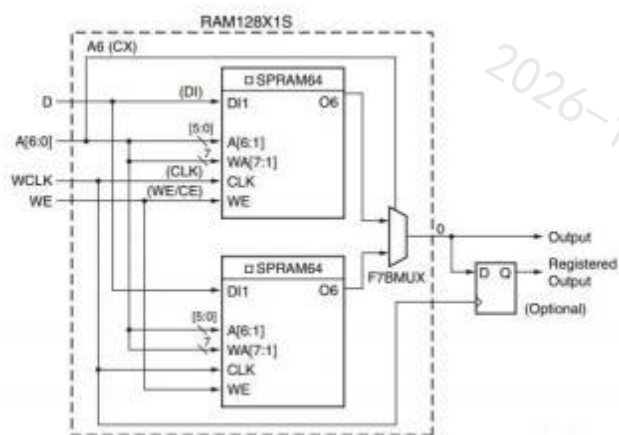


图19分布式RAM(RAM128×1S)

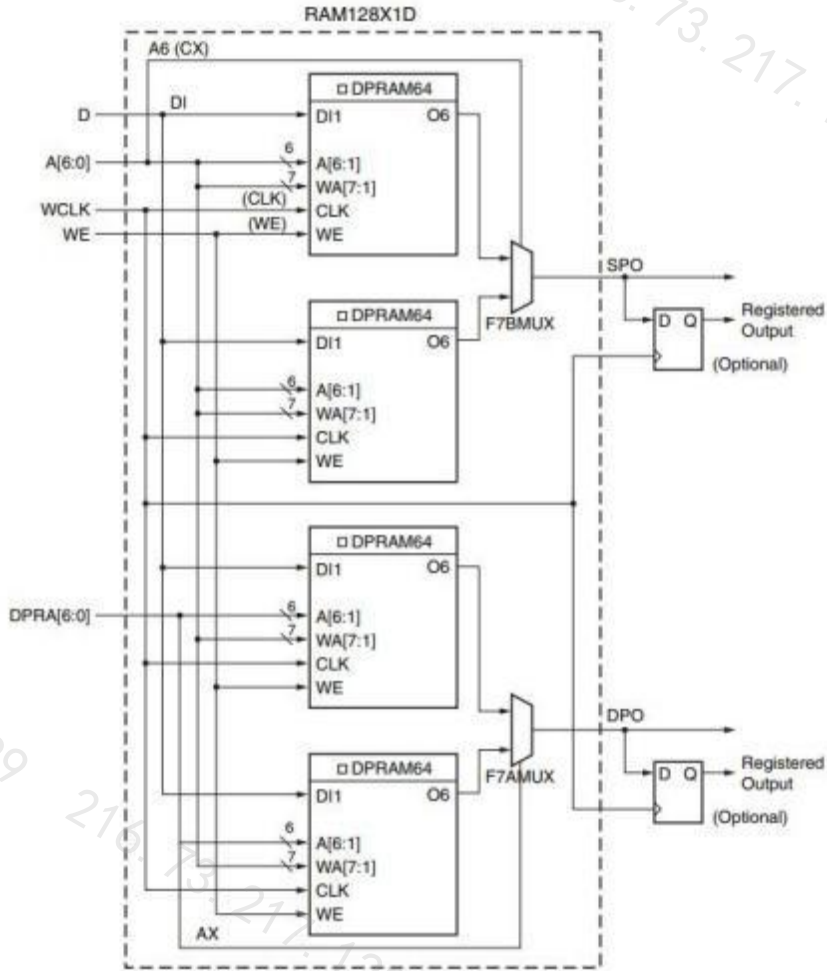


图20分布式RAM (RAM128×1D)

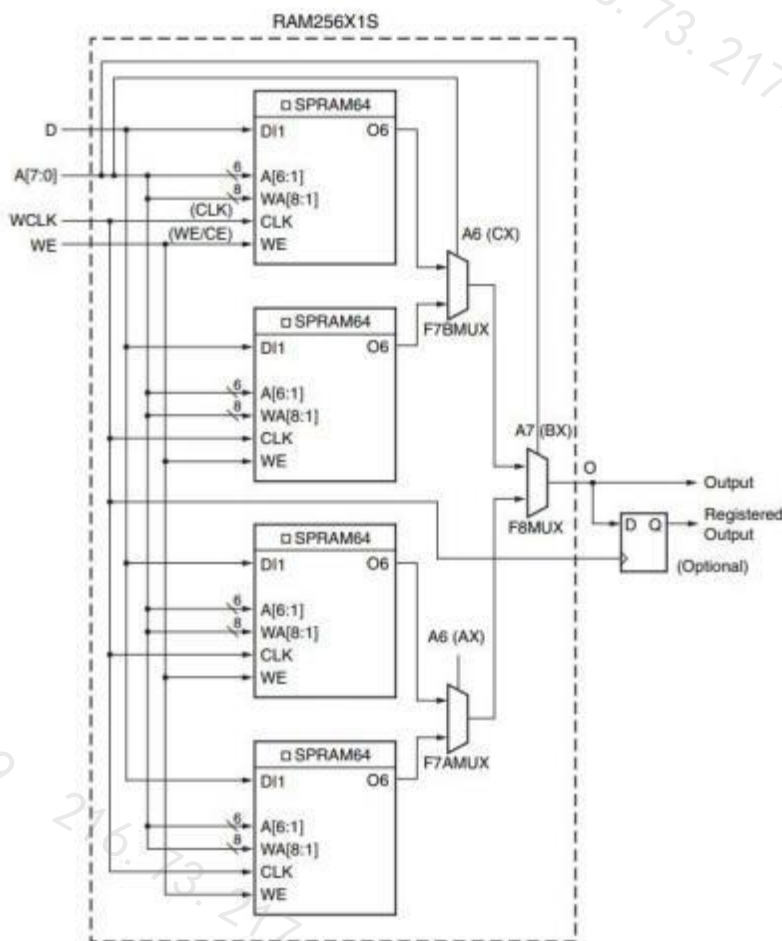


图21分布式RAM(RAM256×1S)

4.2.5 移位寄存器（只能在SLICEM中使用）

SLICEM函数发生器还可配置成32位移位寄存器，无需使用Slice中提供的触发器。以这种方法使用的每个LUT可以将串行数据延迟1到32个时钟周期之间的任意长度。移位输入D（DI1 LUT引脚）线和移位输出Q31（MC31 LUT引脚）线用来级联多个LUT，以形成较大的移位寄存器。SLICEM中的四个LUT以这种方式级联，可产生长达128个时钟周期的延迟。还可以跨一个以上SLICEM组合多个移位寄存器。请注意，各Slice之间没有直接连接可用来形成较长的移位寄存器，而且LUT B/C/D也没有MC31输出。由此产生的可编程延迟可用来平衡数据流水线的时序。

需要延时或延迟补偿的应用可使用这些移位寄存器开发高效设计。在同步FIFO和内容可寻址存储器（CAM）设计中，移位寄存器也很有用。

写操作是具有一个时钟输入（CLK）和一个可选时钟使能（CE）的同步操作。动态读访问通过5位地址总线A[4:0]执行。LUT的LSB不使用，软件自动将其固定为逻辑High。可配置移位寄存器不可设置或复位。读操作是异步操作；不过，可以用存储元件或触发器实现同步读操作。在这

种情况下，触发器的时钟到输出时间控制总体延迟，因而可提高性能。不过，这样会附加一个周期的时钟延迟。通过变换5位地址，可以（从O6 LUT输出）异步读出32个位的任意部分。这一功能可用于创建较小的移位寄存器（小于32位）。例如，如果要构建13位移位寄存器，将地址设置到第13个位即可。图22所示为32位移位寄存器的逻辑框图。

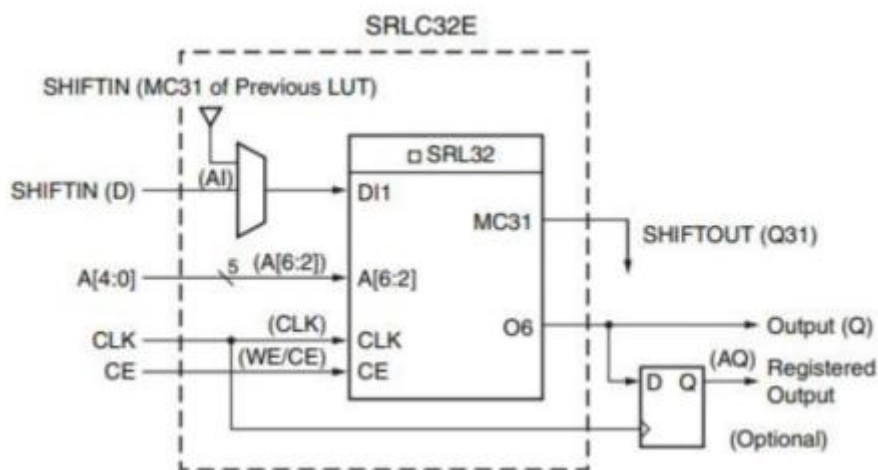


图22 32位移位寄存器配置

4.2.6多路复用器

函数发生器及相关多路复用器可以实现以下各项：

- 使用一个LUT的4:1多路复用器
- 使用两个LUT的8:1多路复用器
- 使用四个LUT的16:1多路复用器

这些宽输入多路复用器是使用专用的F7AMUX、F7BMUX和F8MUX多路复用器在一个层或逻辑（或LUT）中实现的。这些多路复用器允许在一个Slice中最多组合四个LUT。

4.2.7快速先行进位逻辑

除了函数发生器，还提供了专用进位逻辑，用于在Slice中实现快速算术加减运算。CYF7S50的CLB有两条独立进位链。进位链可以级联，以形成较宽的加减逻辑，如图23所示。

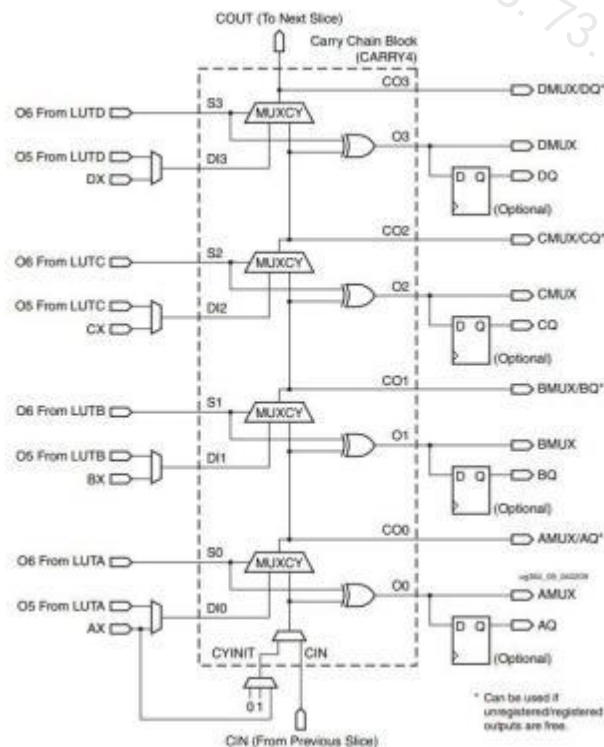


图23快速进位逻辑通道和相关元件

4.3时钟管理模块

CYF7S50时钟管理模块(CMT)提供非常灵活的高性能时钟控制。每个CMT由一个混合模式时钟管理器 (MMCM) 和一个锁相环 (PLL) 组成，如图24。MMCM和PLL可用作各种频率的频率合成器，用作外部或内部时钟以及去歪斜时钟的抖动滤波器。PLL包含MMCM功能的子集。图25和图26分别为MMCM框图及PLL框图。

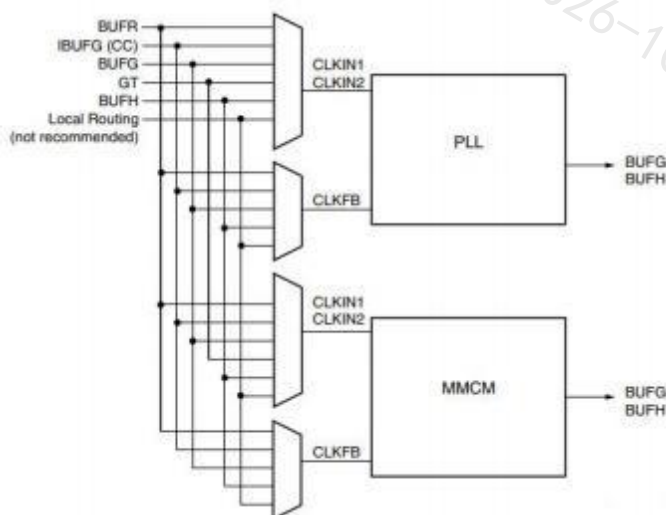


图24 CMT的框图

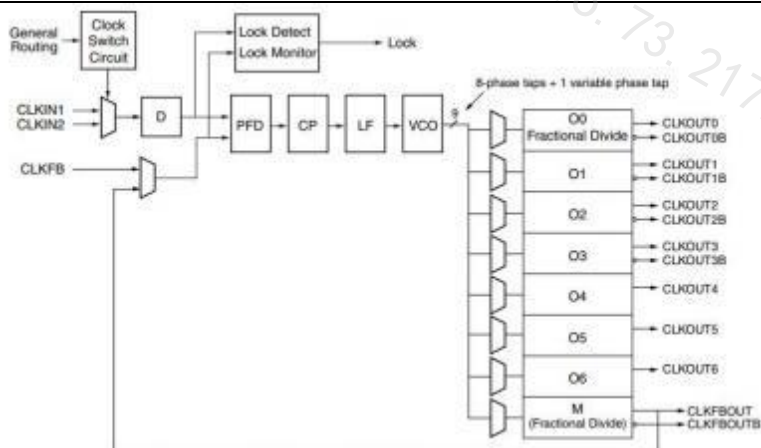


图25 MMCM的框图

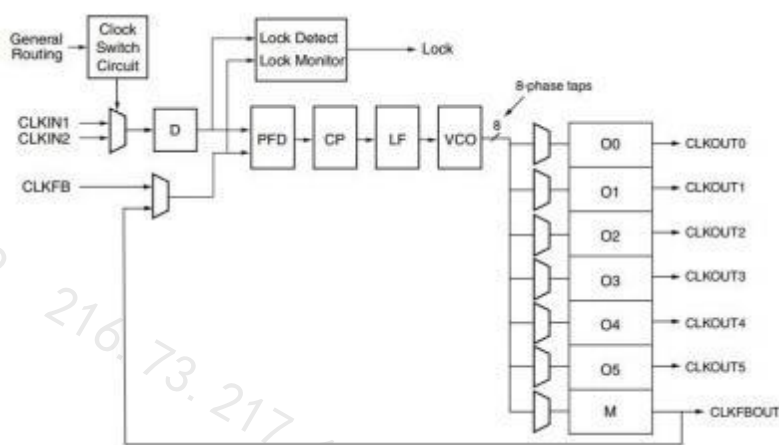


图26 PLL的框图

4.3.1 MMCM and PLL基元

图27所示为MMCM基元MMCME2_BASE和MMCME2_ADV。

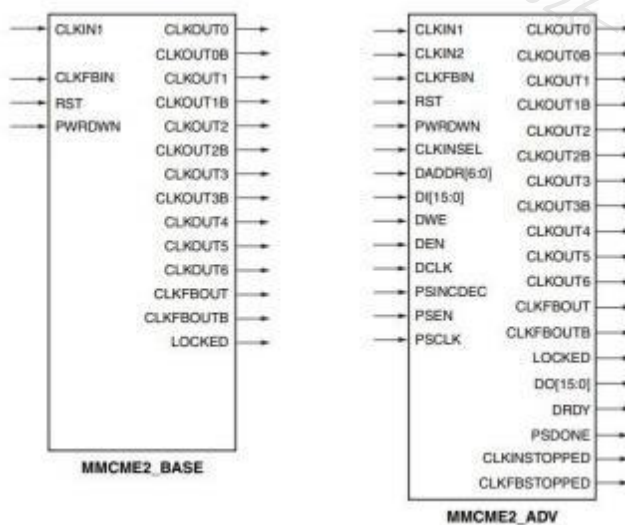


图27 MMCM基元

图28所示为PLL基元PLLE2_BASE and PLLE2_ADV。

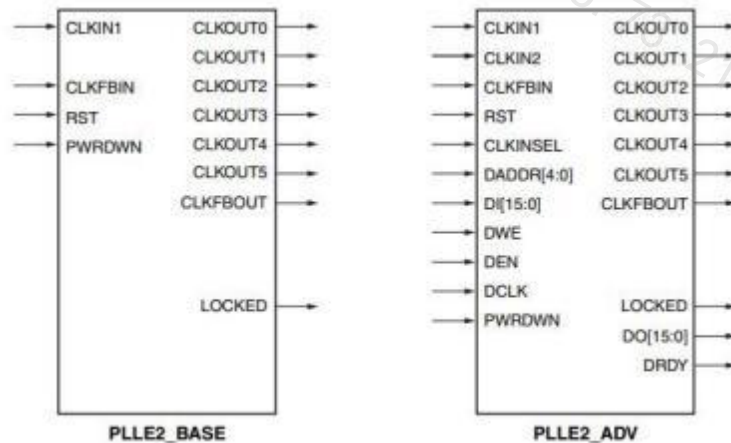


图28 PLL基元

•MMCME2_BASE基元

MMCME2_BASE基元包含最常用的MMCM基本功能。使用MMCME2_BASE，可以完成对时钟去歪斜、进行频率合成、粗相移和占空比编程的功能。表7列出了MMCME2_BASE基元的端口

表7 MMCME2_BASE端口

描述	端口
时钟输入	CLKIN1、CLKFBIN
控制输入	RST
时钟输出	CLKOUT0 to CLKOUT6、CLKOUT0B to CLKOUT3B、CLKFBOUT、and CLKFBOUTB
状态和数据输出	LOCKED
功率控制	PWRDWN

•PLLE2_BASE基元

PLLE2_BASE基元包含最常用的PLL基本功能。使用PLLE2_BASE，可以完成对时钟去歪斜、进行频率合成、粗相移和占空比编程的功能。表8列出了PLLE2_BASE基元的端口

表8 PLLE2_BASE端口

描述	端口
时钟输入	CLKIN1、CLKFBIN
控制输入	RST
时钟输出	CLKOUT0 to CLKOUT5、CLKFBOUT
状态和数据输出	LOCKED

•MMCME2_ADV基元

MMCME2_ADV基元具备所有MMCME2_BASE功能以及时钟切换的其他端口、动态重配置端口(DRP)的使用以及动态精细相移。其端口如表9所示。

表9 MMCME2_ADV端口

描述	端口名称
时钟输入	CLKIN1、CLKIN2、CLKFBIN、DCLK、PSCLK
控制和数据输入	RST、CLKINSEL、DWE、DEN、DADDR、DI、PSINCDEC、PSEN
时钟输出	CLKOUT0 to CLKOUT6、CLKOUT0B to CLKOUT3B、CLKFBOUT、and CLKFBOUTB
状态和数据输出	LOCKED、DO、DRDY、PSDONE、CLKINSTOPPED、CLKFBSTOPPED
功率控制	PWRDWN

•PLLE2_ADV基元

PLLE2_ADV基元具备所有PLLE2_BASE功能以及时钟切换的其他端口、动态重配置端口(DRP)的使用。其端口如表10所示。

表10 PLLE2_ADV端口

描述	端口名称
时钟输入	CLKIN1、CLKIN2、CLKFBIN、DCLK
控制和数据输入	RST、CLKINSEL、DWE、DEN、DADDR、DI
时钟输出	CLKOUT0 to CLKOUT5、and CLKFBOUT
状态和数据输出	LOCKED、DO、DRDY
功率控制	PWRDWN

4.3.2 MMCM and PLL端口

表11 MMCM端口

引脚名称	I/O	引脚描述
CLKIN1	输入	通用时钟输入。
CLKIN2	输入	MMCM参考时钟的辅助时钟输入。
CLKFBIN	输入	反馈时钟输入。
CLKINSEL	输入	控制时钟输入多路复用器状态的信号，High=CLKIN1，Low=CLKIN2。动态切换MMCM参考时钟。
RST	输入	异步复位信号。对于MMCM，复位信号是异步复位。当发出这一信号（即重新启用MMCM）时，MMCM会同步地自我重新启用。当输入时钟条件（如频率）改变时，需要复位。
PWRDWN	输入	关闭已例化但未使用的MMCM
DADDR[6:0]	输入	动态重配置地址(DADDR)输入总线为动态重配置提供重配置地址。在不使用时，必须将所有位赋零。
DI[15:0]	输入	动态重配置数据输入(DI)总线提供重配置数据。在不使用时，必须将所有位设置为零。
DWE	输入	动态重配置写使能(DWE)输入引脚提供写使能控制信号，以便将DI数据写入DADDR地址。在不使用时，必须将其固定为Low。
DEN	输入	动态重配置使能(DEN)为使用动态重配置功能提供使能控制信号。当不使用
		动态重配置功能时，必须将DEN固定为Low。

DCLK	输入	DCLK信号是动态重配置端口的参考时钟。
PSCLK	输入	相移时钟
PSEN	输入	相移使能
PSINCDEC	输入	相移增减控制
CLKOUT[0:6]	输出	用户可配置的时钟输出（0至6），可以是VCO相位输出（用户可控制）从1（忽略）到128分频。输出时钟彼此相位对齐（除非相移）并与具有正确反馈配置的输入时钟对齐。仅在CLKOUT[0: 3]上支持与BUFR/BUFIO的直接HPC连接。
CLKOUT[0:3]B	输出	反相的CLKOUT[0: 3]
CLKFBOUT	输出	专用MMCM反馈输出
CLKFBOUTB	输出	反相CLKFBOUT
CLKINSTOPPED	输出	状态引脚，指示输入时钟已停止
CLKFBSTOPPED	输出	状态引脚，指示反馈时钟已停止
LOCKED	输出	MMCM的输出，指示MMCM何时实现了预定义窗口内的相位对齐以及预定义PPM范围内的频率匹配。上电后，MMCM自动锁定。无需额外的重置。如果输入时钟停止或违反相位对齐（例如，输入时钟相移），则LOCKED将置为无效。解除锁定后必须复位MMCM。
DO[15:0]	输出	使用动态重配置时，动态重配置输出总线提供MMCM数据输出。
DRDY	输出	动态重配置就绪输出（DRDY）为MMCM的动态重配置功能提供对DEN信号的响应。
PSDONE	输出	相移完成

注：除PSINCDEC以外的所有控制和状态信号均为高电平有效。

表12 PLL端口

引脚名称	I/O	引脚描述
CLKIN1	输入	通用时钟输入。
CLKIN2	输入	辅助时钟输入，用于动态切换PLL参考时钟。
CLKFBIN	输入	反馈时钟输入
CLKINSEL	输入	控制输入多路复用器状态的信号，High=CLKIN1，Low=CLKIN2。动态切换PLL参考时钟。
RST	输入	异步复位信号。对于PLL，复位信号是异步复位。当发出这一信号（即重新启用PLL）时，PLL会同步地自我重新启用。当输入时钟条件（如频率）改变时，需要复位。
PWRDWN	输入	关闭已例化但未使用的PLL
DADDR[6:0]	输入	动态重配置地址（DADDR）输入总线为动态重配置提供了一个重配置地址。不使用时，必须为所有位分配零
DI[15:0]	输入	动态重配置数据输入（DI）总线提供重配置数据。不使用时，所有位都必须设置为零。
DWE	输入	动态重配置写使能(DWE)输入引脚提供写使能控制信号，以便将DI数据写入DADDR地址。在不使用时，必须将其固定为Low。
DEN	输入	动态重配置使能(DEN)为使用动态重配置功能提供使能控制信号。当不使用动态重配置功能时，必须将DEN固定为Low。
DCLK	输入	DCLK信号是动态重新配置端口的参考时钟。
CLKOUT[0:5]	输出	用户可配置的时钟输出（0至5）可以将VCO相位输出（用户可控）的版本从1

		(忽略) 划分为128。输入时钟和输出时钟是相位对齐的。
CLKFBOUT	输出	专用PLL反馈输出。
LOCKED	输出	PLL的输出，指示PLL何时达到预定窗口内的相位对齐以及预定PPM范围内的频率匹配。PLL在上电后自动锁定，无需额外的复位。如果输入时钟停止或违反相位对齐（例如，输入时钟相移），则LOCKED将置为无效。解除锁定后必须重设PLL。
DO[15:0]	输出	使用动态重配置时，动态重配置输出总线提供PLL数据输出
DRDY	输出	动态重配置就绪输出（DRDY）为PLL动态重配置功能提供对DEN信号的响应。

4.3.3时钟网络去歪斜

MMCM/PLL用来补偿时钟网络的延迟。一个与参考时钟CLKIN频率（始终为CLKFBOUT）匹配的时钟输出连接至器件同一半部的BUFG，并反馈到MMCM/PLL的CLKFBIN反馈引脚。其余的输出仍可用来分解时钟频率，以合成更多频率。在这种情况下，所有输出时钟对于输入参考时钟都具有限定的相位关系。MMCM或PLL的CLKOUT0 - CLKOUT3可用于级联到其他MMCM/PLL。但是，级联的MMCM/PLL之间的输出时钟存在相位偏移。

4.3.4独立频率合成（使用整数除法）

MMCM和PLL还可以用于独立频率合成。在这种应用中，MMCM/PLL不用于时钟网络去歪斜，而是用来为其他模块生成输出时钟频率。在这种模式下，MMCM/PLL反馈路径是内部的，这将所有布线保持在局部，从而将抖动降至最低。

4.3.5频率合成（MMCM中使用小数分频的）

CYF7S50在CLKOUT0输出路径中支持小数（非整数）除法。小数分频的分辨率为1/8或0.125有效地将可合成频率的数量增加了八倍。

使用小数分频器时，对于在小数模式下的输出，不能对占空比进行编程。

4.3.6抖动滤波器

MMCM和PLL减少了参考时钟固有的抖动。MMCM和PLL能通过例化来滤掉外部时钟在驱动另一个模块前（包括DCM）的抖动。作为抖动滤波器，MMCM和PLL通常被设想成一个缓冲器在输出上重新生成输入频率。一般来说，通过使用MMCM的BANDWIDTH属性并且将其设置为Low，可以实现较强的抖动过滤。将BANDWIDTH设置为Low会导致MMCM的静态偏差增大。

4.3.6 MMCM计数器级联

CLKOUT6分频器（计数器）可以与CLKOUT4分频器级联。这提供了一个大于128的输出分频器的功能。CLKOUT6馈入CLKOUT4分频器的输入。级联分频器的输出与所有其他输出分频器之间存在静态相位偏移。

4.3.7限制

MMCM和PLL有一些必须遵守的限制。一般说来，主要限制是VCO工作范围，输入频率，占空比可编程性和相移。此外，对其他时钟元件（引脚，GT和时钟缓冲器）的连接性有限制。MMCM/PLL级联只能与相邻的CMT一起发生。

在许多情况下，各时钟之间需要有一个相移。MMCM具有多种实现相移的选项。PLL还具有基本的静态相移功能。静态相移可以通过选择八个VCO输出相之一来实现，并根据CLKOUT分频值，在CLKOUT输出计数器中提供额外的精细相移。在CYF7S50中，还具有固定或动态模式的内插移相功能。MMCM相移功能非常强大，可能导致复杂的情况。通过使用Clocking Wizard，根据MMCM配置设置确定允许的相移值。

4.4 SelectIO资源

4.4.1 IO模块概述

I/O模块提供宽范围（HR）I/O banks。HR I/O bank旨在满足支持1.2~3.3V的协议，电压范围覆盖较广。

4.4.2 SelectIO资源简介

在CYF7S50中，一个I/O组由50个IOB组成。组数取决于器件尺寸和封装的引脚排列。CYF7S50有5个可用I/O BANK。每个SelectIO资源都包含输入，输出和三态驱动器，SelectIO引脚可以配置为各种I/O标准，包括单端和差分。

表13 HR-IO支持的电平标准

序号	电平标准	是否支持
1	3.3V I/O电平标准	√
2	2.5V I/O电平标准	√
3	1.8V I/O电平标准	√
4	1.5V I/O电平标准	√
5	1.35V I/O电平标准	√
6	1.2V I/O电平标准	√
7	LVDS电平标准	√
8	LVC MOS18电平标准	√
9	LV TTL电平标准	√

4.4.3 CYF7S50 I/O BANK规则

在CYF7S50中，一个I/O组由50个IOB组成。组数取决于器件尺寸和封装的引脚排列。

CYF7S50有5个可用I/O组SelectIO引脚的电源电压：

a、V_{REF}

带有差分放大器输入缓冲器的单端I/O标准需要输入参考电压 (V_{REF})。当I/O bank中需要 V_{REF} 时, 必须将bank的两个多功能 V_{REF} 引脚用作 V_{REF} 电源输入。通过启用INTERNAL_VREF约束, CYF7S50可以选择使用内部生成的参考电压。

b、 V_{CCO}

V_{CCO} 电源是CYF7S50器件I/O电路的主要电源。给定I/O bank的所有 V_{CCO} 引脚必须连接到板上相同的外部电源, 因此给定I/O bank内的所有I/O必须共享相同的 V_{CCO} 电平。 V_{CCO} 电压必须符合已分配给I/O bank的I/O标准的要求。

c、 V_{CCAUX}

全局辅助 (V_{CCAUX}) 电源主要用于为CYF7S50内部各种模块功能的互连逻辑供电。在I/O bank中, V_{CCAUX} 还用于为某些I/O标准的输入缓冲电路供电。这些包括1.8V或以下的所有单端I/O标准。

4.6 存储器模块 (BRAM)

4.6.1 Block RAM概述

CYF7S50 Block RAM最多存储36K位数据, 并且可以配置成两个独立的18 Kb RAM或一个36 Kb RAM。在简单的双端口模式下, 每个36 Kb Block RAM可配置成一个64K x 1 (当与一个相邻的36 Kb Block RAM级联时)、32K x 1、16K x 2、8K x 4、4K x 9、2K x 18、1K x 36或512x72存储器。在简单的双端口模式下, 每个18Kb Block RAM均可配置为16Kx1、8Kx2、4Kx4、2Kx9、1Kx18或512x36存储器。

Block RAM写和读是同步操作, 两个端口对称且完全独立, 仅共享存储的数据。每个端口均可配置成可用的宽度之一, 与另一端口无关。另外, 每个端口的读端口宽度可与写端口宽度不同。存储器内容可用配置比特流初始化或清除。在写操作过程中, 存储器可以设置成让数据输出保持不变, 或者令其反映正在写入的新数据或正在覆盖的旧数据。

4.6.2 同步双端口和单端口RAM

4.6.2.1 数据流

真双端口36 Kb Block RAM双端口存储器由一个36 Kb存储区域以及A和B两个完全独立的访问端口组成。同样, 每个18 Kb Block RAM双端口存储器由一个18 Kb存储区域以及A和B两个完全独立的访问端口组成。其结构完全对称, 并且两个端口可互换。图29所示为真双端口数据流。表14列出了真双端口的名称和描述。

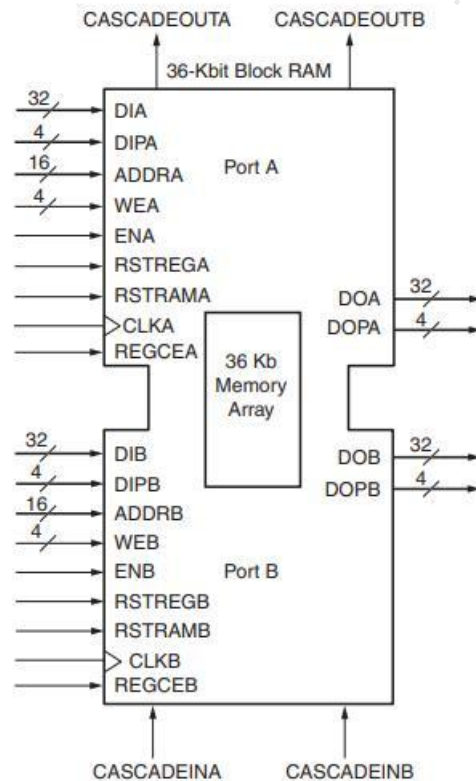


图29真双端口数据流

表14真端双口的名称和描述

端口名称	描述
DI[A B]	数据输入总线
DIP[A B]	数据输入奇偶校验总线，可用于其他数据输入
ADDR[A B]	地址总线
WE[A B]	字节宽度写使能
EN[A B]	当无效时，没有数据写入Block RAM，输出总线保持其原状态
RSTREG[A B]	同步设置/重置输出寄存器（DO_REG=1）。RSTREG_PRIORITY属性确定相对于REGCE的优先级。
RSTRAM[A B]	同步置位/复位输出数据锁存器
CLK[A B]	时钟输入
DO[A B]	数据输出总线
DOP[A B]	数据输出奇偶校验总线，可用于其他数据输出
REGCE[A B]	输出寄存器时钟使能。
CASCADEIN[A B]	级联输入，用于64Kx1模式
CASCADEOUT[A B]	级联输出，用于64Kx1模式

4.6.2.2读操作

在锁存器模式下，读操作使用一个时钟沿。读地址寄存在读端口；存储的数据在RAM访问后加载到输出锁存器中。当使用输出寄存器时，读操作会多占用一个延迟周期。

4.6.2.3写操作和写模式

写操作是单时钟沿操作。写地址寄存在写端口；数据输入存储在存储器中。

在写时钟沿之后，输出锁存器上有效数据的行为取决于WRITE_FIRST、READ_FIRST和NO_CHANGE三项写模式设置。写模式的选择由配置设定。可以为各端口分别选择写模式属性。默认模式是WRITE_FIRST。WRITE_FIRST将新写入的数据输出到输出总线。READ_FIRST在写入新数据时输出原来存储的数据。NO_CHANGE保持先前由读操作产生的输出。

•WRITE_FIRST模式，即透明模式（默认）

在WRITE_FIRST模式下，输入数据同时写入存储器并存入数据输出（透明写），如图30所示。当未使用可选输出流水线寄存器时，这些波形对应于锁存器模式。

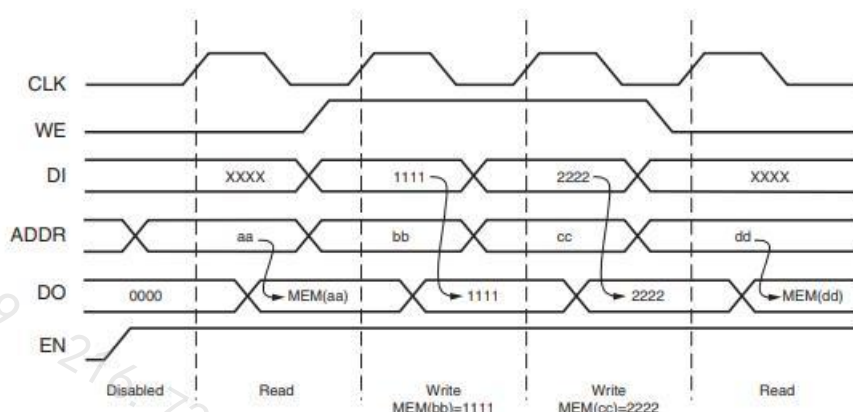


图30 WRITE_FIRST模式波形

•READ_FIRST模式，即先读后写模式

在READ_FIRST模式下，原存储在写地址的数据出现在输出锁存器上，而输入数据则存入存储器（先读后写）。当未使用可选输出流水线寄存器时，图31中的波形对应于锁存器模式。

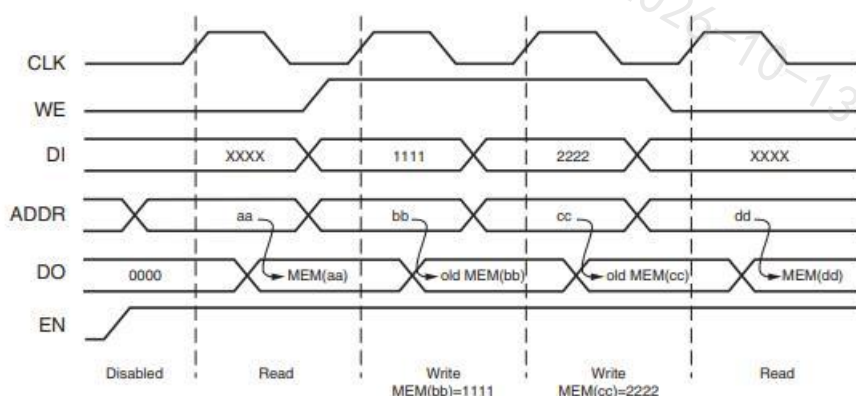


图31 READ_FIRST模式波形

•NO_CHANGE模式

在NO_CHANGE模式下，输出锁存器在写操作过程中保持不变。如图32所示，数据

输出保持最后的读数据，不受同端口上写操作的影响。当未使用可选输出流水线寄存器时，这些波形对应于锁存器模式。此模式是最省电的。此模式在SDP模式下不可用，因为它的行为与WRITE_FIRST模式相同

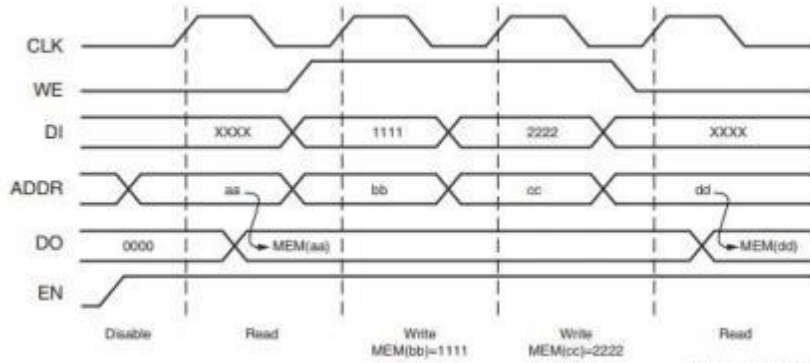


图32 NO_CHANGE模式波形

4.6.2.4避免冲突

CYF7S50 Block RAM存储器是真正双端口RAM，其中两个端口可以在任意时间访问任意存储器。但是，当从两个端口访问同一存储器位置时，可能会发生地址冲突。当两个Block RAM端口在相同的时钟周期中访问相同的地址位置时，即发生地址冲突。有两种基本的时钟类型设置，即公共时钟和独立时钟。公共（同步）时钟由通用时钟缓冲器驱动器驱动。所有其他CLKA和CLKB连接都被认为是独立的（异步）时钟。

在下面表格中：

- 写使能为高电平有效，1=写，0=读
- RF=READ_FIRST，WF=WRITE_FIRST，NC=NO_CHANGE
- X=不确定值
- DIA=端口A数据输入
- DIB=端口B数据输入

表15同步时钟和异步时钟

时钟类型	写模式端口A	写模式端口B	写使能端口A (数据)	写使能端口B (数据)	结果数据输出端口A	结果数据输出端口B	结果存储值
同步	RF/WF/NC	RF/WF/NC	0	0	Old memory data	Old memory data	No change
	RF	RF/WF/NC	1(DIA)	0	Old memory data	Old memory data	DIA
	WF	RF/WF/NC	1(DIA)	0	DIA	X	DIA
	NC	RF/WF/NC	1(DIA)	0	No change	X	DIA
	RF/WF/NC	RF	0	1(DIB)	Old memory data	Old memory data	DIB
	RF/WF/NC	WF	0	1(DIB)	X	DIB	DIB
	RF/WF/NC	NC	0	1(DIB)	X	No change	DIB
	RF/WF/NC	RF/WF/NC	1	1	X	X	X
异步	RF/WF/NC	RF/WF/NC	0	0	Old memory data	Old memory data	No change
	RF	RF/WF/NC	1(DIA)	0	Old memory data	X	DIA

WF	RF/WF/NC	1(DIA)	0	DIA	X	DIA
NC	RF/WF/NC	1(DIA)	0	No change	X	DIA
RF/WF/NC	RF	0	1(DIB)	X	Old memory data	DIB
RF/WF/NC	WF	0	1(DIB)	X	DIB	DIB
RF/WF/NC	NC	0	1(DIB)	X	No change	DIB
RF/WF/NC	RF/WF/NC	1	1	X	X	X

4.6.3 简单双端口Block RAM

每个18 Kb块和36 Kb块还可以配置成简单双端口RAM模式。在这种模式下，Block RAM端口宽度对于18 Kb Block RAM加倍到36位，对于36 Kb Block RAM加倍到72位。在简单双端口模式下，可同时进行独立的读和写操作，其中端口A指定为读端口，端口B指定为写端口。当读和写端口同时访问同一数据位置时，将其作为冲突处理，类似于真正双端口模式下的端口冲突。简单双端口Block RAM模式支持通过配置端口读回。图33所示为简单双端口数据流。表16列出了简单双端口的名称和描述

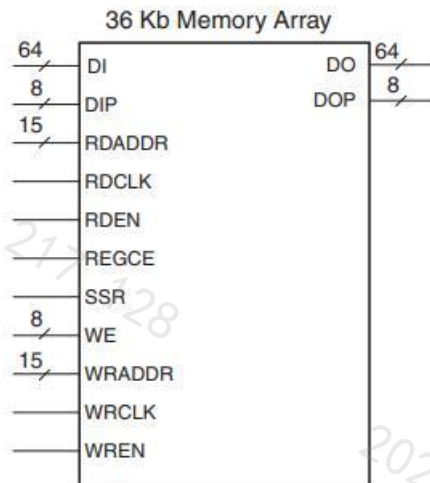


图33 简单双端口数据流中RAMB36

表16 简单双端口的功能和描述

端口功能	描述
DO	数据输出总线
DOP	数据输出奇偶校验总线
DI	数据输入总线
DIP	数据输入奇偶校验总线
RDADDR	读数据地址总线
RDCLK	读数据时钟
RDEN	读端口使能
REGCE	输出寄存器时钟使能
SBITERR	单位元错误状态
DBITERR	双位元错误状态
ECCPARITY	ECC编码器输出总线
SSR	输出寄存器或锁存器的同步设置/复位

WE	字节宽度写使能
WRADDR	写数据地址总线
WRCLK	写数据时钟
WREN	写端口使能
注：Block RAM基本端口名称可以与端口功能名称不同。	

4.6.4可级联Block RAM

在CYF7S50 Block RAM架构中，可将两个32K x 1 RAM组合起来形成一个64K x 1 RAM，无需使用局部互连或其他CLB逻辑资源。任意两个相邻的Block RAM均可级联形成一个64K x 1 Block RAM。只有在64K x 1模式下才可用级联两个Block RAM的方法增加Block RAM的深度。

4.6.5独立读写端口宽度选择

每个Block RAM端口都具有控制数据宽度和地址深度（长宽比）的功能。CYF7S50真双端口Block RAM将这种灵活性推广到了读和写，可以用不同的数据位宽度配置各端口。例如，端口A可以有36位读宽度和9位写宽度，而端口B可以有18位读宽度和36位写宽度。

如果读端口宽度不同于写端口宽度并且配置为WRITE_FIRST模式，则DO显示所有已启用写字节的有效新数据和存储在存储器中的所有未启用字节的原数据。独立的读写端口宽度选择提高了在Block RAM中实现内容可编址存储器(CAM)的效率。此选项可用于所有CYF7S50真双端口RAM的端口尺寸和模式。

4.6.6字节宽度写使能

Block RAM的字节宽度写使能功能提供了以八位（一个字节）为单位写入输入数据的能力。对于RAMB36E1真双端口RAM，有四个独立的字节宽度写使能输入。对于简单双端口模式下的Block RAM（SDP模式下为RAMB36E1），有八个独立的字节宽度写使能输入。表17概述了36K和18K Block RAM的字节宽度写使能。每个字节宽度写使能与一个输入数据字节和一个奇偶校验位关联。在所有数据宽度配置中都必须驱动所有字节宽度写使能输入。用Block RAM与微处理器进行接口连接时，此功能很有用。字节宽度写使能不能用于双时钟FIFO或ECC模式。图34所示为RAMB36E1的字节宽度写使能时序图。

表17可用的字节宽度写使能

基元	最大位宽度	字节宽度写使能数
RAMB36E1 TDP mode	36	4
RAMB36E1 SDP mode	72	8
RAMB18E1 TDP mode	18	2
RAMB18E1 SDP mode	36	4

当为36位或18位宽的数据路径配置RAMB36E1时，任何端口都可限制写入数据字内的指定字节位置。如果按READ_FIRST模式配置，则DO总线显示整个已编址字的原内容。在WRITE_FIRST模式下，DO显示新写入的已启用字节和未写字节的初始存储器内容的组合。

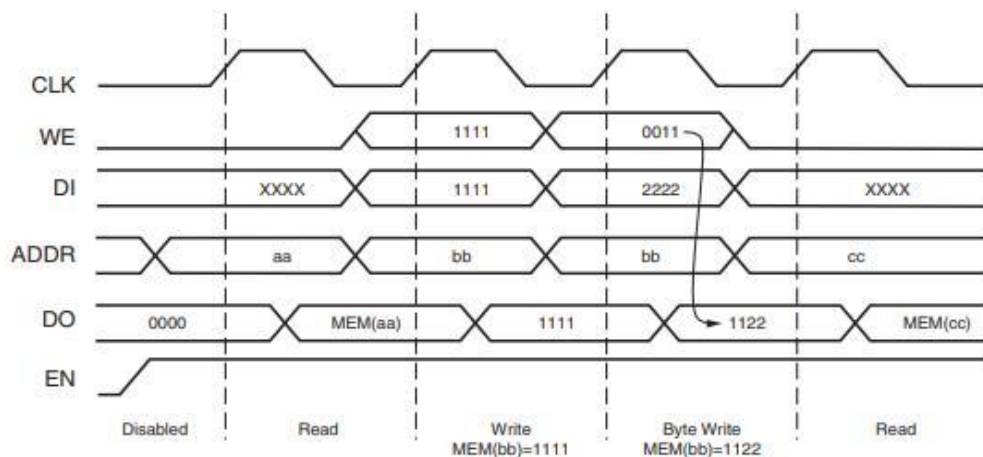


图34字节宽度写使能波形(x36 WRITE_FIRST)

4.6.7 Block RAM纠错代码

36 Kb Block RAM的Block RAM和FIFO的实现都支持实现64位纠错代码(ECC)。该代码用来检测Block RAM数据读出中的单位元和双位元错误。然后，单位元错误在输出数据中得到纠正。

4.6.8内置FIFO支持

在CYF7S50架构中，FIFO可以配置成18 Kb或36 Kb存储器。对于18 Kb模式，支持的配置是4K x 4、2K x 9、1K x 18和512 x 36。36 Kb FIFO的支持配置是8K x 4、4K x 9、2K x 18、1K x 36和512 x 72。Block RAM可以配置成使用公共或独立读写时钟的先进/先出(FIFO)存储器。

Block RAM的端口A用作FIFO的读端口，而端口B是FIFO的写端口。数据在读时钟的上升沿上从FIFO读出，在写时钟的上升沿上写入FIFO。如果没有外部CLB协助，FIFO模式不支持独立读写端口宽度选择。

4.7乘法器 (DSP)

CYF7S50采用了DSP48E1 Slice，DSP48E1 Slice支持许多独立功能。这些功能包括乘法，乘法累加(MACC)，乘法加法，三输入加法，桶形移位，宽总线多路复用，幅度比较器，按位逻辑功能，模式检测和宽计数器。该架构还支持级联多个DSP48E1 Slice，以形成广泛的数学功能DSP滤波器和复杂的算术。其中，DSP48E1 Slice的基本功能如图35所示：

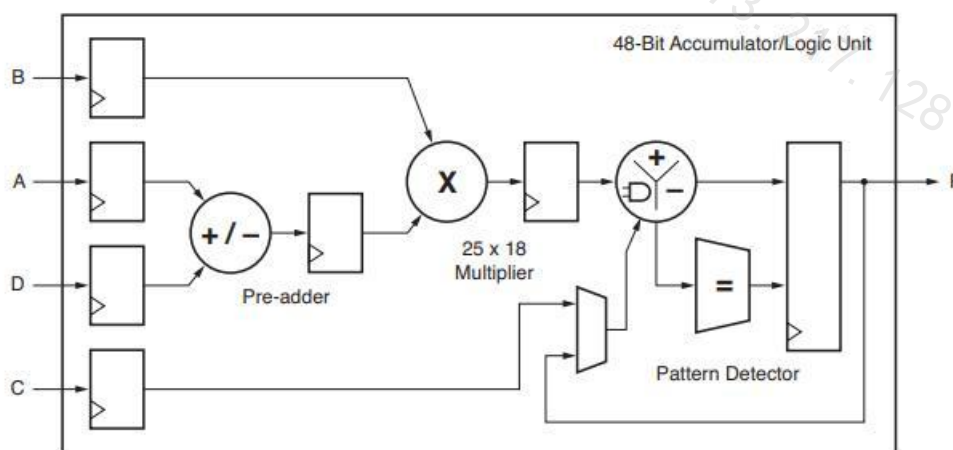


图35 DSP48E1 Slice的基本功能

DSP功能的一些重点包括：

- 25×18的二进制补码乘法器：
 - 动态旁路
- 48位累加器：
 - 可用作同步递增/递减计数器
- 省电预加器：
 - 优化对称滤波器的应用并降低DSP Slice的要求
- 单指令多数据（SIMD）算术单元：
 - 双24位或四位12位加/减/累加
- 可选的逻辑单元：
 - 可以生成两个操作数的十个不同逻辑函数中的任何一个
- 模式检测器：
 - 收敛或对称舍入
 - 与逻辑单元结合使用时，具有96位宽的逻辑功能
- 高级功能：
 - 级联的可选流水线和专用总线

4.8配置控制器（CFGIC）

器件通过将编程数据下载到内部编程存储器中来进行编程。由于CYF7S50的内部存储器是易失性存储器，所以它需要在每次上电时进行配置，比特流文件通过专门的配置引脚加载到器件中

使用256位AES加密法对编程文件或比特流进行加密，以确保系统断电和加电配置过程中的机密性可将解密密钥存储eFuse中。

由于配置数据存储存储在CMOS配置锁存器（CCL）中，因此必须在掉电后重新配置。每次通过特殊配置引脚将比特流加载到器件中。这些配置引脚用作许多不同配置模式的接口，CFGIC具有五个配置接口。每个配置接口对应一个或多个配置模式和总线宽度，配置时序与引脚处的CCLK有关。

- 主动-串行配置模式
- 从-串行配置模式
- 主动SelectMAP（并行）配置模式（x8和x16）
- 被动SelectMAP（并行）配置模式（x8，x16和x32）
- JTAG/边界扫描配置模式
- 主动SPI配置模式（x1，x2，x4）

用编程模式管脚（M2，M1，M0）来选择编程的模式。模式选择编码列于表18中。

表18配置模式编码表

编程模式	M2	M1	M0	CCLK方向	总线宽度
主串模式	0	0	0	Output	x1
主SPI模式	0	0	1	Output	x1,x2,x4
主SelectMAP模式	1	0	0	Output	x8,x16
JTAG	1	0	1	N/A	x 1
从SelectMAP模式	1	1	0	Input	x 8,x16,x32
从串模式	1	1	1	Input	x1

通过边界扫描端口的编程优先级最高，选择边界扫描方式就会直接关掉了其他的编程模式MODE管脚都有内部的上拉电阻，在没有连接的情况下默认为逻辑高电平，但是仍然建议在外部对编程管脚上拉操作。

CYF7S50器件通过将编程数据下载到内部编程存储器中来进行编程。由于CYF7S50的内部存储器是易失性存储器，所以它需要在每次上电时进行配置，比特流文件通过专门的配置引脚加载到器件中，在这些用来编程的管脚中一些是专用的编程管脚，而另外的管脚在编程完成之后可以重新用作一般目的的输入输出。以下该器件的配置管脚：

表19 CYF7S50配置引脚

引脚名称	类型	专用或双用途	描述
CFGBVS	输入	专用	配置库电压选择
M[2:0]	输入	专用	配置模式选择引脚，将每个模式引脚直接连接或通过 $\leq 1k\Omega$ 电阻连接到V _{CC0_0} 或GND。
TCK	输入	专用	测试时钟。这个引脚是JTAG测试时钟。TCK对TAP控制器和JTAG寄存器进行排序。
TMS	输入	专用	测试模式选择。此引脚在TCK的上升沿通过TAP控制器确定状态序列。TMS具有内部电阻上拉以在引脚未被驱动时提供逻辑高电平。
TDI	输入	专用	测试数据输入。该引脚是所有JTAG指令和数据寄存器的串行输入TAP控制器的状态和当前指令确定由TDI引脚为特定操作提供的寄存器。TDI具有内部电阻上拉，如果引脚未驱动，则为系统提供逻辑高电平。TDI在TCK的上升沿加载到JTAG寄存器。
TDO	输出	专用	测试数据输出。该引脚是所有JTAG指令和数据寄存器的串行输出TAP控制器的状态和当前指令确定为特定操作提供TDO的寄存器（指令或数据）。TDO在TCK的下降沿改变状态，并且仅在指令或数据通过器件移位期间有效。TDO是有效的驱动器输出。
PROGRAM_B	输入	专用	程序（栏）。低电平有效复位为配置逻辑。当PROGRAM_B脉冲为低电平时，将清除FPGA配置并启动新的配置序列。配置复位在下降沿启动，而配置（即编程）序列在下一个上升沿开始。
INIT_B	双向（漏极开路）	专用	初始化（栏）。低电平有效FPGA初始化引脚或配置错误信号。当FPGA处于配置复位状态，FPGA初始化（清除）其配置存储器或FPGA检测到配置错误时，FPGA将该引脚驱动为低电平。在完成FPGA初始化过程后，INIT_B释放至高阻态Z，这时需要一个外部电阻将INIT_B拉高。上电期间，INIT_B可以在外部保持低电平，以在初始化过程结束时使上电配置序列停顿。初始化过程后，如果在INIT_B输入端检测到高电平，则FPGA继续进行M[2:0]引脚设置所规定的其余配置序列。
DONE	双向	专用	作为配置完成的标志，为高时代表配置完成。DONE输出默认为漏极开路输出。
CCLK	输入、输出	专用	配置时钟。CCLK在除JTAG模式以外的所有模式下运行同步FPGA配置序列。 •对于从模式：CCLK是输入，需要连接到外部时钟源。 •对于主模式：FPGA提供配置时钟并驱动CCLK作为输出。 •对于JTAG模式：CCLK为高Z且可保持未连接状态。
PUDC_B	输入	多功能的	配置期间上拉 低电平有效的PUDC_B输入在上电后和配置期间启用SelectIO引脚上的内部上拉电阻。 •当PUDC_B为低电平时，每个SelectIO引脚上启用内部上拉电阻。 •当PUDC_B为高电平时，每个SelectIO引脚上的内部上拉电阻均被禁用。

EMCCLK	输入	多功能的	外部主机配置时钟 可选的外部时钟输入，用于在主模式下运行配置逻辑（相对于内部配置振荡器）。 •对于主串模式：FPGA可以选择切换到EMCCLK作为时钟源，而不是内部振荡器，以驱动内部配置引擎。可以选择通过位流设置（ExtMasterCclk_en）对EMCCLK频率进行分频，并将其转发以作为主CCLK信号输出。 •对于JTAG和从属模式：在JTAG和从属模式中，EMCCLK被忽略，并且可以保持未连接状态。
CSI_B	输入	多功能的	片选输入，SelectMAP数据总线使能信号，低电平有效
CSO_B	输出（漏极开路）	多功能的	片选输出 低电平有效漏极开路输出，可将其驱动为低电平，以并行配置菊花链的形式启用下游FPGA的从SelectMAP配置接口。
DOUT	输出	多功能的	数据输出 DOUT是串行配置菊花链的数据输出。 •对于串行和SPI（仅x1）模式：如果设备处于串行配置菊花链模式，则连接到下游从串行FPGA的DIN。否则，DOUT为高阻态。 •对于BPI和SelectMAP模式：DOUT是多功能引脚，用作CSO_B引脚。 •对于所有其他模式：DOUT为高阻Z且可保持未连接状态。
RDWR_B	输入	多功能的	SelectMAP数据总线方向控制信号，RDWR_B为低时，数据总线为输入；否则为输出。
D00_MOSI	双向的	多功能的	主输出，从输入FPGA（主）SPI模式输出，用于将命令发送到SPI（从）闪存设备。
D01_DIN	双向的	多功能的	DIN是串行数据输入引脚。对于串行和SPI模式：DIN是从数据源接收串行数据的FPGA数据输入。
D[00-31]	双向的	多功能的	D[00-31]引脚的子集或全集是SPI x2，SPI x4，BPI或SelectMAP模式的数据总线接口。
A[00-28]	输出	多功能的	BPI地址总线输出，完成配置后可做普通IO
FCS_B	输出	多功能的	BPI模式和SPI模式下配置Flash片选信号，低电平有效
FOE_B	输出	多功能的	BPI模式下配置Flash输出使能，低电平有效
FWE_B	输出	多功能的	BPI模式配置Flash写使能，低电平有效
ADV_B	输出	多功能的	BPI模式配置Flash地址有效输出信号，低电平有效
RS0,RS1	输出	多功能的	RS0和RS1引脚是修订选择输出引脚，用于驱动并行闪存上的高位地址线。
VCCBATT	N/A	电源电压	VCCBATT是FPGA内部易失性存储器的备用电池，该存储器存储AES解密器的密钥。对于需要从易失性密钥存储区获得解密器密钥的加密比特流，当FPGA断电时，将此引脚连接至电池以保存密钥。如果不需要使用易失性密钥存储区中的解密器密钥，则将此引脚连接至GND或VCCAUX。

注：1.每个I/O均参考该I/O所在组的V_{cco}电源电压。例如，“0”表示I/O引用到Bank 0的V_{cco_0}

4.9 DDR接口

基于FPGA设计的DDR存储器接口和控制器由三个基本构建模块组成：

- 读写数据接口（Physical Layer）
- 存储器控制器状态机（Controller）
- 以及将存储器接口设计桥接到FPGA设计的其余用户界面

这些模块都在FPGA资源中实现，并由时钟管理器CMT的输出作为时钟来驱动。

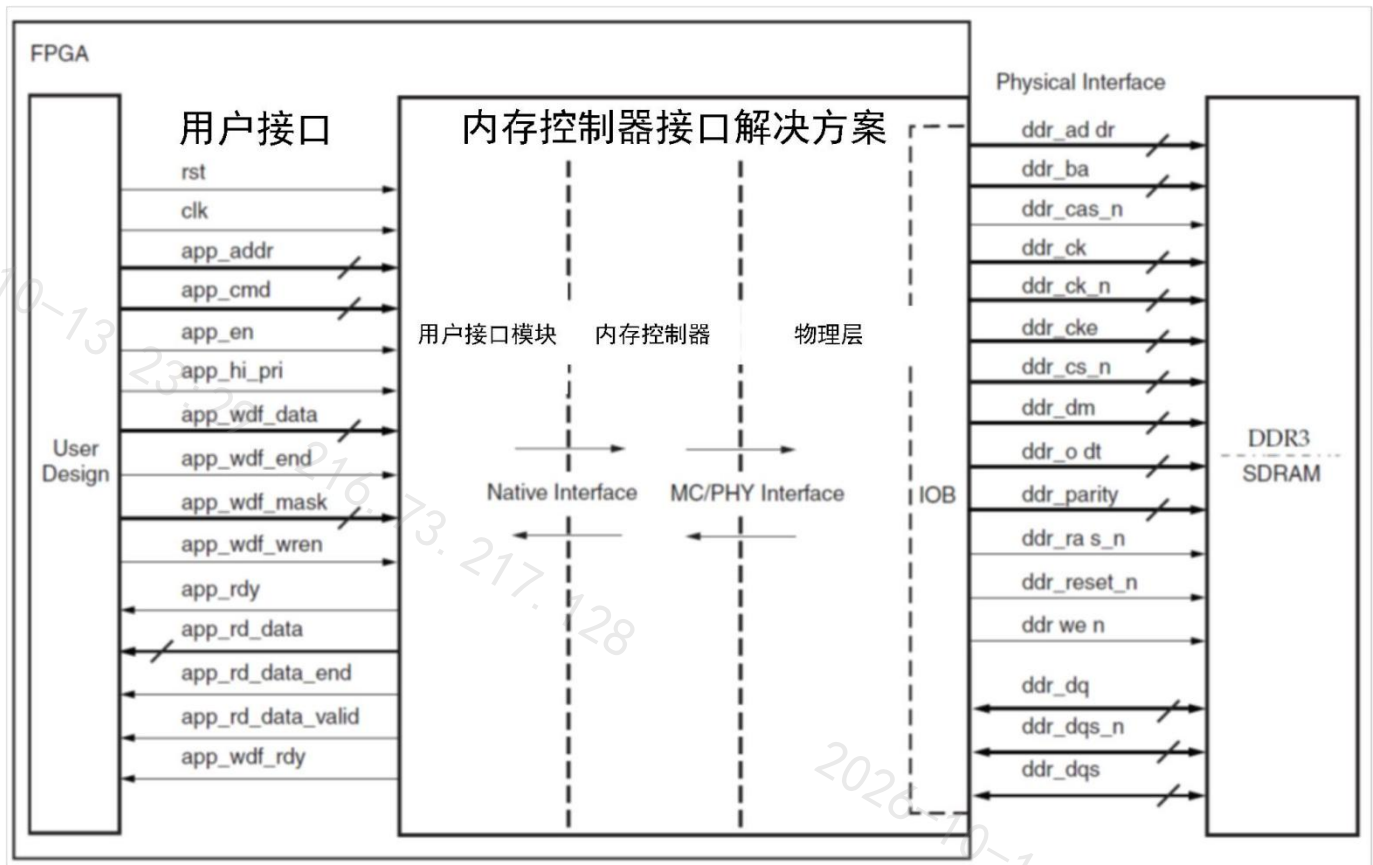


图36 DDR内存接口解决方案

DDR控制器通过MIG IP核进行例化。使用时，用户首先需要在MIG IP核配置页面对DDR芯片型号、总线位宽、速度等级、引脚分配等参数进行设置。设置完成后即可得到DDR3控制器接口解决方案，FPGA内存接口解决方案如图36所示。

该方案由用户设计模块、用户接口模块、内存控制模块和物理层接口模块等四部分组成。

- 用户接口模块位于设计的最前端，通过呈现一个扁平化的地址空间和缓冲器，提供了一个简单的用户接口，用以代替本地接口进行数据的读写操作。
- 内存控制模块位于用户接口模块和物理层模块之间，其前端为用户接口模块提供本地

接口。本地接口支持用户设计提交存储器读写请求，并提供用户设计模块与外部存储设备之间的数据传输机制。内存控制模块还提供了一个具有重排序的功能选项，可以对接收到的请求进行重新排序，进而优化数据传输的吞吐量及时延。

■内存控制器后端连接至物理层接口，并处理所有该模块的接口请求。物理层接口前端连接至内存控制器模块，后端连接外部存储设备，其主要功能是捕获DDR3发出的数据，产生DDR3所需要的控制指令信号，并通过输入输出缓存发送所有DDR3的控制信号、地址信号以及数据信号，同时保证指令与地址、数据的同步和信号的维持。

用户使用时，只需设计DDR3读写控制模块即可通过IP核对DDR3进行读写操作。

app_rdy信号是用户接口模块准备就绪的标识，在进行读操作时，只需在app_rdy信号为1时更新读地址即可，读操作时序如图37所示。

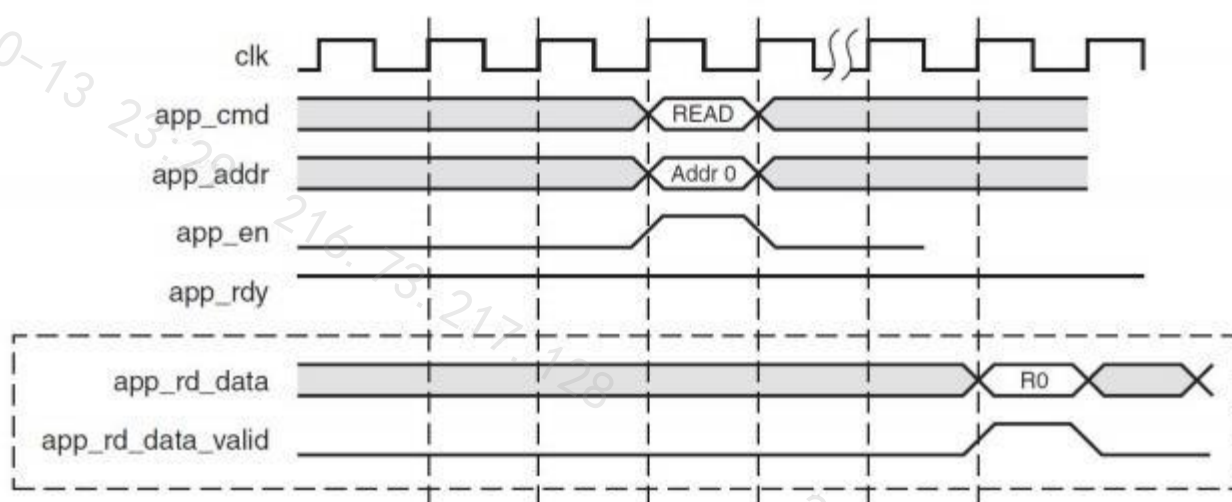


图37 DDR内存接口读操作时序

写操作相对复杂，若要成功进行写操作，则必须保证写地址和写数据都有效，而写地址和写数据不必同时有效，可以相差几个周期，当用户接口反馈的app_rdy信号和用户控制的app_en信号同时为1时，写操作指令app_cmd以及写地址app_addr有效。而对于需要写入的数据app_wdf_data来说，只有当用户接口反馈的app_wdf_rdy信号和用户控制的app_wdf_wren信号同时拉高时才是有效的。写操作对应的时序如图38所示。

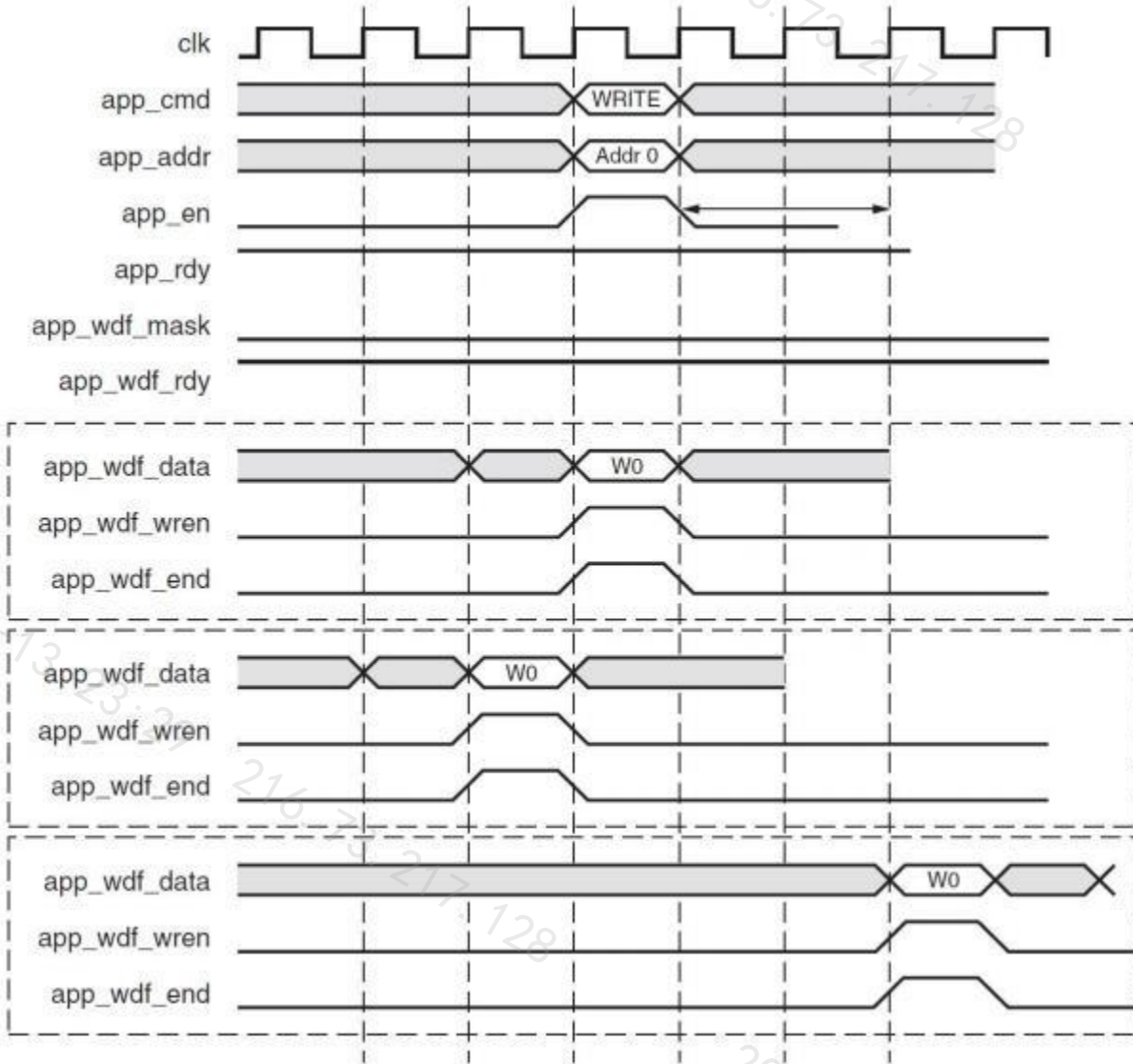


图38 DDR内存接口写操作时序

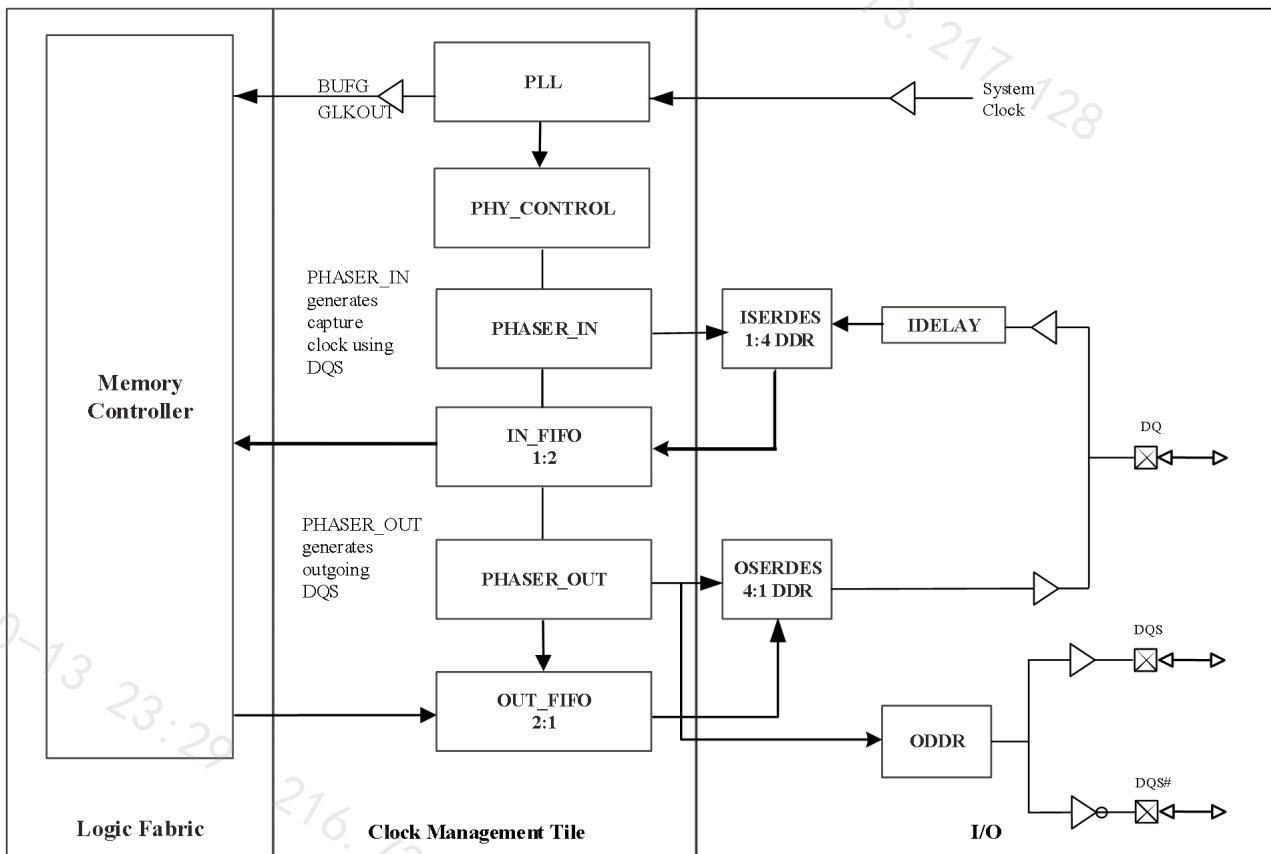


图39 DDR内存接口架构

4.10 ADC模块

CYF7S50包含一个模拟接口模块，当与可编程逻辑结合使用时，ADC可以满足多种数据采集和监控功能需求。ADC包含：

- 两个12位、1 MSPS ADC
- 一个片上多路复用器
- 片上热传感器
- 电源传感器

ADC模块基本功能框图如图40所示：

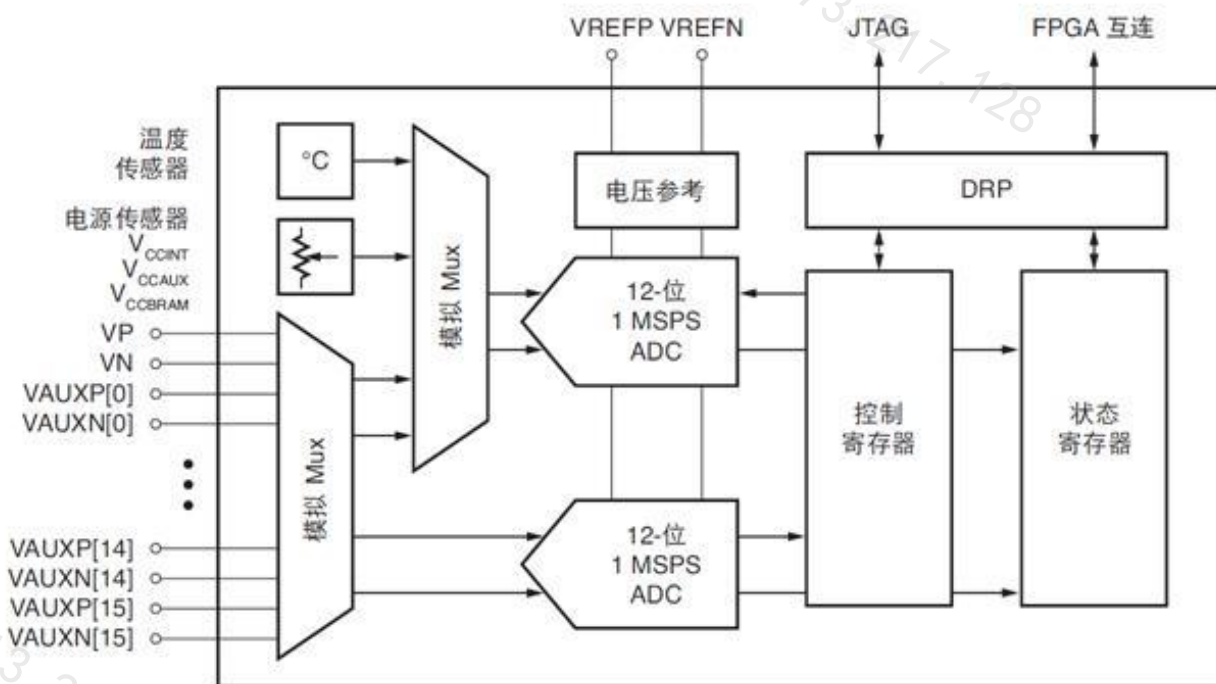


图40 ADC基本功能框图

ADC转换数据存储在称为状态寄存器的专用寄存器中。这些寄存器可通过FPGA互连使用称为动态重配置端口(DRP)的16位同步读写端口进行访问。ADC转换数据也可通过JTAG TAP访问，对于JTAG TAP，用户无需实例化XADC，因为它是使用现有的FPGA JTAG接口。如果XADC未在设计中实例化，则器件会在预定义模式（称为默认模式）下运行，该模式可监控片上温度和电源电压。

温度传感器的函数由公式1给出：

$$\text{Temp}(^{\circ}\text{C}) = \frac{\text{ADC Code} \times 484.704}{4096} - 273.15 \text{ 公式1}$$

电源传感器的传递函数如公式2所示：

$$\text{Voltage} = \frac{\text{ADC Code}}{4096} \times 3\text{V} \text{ 公式2}$$

5、极限工作条件和推荐工作条件

5.1 极限工作条件

表20绝对最大额定值

符号	描述 ⁽¹⁾	最小值	最大值	单位
FPGA Logic				
VCCINT	内核电源电压	-0.5	0.99	V
VCCAUX	辅助电源电压	-0.5	2.0	V

V _{CCBRAM}	Block RAM存储器的电源电压	-0.5	0.99	V
V _{CCO}	3.3V HR I/O组输出电源电压	-0.5	3.6	V
V _{REF}	输入参考电压	-0.5	2.0	V
V _{IN}	3.3V HR I/O组的I/O输入电压	-0.4	V _{CCO} +0.55	V
V _{CCBATT}	密钥存储器备用电源电压	-0.5	2.0	V
XADC				
V _{CCADC}	相对于GNDADC的XADC电源电压	-0.5	2.0	V
V _{REFP}	相对于GNDADC的XADC参考输入电源电压	-0.5	2.0	V
Temperature				
T _{STG}	贮存温度（环境温度）	-65	150	°C
T _{SOL}	组件本体的最高焊接温度	—	+260	°C
T _J	最高结温	—	+125	°C

注意：(1)产品实际使用条件超过表中列出的最大绝对额定值时，可能会对器件造成永久性的损伤。最大绝对额定值只是极限耐受条件，不是产品正常工作条件，任何超过推荐工作条件的持续工作，可能会对器件的可靠性造成影响。

5.2推荐工作条件

表21推荐工作条件

符号	描述	最小值	公称	最大值	单位
FPGA Logic					
V _{CCINT} ⁽¹⁾	内核电源电压	0.873	0.90	0.927	V
V _{CCBRAM} ⁽¹⁾	Block RAM电源电压	0.873	0.90	0.927	V
V _{CCAUX}	辅助电源电压	1.71	1.80	1.89	V
V _{CCO} ^(2,3)	3.3V HR I/O组电源电压	1.14	—	3.45	V
V _{IN} ⁽⁴⁾	I/O输入电压	-0.20	—	V _{CCO} +0.2	V
I _{IN} ⁽⁵⁾	钳位二极管正向偏置时，通过任何引脚的最大电流	—	—	10	mA
V _{CCBATT} ⁽⁶⁾	电池电压	1.0	—	1.89	V
XADC					
V _{CCADC}	相对于GNDADC的XADC电源电压	1.71	1.80	1.89	V
V _{REFP}	外部提供的参考电源电压	1.20	1.25	1.30	V
Temperature					
T _J	器件的结温工作范围	-55	—	125	°C

备注：
 (1)V_{CCINT}和V_{CCBRAM}应该连接到同一电源。
 (2)即使V_{CCO}降至0V，配置数据也会保留。
 (3)包括1.2V，1.35V，1.5V，1.8V，2.5V，3.3V的V_{CCO}(±5%)
 (4)始终适用较低的绝对电压规格。
 (5)每个bank的总电流不得超过200 mA。
 (6)仅在使用位流加密时才需要V_{CCBATT}。如果不使用电池，则将V_{CCBATT}接地或V_{CCAUX}。

5.3上电/断电电源顺序

推荐的上电顺序是 V_{CCINT} 、 V_{CCBRAM} 、 V_{CCAUX} 和 V_{CCO} ，以实现最小电流消耗并确保I/O在上电时处于三态。推荐的断电顺序与上电顺序相反。如果 V_{CCINT} 和 V_{CCBRAM} 具有相同的推荐电压电平，则两者都可以由相同的电源供电并同步上电。如果 V_{CCAUX} 和 V_{CCO} 具有相同的推荐电压电平，则两者都可以由相同的电源供电并同步上电。

对于HR I/O bank和配置bank 0中3.3V的 V_{CCO} 电压，适用以下条件：

- 对于每个上电/断电周期， V_{CCO} 和 V_{CCAUX} 之间的电压差不要超过2.625V，如果两者电压差超过2.625V，则时间不得超过 $T_{VCCO2VCCAUX}$ ，以保持器件的可靠性水平。
- $T_{VCCO2VCCAUX}$ 时间可以在上电和断电电压上升和下降的斜坡之间以任何百分比分配。

6、主要技术参数指标

6.1电特性参数

6.1.1静态参数

表22静态参数

特性	符号	除另有规定外 $0.873 \leq V_{CCINT} \leq 0.927V$ ， $95\% \times$ 典型电源电压 $\leq V_{CCO} \leq 105\% \times$ 典型电源电压， $1.71 \leq V_{CCAUX} \leq 1.89V$ ， $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
配置数据能保持的最低 V_{CCINT} 电压	V_{DRINT}	$V_{CCO}=3.3V$ ， $V_{CCAUX}=1.8V$ ，初始 $V_{CCINT}=0.9V$	0.7	—	V
配置数据能保持的最低 V_{CCAUX} 电压	V_{DRI}	$V_{CCINT}=0.9V$ ， $V_{CCO}=3.3V$ ，初始 $V_{CCAUX}=1.8V$	1.1	—	V
配置数据能保持的最低 V_{CCBRAM} 电压	V_{CCBRAM}	$V_{CCINT}=0.9V$ ， $V_{CCO}=3.3V$ ，初始 $V_{CCBRAM}=0.9V$	0.6	—	V
特性	符号	条件 除另有规定外 $V_{CCINT}=0.9V$ ， $V_{CCAUX}=1.8V$ ， $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
输出高电平电压	V_{OH}	LVC MOS33, $I_{OH}=-16mA$ 、 $-12mA$ 、 $-8mA$ 、 $-4mA$	2.9	—	V
		LVC MOS25, $I_{OH}=-16mA$ 、 $-12mA$ 、 $-8mA$ 、 $-4mA$	2.1	—	V
		LVC MOS18, $I_{OH}=-24mA$ 、 $-16mA$ 、 $-12mA$ 、 $-8mA$ 、 $-4mA$	1.3	—	V
		LVTTL, $I_{OH}=-24mA$ 、 $-16mA$ 、 $-12mA$ 、 $-8mA$ 、 $-4mA$	2.4	—	V
		PCI33_3, $I_{OH}=-0.5mA$	2.97	—	V
		MOBILE_DDR, $I_{OH}=-0.1mA$	1.62	—	V
		HSTL_I_18, $I_{OH}=-8mA$	1.4	—	V

		HSTL_II_18, $I_{OH}=-16mA$	1.4	—	V
		SSTL 18_I, $I_{OH}=-8mA$	1.37	—	V
		SSTL 18_II, $I_{OH}=-13.4mA$	1.5	—	V
		HSTL_I, $I_{OH}=-8mA$	1.1	—	V
		HSTL_II, $I_{OH}=-16mA$	1.1	—	V
		LVC MOS15, $I_{OH}=-16mA$ 、 $-12mA$ 、 $-8mA$ 、 $-4mA$	1.125	—	V
		SSTL15, $I_{OH}=-13.0mA$	0.925	—	V
		SSTL15_R, $I_{OH}=-8.9mA$	0.925	—	V
		SSTL135, $I_{OH}=-13.0mA$	0.825	—	V
		SSTL135_R, $I_{OH}=-8.9mA$	0.825	—	V
		HSUL_12, $I_{OH}=-0.1mA$	0.96	—	V
		LVC MOS12, $I_{OH}=-12mA$ 、 $-8mA$ 、 $-4mA$	0.8	—	V
		DIFF_HSTL_I_18, $I_{OH}=-8mA$	1.4	—	V
		DIFF_HSTL_II_18, $I_{OH}=-16mA$	1.4	—	V
		DIFF_MOBILE_DDR, $I_{OH}=-0.1mA$	1.62	—	V
		DIFF_SSTL18_I, $I_{OH}=-8mA$	1.37	—	V
		DIFF_SSTL18_II, $I_{OH}=-13.4mA$	1.5	—	V
		DIFF_HSTL_I, $I_{OH}=-8mA$	1.1	—	V
		DIFF_HSTL_II, $I_{OH}=-16mA$	1.1	—	V
		DIFF_SSTL15, $I_{OH}=-13mA$	0.925	—	V
		DIFF_SSTL15_R, $I_{OH}=-8.9mA$	0.925	—	V
		DIFF_HSUL12, $I_{OH}=-0.1mA$	0.96	—	V
		DIFF_SSTL135, $I_{OH}=-13mA$	0.825	—	V
		DIFF_SSTL135_R, $I_{OH}=-8.9mA$	0.825	—	V
输出低电平电压	V_{OL}	LVC MOS33, $I_{OH}=16mA$ 、 $12mA$ 、 $8mA$ 、 $4mA$	—	0.4	V
		LVC MOS25, $I_{OH}=16mA$ 、 $12mA$ 、 $8mA$ 、 $4mA$	—	0.4	V
		LVC MOS18, $I_{OH}=24mA$ 、 $16mA$ 、 $12mA$ 、 $8mA$ 、 $4mA$	—	0.45	V
		LVTTL, $I_{OH}=24mA$ 、 $16mA$ 、 $12mA$ 、 $8mA$ 、 $4mA$	—	0.4	V
		PCI33_3, $I_{OH}=1.5mA$	—	0.33	V
		MOBILE_DDR, $I_{OH}=0.1mA$	—	0.18	V
		HSTL_I_18, $I_{OH}=8mA$	—	0.4	V
		HSTL_II_18, $I_{OH}=16mA$	—	0.4	V
		SSTL 18_I, $I_{OH}=8mA$	—	0.43	V
		SSTL 18_II, $I_{OH}=13.4mA$	—	0.3	V
		HSTL_I, $I_{OH}=8mA$	—	0.4	V
		HSTL_II, $I_{OH}=16mA$	—	0.4	V

		LVC MOS15, $I_{OH}=16\text{mA}$ 、 12mA 、 8mA 、 4mA	—	0.375	V
		SSTL15, $I_{OH}=13.0\text{mA}$	—	0.575	V
		SSTL15_R, $I_{OH}=8.9\text{mA}$	—	0.575	V
		SSTL135, $I_{OH}=13.0\text{mA}$	—	0.525	V
		SSTL135_R, $I_{OH}=8.9\text{mA}$	—	0.525	V
		HSUL_12, $I_{OH}=0.1\text{mA}$	—	0.24	V
		LVC MOS12, $I_{OH}=12\text{mA}$ 、 8mA 、 4mA	—	0.4	V
		DIFF_HSTL_I_18, $I_{OH}=8\text{mA}$	—	0.4	V
		DIFF_HSTL_II_18, $I_{OH}=16\text{mA}$	—	0.4	V
		DIFF_MOBILE_DDR, $I_{OH}=0.1\text{mA}$	—	0.18	V
		DIFF_SSTL18_I, $I_{OH}=8\text{mA}$	—	0.43	V
		DIFF_SSTL18_II, $I_{OH}=13.4\text{mA}$	—	0.3	V
		DIFF_HSTL_I, $I_{OH}=8\text{mA}$	—	0.4	V
		DIFF_HSTL_II, $I_{OH}=16\text{mA}$	—	0.4	V
		DIFF_SSTL15, $I_{OH}=13\text{mA}$	—	0.575	V
		DIFF_SSTL15_R, $I_{OH}=8.9\text{mA}$	—	0.575	V
		DIFF_HSUL12, $I_{OH}=0.1\text{mA}$	—	0.24	V
		DIFF_SSTL135, $I_{OH}=13\text{mA}$	—	0.525	V
		DIFF_SSTL135_R, $I_{OH}=8.9\text{mA}$	—	0.525	V
特性	符号	条件 除另有规定外 $V_{CCINT}=0.9\text{V}$, $V_{CCAUX}=1.8\text{V}$, $-55^{\circ}\text{C}\leq T_A\leq 125^{\circ}\text{C}$	极限值		单位
			最小	最大	
输入高电平电压	V_{IH}	LVC MOS33	2.0	—	V
		LVC MOS25	1.7	—	V
		LVC MOS18	1.17	—	V
		LV TTL	2.0	—	V
		PCI33_3	1.65	—	V
		MOBILE_DDR	1.44	—	V
		HSTL_I_18	1.0	—	V
		HSTL_II_18	1.0	—	V
		SSTL 18_I	1.025	—	V
		SSTL 18_II	1.025	—	V
		HSTL_I	0.85	—	V
		HSTL_II	0.85	—	V
		LVC MOS15	0.975	—	V
		SSTL15	0.85	—	V
		SSTL15_R	0.85	—	V
		SSTL135	0.765	—	V
		SSTL135_R	0.765	—	V
		HSUL_12	0.73	—	V
		LVC MOS12	0.78	—	V

		DIFF_HSTL_I_18:V _{ICM}	0.3	—	V
		DIFF_HSTL_II_18:V _{ICM}	0.3	—	V
		DIFF_MOBILE_DDR:V _{ICM}	0.3	—	V
		DIFF_SSTL18_I:V _{ICM}	0.3	—	V
		DIFF_SSTL18_II:V _{ICM}	0.3	—	V
		DIFF_HSTL_I:V _{ICM}	0.3	—	V
		DIFF_HSTL_II:V _{ICM}	0.3	—	V
		DIFF_SSTL15:V _{ICM}	0.3	—	V
		DIFF_SSTL15_R:V _{ICM}	0.3	—	V
		DIFF_HSUL12:V _{ICM}	0.3	—	V
		DIFF_SSTL135:V _{ICM}	0.3	—	V
		DIFF_SSTL135_R:V _{ICM}	0.3	—	V
输入低电平电压	V _{IL}	LVC MOS33	—	0.8	V
		LVC MOS25	—	0.7	V
		LVC MOS18	—	0.63	V
		LV TTL	—	0.8	V
		PCI33_3	—	0.99	V
		MOBILE_DDR	—	0.36	V
		HSTL_I_18	—	0.8	V
		HSTL_II_18	—	0.8	V
		SSTL 18_I	—	0.775	V
		SSTL 18_II	—	0.775	V
		HSTL_I	—	0.65	V
		HSTL_II	—	0.65	V
		LVC MOS15	—	0.525	V
		SSTL15	—	0.65	V
		SSTL15_R	—	0.65	V
		SSTL135	—	0.585	V
		SSTL135_R	—	0.585	V
		HSUL_12	—	0.47	V
		LVC MOS12	—	0.42	V
		DIFF_HSTL_I_18:V _{ICM}	—	1.425	V
		DIFF_HSTL_II_18:V _{ICM}	—	1.425	V
		DIFF_MOBILE_DDR:V _{ICM}	—	1.425	V
		DIFF_SSTL18_I:V _{ICM}	—	1.425	V
		DIFF_SSTL18_II:V _{ICM}	—	1.425	V
		DIFF_HSTL_I:V _{ICM}	—	1.125	V
		DIFF_HSTL_II:V _{ICM}	—	1.125	V
		DIFF_SSTL15:V _{ICM}	—	1.125	V
		DIFF_SSTL15_R:V _{ICM}	—	1.125	V
		DIFF_HSUL12:V _{ICM}	—	0.85	V
		DIFF_SSTL135:V _{ICM}	—	1.0	V

		DIFF_SSTL135_R:V _{ICM}				—	1.0	V
LVDS_25 DC规格								
符号	直流参数	条件	最小值	典型值	最大值	单位		
V _{CCO}	电源电压	—	2.375	2.500	2.625	V		
V _{OH}	Q和Q输出高电压	R _T =100 Ω 跨接Q andQ信号之间	—	—	1.900	V		
V _{OL}	Q和Q输出低电压	R _T =100 Ω 跨接Q andQ信号之间	0.700	—	—	V		
V _{ODIFF}	差分输出电压: (Q-Q), Q=高 (Q-Q), Q=高	R _T =100 Ω 跨接Q andQ信号之间	247	350	600	mV		
V _{OCM}	输出共模电压	R _T =100 Ω 跨接Q andQ信号之间	1.000	1.250	1.800	V		
V _{DIFF}	差分输入电压: (Q-Q), Q=高 (Q-Q), Q=高		100	350	600	mV		
V _{ICM}	输入共模电压		0.300	1.200	1.850	V		
存储器接口IP的最高物理接口(PHY)速率								
存储器标准	I/O Bank类型	条件 (除非另有规定, 0.873≤V _{CCINT} ≤0.927V, 1.71V≤V _{CCAUX} ≤1.89V, V _{CCO} =典型电 压, -55℃≤T _A ≤125℃)	最大值			单位		
4:1 Memory Controllers								
DDR3					800		Mb/s	
DDR3L					1000		Mb/s	

6.1.2开关参数

表23开关参数

特性	符号	除另有规定外V _{CCINT} =0.9V, V _{CCAUX} =1.8V, V _{CCO} =3.3V, -55℃≤T _A ≤125℃	极限值		单位
			最小	最大	
BRAM最大工作频率	F _{MAX_BRAM_WF_NC}	(Write first and No change modes) When not in SDP RF mode	—	350	MHz
	F _{MAX_BRAM_RF_PERFORMANCE}	Block RAM(read first,performance mode)when in SDP RF mode but no address overlap between port A and port B.	—	388.20	MHz
	F _{MAX_BRAM_RF_DELAYED_WRITE}	Block RAM(read first,delayed write mode)when in SDP RF mode and there is possibility of overlap between port A and port B addresses.	—	339.67	MHz
	F _{MAX_CAS_WF_NC}	Block RAM cascade(write first,no change mode)when cascade but not in RF mode.	—	345.78	MHz

	F _{MAX_CAS_RF_PERFORMANCE}	Block RAM cascade(read first, performance mode)when in cascade with RF mode and no possibility of address overlap/one port is disabled.	—	345.78	MHz
	F _{MAX_CAS_RF_DELAYED_WRITE}	When in cascade RF mode and there is a possibility of address overlap between port	—	297.35	MHz
		A and port B.			
	F _{MAX_FIFO}	FIFO in all modes without ECC.	—	388.20	MHz
	F _{MAX_ECC}	Block RAM and FIFO in ECC configuration.	—	297.53	MHz
DSP最大 工作频率	F _{max}	With all registers used	—	464.25	MHz
	F _{MAX_PATDET}	With pattern detector	—	392.93	MHz
	F _{MAX_MULT_NOMREG}	Two register multiply without MREG.	—	257.47	MHz
	F _{MAX_MULT_NOMREG_PATDET}	Two register multiply without MREG with pattern detect.	—	233.92	MHz
	F _{MAX_PREADD_MULT_NOADREG}	Without ADREG.	—	290.44	MHz
	F _{MAX_PREADD_MULT_NOADREG_PATDET}	Without ADREG with pattern detect.	—	290.44	MHz
	F _{MAX_NOPIPELINEREG}	Without pipeline registers(MREG, ADREG).	—	190.69	MHz
	F _{MAX_NOPIPELINEREG_PATDET}	Without pipeline registers(MREG,ADREG)with pattern detect.	—	177.43	MHz
CLB最大 工作频率 &延迟	Distributed RAM T _{MCP}	Max frequency	—	800	MHz
	Shift Register T _{MPW_SHFREG}	Max frequency	—	510.2	MHz
	RO_100Lut	Ring Oscillator	—	16.92	MHz
	RO_250Lut	Ring Oscillator	—	6.3	MHz
	T _{AXA}	AX inputs to AMUX output	—	0.286	ns
	T _{AXB}	AX inputs to BMUX output	—	0.239	ns
	T _{AXC}	AX inputs to BMUX output	—	0.307	ns
	T _{AXD}	AX inputs to DMUX output	—	0.327	ns
	T _{BXB}	BX inputs to BMUX output	—	0.241	ns

	T _{BXD}	BX inputs to DMUX output	—	0.309	ns
	T _{CXC}	CX inputs to CMUX output	—	0.213	ns
	T _{CXD}	CX inputs to DMUX output	—	0.277	ns
	T _{DXD}	DX inputs to DMUX output	—	0.278	ns
MMCM 最大输入 时钟频率	MMCM_F _{INMAX}	Maximum input clock frequency	—	800	MHz
MMCM 最小输入 时钟频率	MMCM_F _{INMIN}	Minimum input clock frequency	—	10	MHz
MMCM 最小VCO 频率	MMCM_F _{VCOMIN}	Minimum MMCM VCO frequency	—	600	MHz
MMCM 最大VCO 频率	MMCM_F _{VCOMAX}	Maximum MMCM VCO frequency	—	1440	MHz
MMCM 最大输出 频率	MMCM_F _{OUTMAX}	MMCM maximum output frequency	—	800	MHz
MMCM 最小输出 频率	MMCM_F _{OUTMIN}	MMCM minimum output frequency	—	4.69	MHz
MMCM 最大锁定 时间	MMCM_T _{LOCKMAX}	MMCM maximum lock time.		100	us
PLL最大 输入时钟 频率	PLL_F _{INMAX}	Maximum input clock frequency	—	800	MHz
PLL最小 输入时钟 频率	PLL_F _{INMIN}	Minimum input clock frequency	—	19	MHz
PLL最小 VCO频率	PLL_F _{VCOMIN}	Minimum PLL VCO frequency	—	800	MHz
PLL最大 VCO频率	PLL_F _{VCOMAX}	Maximum PLL VCO frequency	—	1866	MHz
PLL最大 输出频率	PLL_F _{OUTMAX}	PLL maximum output frequency	—	800	MHz
PLL最小 输出频率	PLL_F _{OUTMIN}	PLL minimum output frequency	—	6.25	MHz

表24配置开关参数

符号	描述	数值	单位
JTAG	下载最小工作频率	125	KHz
	下载最大工作频率	66	MHz

表25 ADC规格

参数	符号	备注/条件	最小值	典型值	最大值	单位
V _{CCADC} =1.8V±5%, V _{REFP} =1.25V, V _{REFN} =0V, ADCCLK=26 MHz, T _j =-40°C to 100°C, Typical values at T _j =+40°C						
ADC精度						
积分非线性	INL		—	—	±3	LSBs
微分非线性	DNL	无漏码, 确保单调	—	—	±1	LSBs
失调误差		失调校准使能	—	—	±6	LSBs
增益误差		增益校准使能	—	—	±0.5	%
采样率			—	—	1	MS/s
信噪比	SNR	F _{SAMPLE} =500KS/s, F _{IN} =20KHz	60	—	—	dB
总谐波失真	THD	F _{SAMPLE} =500KS/s, F _{IN} =20KHz	—	70	—	dB

6.1.3 上电电流要求

表26上电电流要求

I _{CCINT} 最小值	I _{CCAUX} 最小值	I _{CCO} 最小值	I _{CCBRAM} 最小值	单位
215	62	1+40×IO BANK数	62	mA

6.1.4 电源上电时间

表27电源上电时间

符号	描述	状态	最小	最大	单位
T _{VCCINT}	V _{CCINT} 从GND到90%V _{CCINT} 的上电时间		0.2	50	ms
T _{VCCO}	V _{CCO} 从GND到90%V _{CCO} 的上电时间		0.2	50	ms
T _{VCCAUX}	V _{CCAUX} 从GND到90%V _{CCAUX} 的上电时间		0.2	50	ms
T _{VCCBRAM}	V _{CCBRAM} 从GND到90%V _{CCBRAM} 的上电时间		0.2	50	ms
T _{VCCO2VCCAUX}	V _{CCO} -V _{CCAUX} >2.625V允许的时间	T _j =125°C	—	300	ms
		T _j =100°C	—	500	ms
		T _j =85°C	—	800	ms

附录A

(规范性附录)

附录A.1

CYF7S50-FGG484封装器件的引出端及功能说明如表A.1所示。

表A.1 CYF7S50-FGG484引出端及功能描述

Bank	管脚描述	引出端序号
0	DONE_0	U9
0	DXP_0	N12
0	GNDADC_0	K12
0	VCCADC_0	K11
0	VREFP_0	M12
0	VN_0	M11
0	VCCBATT_0	E9
0	TCK_0	G9
0	DXN_0	N11
0	VREFN_0	L11
0	VP_0	L12
0	CCLK_0	D9
0	M0_0	T11
0	M1_0	T10
0	INIT_B_0	T9
0	TDI_0	W9
0	TDO_0	W10
0	M2_0	U10
0	CFGBVS_0	V11
0	PROGRAM_B_0	U11
0	TMS_0	Y10
14	IO_0_14	N15
14	IO_L1P_T0_D00_MOSI_14	M21
14	IO_L1N_T0_D01_DIN_14	M22
14	IO_L2P_T0_D02_14	N21
14	IO_L2N_T0_D03_14	N22
14	IO_L3P_T0_DQS_PUDC_B_14	M19
14	IO_L3N_T0_DQS_EMCCLK_14	N19
14	IO_L4P_T0_D04_14	P21
14	IO_L4N_T0_D05_14	P22
14	IO_L5P_T0_D06_14	N20
14	IO_L5N_T0_D07_14	P20
14	IO_L6P_T0_FCS_B_14	N17
14	IO_L6N_T0_D08_VREF_14	N18
14	IO_L7P_T1_D09_14	T21

Bank	管脚描述	引出端序号
14	IO_L7N_T1_D10_14	T22
14	IO_L8P_T1_D11_14	V21
14	IO_L8N_T1_D12_14	W22
14	IO_L9P_T1_DQS_14	U22
14	IO_L9N_T1_DQS_D13_14	V22
14	IO_L10P_T1_D14_14	W21
14	IO_L10N_T1_D15_14	Y21
14	IO_L11P_T1_SRCC_14	U20
14	IO_L11N_T1_SRCC_14	V20
14	IO_L12P_T1_MRCC_14	U18
14	IO_L12N_T1_MRCC_14	U19
14	IO_L13P_T2_MRCC_14	P15
14	IO_L13N_T2_MRCC_14	P16
14	IO_L14P_T2_SRCC_14	P17
14	IO_L14N_T2_SRCC_14	R18
14	IO_L15P_T2_DQS_RDWR_B_14	T17
14	IO_L15N_T2_DQS_DOUT_CSO_B_14	U17
14	IO_L16P_T2_CSI_B_14	R16
14	IO_L16N_T2_D31_14	R17
14	IO_L17P_T2_D30_14	R19
14	IO_L17N_T2_D29_14	R20
14	IO_L18P_T2_D28_14	T19
14	IO_L18N_T2_D27_14	T20
14	IO_L19P_T3_D26_14	Y20
14	IO_L19N_T3_D25_VREF_14	AA20
14	IO_L20P_T3_D24_14	Y22
14	IO_L20N_T3_D23_14	AA22
14	IO_L21P_T3_DQS_14	W18
14	IO_L21N_T3_DQS_D22_14	Y19
14	IO_L22P_T3_D21_14	AA21
14	IO_L22N_T3_D20_14	AB21
14	IO_L23P_T3_D19_14	AB19
14	IO_L23N_T3_D18_14	AB20
14	IO_L24P_T3_D17_14	V18
14	IO_L24N_T3_D16_14	V19
14	IO_25_14	T16
15	IO_0_15	A21
15	IO_L1P_T0_AD0P_15	F17
15	IO_L1N_T0_AD0N_15	F18
15	IO_L2P_T0_AD8P_15	H17
15	IO_L2N_T0_AD8N_15	G17
15	IO_L3P_T0_DQS_AD1P_15	J17

Bank	管脚描述	引出端序号
15	IO_L3N_T0_DQS_AD1N_15	H18
15	IO_L4P_T0_15	H16
15	IO_L4N_T0_15	G16
15	IO_L5P_T0_AD9P_15	K16
15	IO_L5N_T0_AD9N_15	J16
15	IO_L6P_T0_15	K15
15	IO_L6N_T0_VREF_15	J15
15	IO_L7P_T1_AD2P_15	B21
15	IO_L7N_T1_AD2N_15	B22
15	IO_L8P_T1_AD10P_15	D20
15	IO_L8N_T1_AD10N_15	C20
15	IO_L9P_T1_DQS_AD3P_15	D21
15	IO_L9N_T1_DQS_AD3N_15	C22
15	IO_L10P_T1_AD11P_15	E22
15	IO_L10N_T1_AD11N_15	D22
15	IO_L11P_T1_SRCC_15	F21
15	IO_L11N_T1_SRCC_15	F22
15	IO_L12P_T1_MRCC_15	F19
15	IO_L12N_T1_MRCC_15	F20
15	IO_L13P_T2_MRCC_15	M15
15	IO_L13N_T2_MRCC_15	L15
15	IO_L14P_T2_SRCC_15	M17
15	IO_L14N_T2_SRCC_15	M18
15	IO_L15P_T2_DQS_15	L16
15	IO_L15N_T2_DQS_15	K17
15	IO_L16P_T2_15	K18
15	IO_L16N_T2_15	K19
15	IO_L17P_T2_15	J19
15	IO_L17N_T2_15	J20
15	IO_L18P_T2_15	L18
15	IO_L18N_T2_15	L19
15	IO_L19P_T3_15	H19
15	IO_L19N_T3_VREF_15	G20
15	IO_L20P_T3_15	G21
15	IO_L20N_T3_15	G22
15	IO_L21P_T3_DQS_15	H20
15	IO_L21N_T3_DQS_15	H21
15	IO_L22P_T3_15	L22
15	IO_L22N_T3_15	K22
15	IO_L23P_T3_15	J21
15	IO_L23N_T3_15	J22
15	IO_L24P_T3_RS1_15	L20

Bank	管脚描述	引出端序号
15	IO_L24N_T3_RS0_15	L21
15	IO_25_15	M16
16	IO_0_16	G13
16	IO_L1P_T0_16	G11
16	IO_L1N_T0_16	F11
16	IO_L2P_T0_16	G10
16	IO_L2N_T0_16	F10
16	IO_L3P_T0_DQS_16	E11
16	IO_L3N_T0_DQS_16	D11
16	IO_L4P_T0_16	F13
16	IO_L4N_T0_16	F14
16	IO_L5P_T0_16	F12
16	IO_L5N_T0_16	E12
16	IO_L6P_T0_16	G14
16	IO_L6N_T0_VREF_16	F15
16	IO_L7P_T1_16	D13
16	IO_L7N_T1_16	C13
16	IO_L8P_T1_16	A11
16	IO_L8N_T1_16	A12
16	IO_L9P_T1_DQS_16	B13
16	IO_L9N_T1_DQS_16	A13
16	IO_L10P_T1_16	C10
16	IO_L10N_T1_16	C11
16	IO_L11P_T1_SRCC_16	D14
16	IO_L11N_T1_SRCC_16	D15
16	IO_L12P_T1_MRCC_16	D12
16	IO_L12N_T1_MRCC_16	C12
16	IO_L13P_T2_MRCC_16	C15
16	IO_L13N_T2_MRCC_16	C16
16	IO_L14P_T2_SRCC_16	B15
16	IO_L14N_T2_SRCC_16	B16
16	IO_L15P_T2_DQS_16	D16
16	IO_L15N_T2_DQS_16	C17
16	IO_L16P_T2_16	E15
16	IO_L16N_T2_16	E16
16	IO_L17P_T2_16	B14
16	IO_L17N_T2_16	A14
16	IO_L18P_T2_16	A16
16	IO_L18N_T2_16	A17
16	IO_L19P_T3_16	D18
16	IO_L19N_T3_VREF_16	C18
16	IO_L20P_T3_16	C19

Bank	管脚描述	引出端序号
16	IO_L20N_T3_16	B19
16	IO_L21P_T3_DQS_16	A18
16	IO_L21N_T3_DQS_16	A19
16	IO_L22P_T3_16	E17
16	IO_L22N_T3_16	E18
16	IO_L23P_T3_16	B20
16	IO_L23N_T3_16	A20
16	IO_L24P_T3_16	E19
16	IO_L24N_T3_16	D19
16	IO_25_16	G15
34	IO_0_34	R2
34	IO_L1P_T0_34	W5
34	IO_L1N_T0_34	W4
34	IO_L2P_T0_34	T7
34	IO_L2N_T0_34	T6
34	IO_L3P_T0_DQS_34	V5
34	IO_L3N_T0_DQS_34	V4
34	IO_L4P_T0_34	T5
34	IO_L4N_T0_34	U5
34	IO_L5P_T0_34	V7
34	IO_L5N_T0_34	V6
34	IO_L6P_T0_34	T8
34	IO_L6N_T0_VREF_34	U8
34	IO_L7P_T1_34	V1
34	IO_L7N_T1_34	W1
34	IO_L8P_T1_34	W2
34	IO_L8N_T1_34	Y1
34	IO_L9P_T1_DQS_34	U2
34	IO_L9N_T1_DQS_34	U1
34	IO_L10P_T1_34	W3
34	IO_L10N_T1_34	Y3
34	IO_L11P_T1_SRCC_34	U4
34	IO_L11N_T1_SRCC_34	U3
34	IO_L12P_T1_MRCC_34	T3
34	IO_L12N_T1_MRCC_34	T2
34	IO_L13P_T2_MRCC_34	AA6
34	IO_L13N_T2_MRCC_34	AB6
34	IO_L14P_T2_SRCC_34	Y6
34	IO_L14N_T2_SRCC_34	Y5
34	IO_L15P_T2_DQS_34	Y4
34	IO_L15N_T2_DQS_34	AA3
34	IO_L16P_T2_34	AB3

Bank	管脚描述	引出端序号
34	IO_L16N_T2_34	AB2
34	IO_L17P_T2_34	AA2
34	IO_L17N_T2_34	AA1
34	IO_L18P_T2_34	AB5
34	IO_L18N_T2_34	AB4
34	IO_L19P_T3_34	V8
34	IO_L19N_T3_VREF_34	W8
34	IO_L20P_T3_34	Y8
34	IO_L20N_T3_34	AA8
34	IO_L21P_T3_DQS_34	W7
34	IO_L21N_T3_DQS_34	Y7
34	IO_L22P_T3_34	AA10
34	IO_L22N_T3_34	AB10
34	IO_L23P_T3_34	AA7
34	IO_L23N_T3_34	AB7
34	IO_L24P_T3_34	AA9
34	IO_L24N_T3_34	AB9
34	IO_25_34	T1
35	IO_0_35	H7
35	IO_L1P_T0_AD4P_35	J3
35	IO_L1N_T0_AD4N_35	H2
35	IO_L2P_T0_AD12P_35	H4
35	IO_L2N_T0_AD12N_35	H3
35	IO_L3P_T0_DQS_AD5P_35	J2
35	IO_L3N_T0_DQS_AD5N_35	J1
35	IO_L4P_T0_35	K3
35	IO_L4N_T0_35	K2
35	IO_L5P_T0_AD13P_35	H6
35	IO_L5N_T0_AD13N_35	H5
35	IO_L6P_T0_35	K6
35	IO_L6N_T0_VREF_35	J6
35	IO_L7P_T1_AD6P_35	J8
35	IO_L7N_T1_AD6N_35	J7
35	IO_L8P_T1_AD14P_35	L7
35	IO_L8N_T1_AD14N_35	L6
35	IO_L9P_T1_DQS_AD7P_35	L5
35	IO_L9N_T1_DQS_AD7N_35	K5
35	IO_L10P_T1_AD15P_35	L4
35	IO_L10N_T1_AD15N_35	K4
35	IO_L11P_T1_SRCC_35	L8
35	IO_L11N_T1_SRCC_35	K8
35	IO_L12P_T1_MRCC_35	M8

Bank	管脚描述	引出端序号
35	IO_L12N_T1_MRCC_35	M7
35	IO_L13P_T2_MRCC_35	M4
35	IO_L13N_T2_MRCC_35	M3
35	IO_L14P_T2_SRCC_35	L1
35	IO_L14N_T2_SRCC_35	K1
35	IO_L15P_T2_DQS_35	M2
35	IO_L15N_T2_DQS_35	M1
35	IO_L16P_T2_35	N4
35	IO_L16N_T2_35	N3
35	IO_L17P_T2_35	P1
35	IO_L17N_T2_35	N1
35	IO_L18P_T2_35	P3
35	IO_L18N_T2_35	P2
35	IO_L19P_T3_35	P8
35	IO_L19N_T3_VREF_35	N8
35	IO_L20P_T3_35	N5
35	IO_L20N_T3_35	M5
35	IO_L21P_T3_DQS_35	P6
35	IO_L21N_T3_DQS_35	N6
35	IO_L22P_T3_35	P7
35	IO_L22N_T3_35	N7
35	IO_L23P_T3_35	R7
35	IO_L23N_T3_35	R6
35	IO_L24P_T3_35	R5
35	IO_L24N_T3_35	R4
35	IO_25_35	R3
NA	GND	A1
NA	GND	A8
NA	GND	A15
NA	GND	A22
NA	GND	B4
NA	GND	B11
NA	GND	B18
NA	GND	C7
NA	GND	C14
NA	GND	C21
NA	GND	D3
NA	GND	D10
NA	GND	D17
NA	GND	E6
NA	GND	E13
NA	GND	E20

Bank	管脚描述	引出端序号
NA	GND	F2
NA	GND	F9
NA	GND	F16
NA	GND	G5
NA	GND	G12
NA	GND	G19
NA	GND	H1
NA	GND	H8
NA	GND	H10
NA	GND	H12
NA	GND	H14
NA	GND	H15
NA	GND	H22
NA	GND	J4
NA	GND	J9
NA	GND	J11
NA	GND	J13
NA	GND	J18
NA	GND	K7
NA	GND	K10
NA	GND	K14
NA	GND	K21
NA	GND	L3
NA	GND	L9
NA	GND	L13
NA	GND	L17
NA	GND	M6
NA	GND	M10
NA	GND	M14
NA	GND	M20
NA	GND	N2
NA	GND	N9
NA	GND	N13
NA	GND	N16
NA	GND	P5
NA	GND	P10
NA	GND	P12
NA	GND	P14
NA	GND	P19
NA	GND	R1
NA	GND	R8
NA	GND	R9

Bank	管脚描述	引出端序号
NA	GND	R11
NA	GND	R13
NA	GND	R15
NA	GND	R22
NA	GND	T4
NA	GND	T18
NA	GND	U7
NA	GND	U14
NA	GND	U21
NA	GND	V3
NA	GND	V10
NA	GND	V17
NA	GND	W6
NA	GND	W13
NA	GND	W20
NA	GND	Y2
NA	GND	Y9
NA	GND	Y16
NA	GND	AA5
NA	GND	AA12
NA	GND	AA19
NA	GND	AB1
NA	GND	AB8
NA	GND	AB15
NA	GND	AB22
NA	VCCINT	H11
NA	VCCINT	H13
NA	VCCINT	J10
NA	VCCINT	J12
NA	VCCINT	K13
NA	VCCINT	L10
NA	VCCINT	M13
NA	VCCINT	N10
NA	VCCINT	P11
NA	VCCINT	P13
NA	VCCINT	R10
NA	VCCINT	R12
NA	VCCAUX	J14
NA	VCCAUX	L14
NA	VCCAUX	N14
NA	VCCAUX	R14
0	VCCO_0	E10

Bank	管脚描述	引出端序号
0	VCCO_0	V9
14	VCCO_14	P18
14	VCCO_14	R21
14	VCCO_14	W19
15	VCCO_15	E21
15	VCCO_15	G18
15	VCCO_15	K20
16	VCCO_16	B12
16	VCCO_16	B17
16	VCCO_16	E14
34	VCCO_34	U6
34	VCCO_34	V2
34	VCCO_34	AA4
35	VCCO_35	J5
35	VCCO_35	L2
35	VCCO_35	P4
NA	VCCBRAM	H9
NA	VCCBRAM	K9
NA	VCCBRAM	M9
NA	VCCBRAM	P9
NA	NC	B5
NA	NC	E7
NA	NC	F3
NA	NC	U13
NA	NC	Y15
NA	NC	T15
NA	NC	T14
NA	NC	U15
NA	NC	T12
NA	NC	T13
NA	NC	V14
NA	NC	V15
NA	NC	U12
NA	NC	V13
NA	NC	W15
NA	NC	W16
NA	NC	U16
NA	NC	V16
NA	NC	Y18
NA	NC	AA18
NA	NC	AA17
NA	NC	AB18

Bank	管脚描述	引出端序号
NA	NC	AA15
NA	NC	AA16
NA	NC	AB16
NA	NC	AB17
NA	NC	W17
NA	NC	Y17
NA	NC	AA14
NA	NC	AB14
NA	NC	V12
NA	NC	W12
NA	NC	W14
NA	NC	Y14
NA	NC	AA13
NA	NC	AB13
NA	NC	W11
NA	NC	Y11
NA	NC	AB11
NA	NC	AB12
NA	NC	Y12
NA	NC	Y13
NA	NC	AA11
NA	NC	E8
NA	NC	B9
NA	NC	A9
NA	NC	B10
NA	NC	A10
NA	NC	C9
NA	NC	C8
NA	NC	A7
NA	NC	A6
NA	NC	B8
NA	NC	B7
NA	NC	D8
NA	NC	D7
NA	NC	C6
NA	NC	C5
NA	NC	D6
NA	NC	D5
NA	NC	G8
NA	NC	F8
NA	NC	F5
NA	NC	E5

Bank	管脚描述	引出端序号
NA	NC	G7
NA	NC	G6
NA	NC	F7
NA	NC	F6
NA	NC	B6
NA	NC	A5
NA	NC	A4
NA	NC	A3
NA	NC	B3
NA	NC	A2
NA	NC	C4
NA	NC	C3
NA	NC	B2
NA	NC	B1
NA	NC	C2
NA	NC	C1
NA	NC	G4
NA	NC	G3
NA	NC	E4
NA	NC	D4
NA	NC	F1
NA	NC	E1
NA	NC	G2
NA	NC	G1
NA	NC	E3
NA	NC	D2
NA	NC	E2
NA	NC	D1
NA	NC	F4

附录A.2

CYF7S50-CSG484封装器件的引出端及功能说明如表A.2所示。

表A.2 CYF7S50-CSG484引出端及功能描述

Bank	管脚描述	引出端序号
0	DONE_0	U9
0	DXP_0	N12
0	GNDADC_0	K12
0	VCCADC_0	K11
0	VREFP_0	M12
0	VN_0	M11
0	VCCBATT_0	E9
0	TCK_0	G9
0	DXN_0	N11
0	VREFN_0	L11
0	VP_0	L12
0	CCLK_0	D9
0	M0_0	T11
0	M1_0	T10
0	INIT_B_0	T9
0	TDI_0	W9
0	TDO_0	W10
0	M2_0	U10
0	CFGBVS_0	V11
0	PROGRAM_B_0	U11
0	TMS_0	Y10
14	IO_0_14	N15
14	IO_L1P_T0_D00_MOSI_14	M21
14	IO_L1N_T0_D01_DIN_14	M22
14	IO_L2P_T0_D02_14	N21
14	IO_L2N_T0_D03_14	N22
14	IO_L3P_T0_DQS_PUDC_B_14	M19
14	IO_L3N_T0_DQS_EMCCLK_14	N19
14	IO_L4P_T0_D04_14	P21
14	IO_L4N_T0_D05_14	P22
14	IO_L5P_T0_D06_14	N20
14	IO_L5N_T0_D07_14	P20
14	IO_L6P_T0_FCS_B_14	N17
14	IO_L6N_T0_D08_VREF_14	N18
14	IO_L7P_T1_D09_14	T21
14	IO_L7N_T1_D10_14	T22
14	IO_L8P_T1_D11_14	V21
14	IO_L8N_T1_D12_14	W22

Bank	管脚描述	引出端序号
14	IO_L9P_T1_DQS_14	U22
14	IO_L9N_T1_DQS_D13_14	V22
14	IO_L10P_T1_D14_14	W21
14	IO_L10N_T1_D15_14	Y21
14	IO_L11P_T1_SRCC_14	U20
14	IO_L11N_T1_SRCC_14	V20
14	IO_L12P_T1_MRCC_14	U18
14	IO_L12N_T1_MRCC_14	U19
14	IO_L13P_T2_MRCC_14	P15
14	IO_L13N_T2_MRCC_14	P16
14	IO_L14P_T2_SRCC_14	P17
14	IO_L14N_T2_SRCC_14	R18
14	IO_L15P_T2_DQS_RDWR_B_14	T17
14	IO_L15N_T2_DQS_DOUT_CSO_B_14	U17
14	IO_L16P_T2_CSI_B_14	R16
14	IO_L16N_T2_D31_14	R17
14	IO_L17P_T2_D30_14	R19
14	IO_L17N_T2_D29_14	R20
14	IO_L18P_T2_D28_14	T19
14	IO_L18N_T2_D27_14	T20
14	IO_L19P_T3_D26_14	Y20
14	IO_L19N_T3_D25_VREF_14	AA20
14	IO_L20P_T3_D24_14	Y22
14	IO_L20N_T3_D23_14	AA22
14	IO_L21P_T3_DQS_14	W18
14	IO_L21N_T3_DQS_D22_14	Y19
14	IO_L22P_T3_D21_14	AA21
14	IO_L22N_T3_D20_14	AB21
14	IO_L23P_T3_D19_14	AB19
14	IO_L23N_T3_D18_14	AB20
14	IO_L24P_T3_D17_14	V18
14	IO_L24N_T3_D16_14	V19
14	IO_25_14	T16
15	IO_0_15	A21
15	IO_L1P_T0_AD0P_15	F17
15	IO_L1N_T0_AD0N_15	F18
15	IO_L2P_T0_AD8P_15	H17
15	IO_L2N_T0_AD8N_15	G17
15	IO_L3P_T0_DQS_AD1P_15	J17
15	IO_L3N_T0_DQS_AD1N_15	H18
15	IO_L4P_T0_15	H16
15	IO_L4N_T0_15	G16

Bank	管脚描述	引出端序号
15	IO_L5P_T0_AD9P_15	K16
15	IO_L5N_T0_AD9N_15	J16
15	IO_L6P_T0_15	K15
15	IO_L6N_T0_VREF_15	J15
15	IO_L7P_T1_AD2P_15	B21
15	IO_L7N_T1_AD2N_15	B22
15	IO_L8P_T1_AD10P_15	D20
15	IO_L8N_T1_AD10N_15	C20
15	IO_L9P_T1_DQS_AD3P_15	D21
15	IO_L9N_T1_DQS_AD3N_15	C22
15	IO_L10P_T1_AD11P_15	E22
15	IO_L10N_T1_AD11N_15	D22
15	IO_L11P_T1_SRCC_15	F21
15	IO_L11N_T1_SRCC_15	F22
15	IO_L12P_T1_MRCC_15	F19
15	IO_L12N_T1_MRCC_15	F20
15	IO_L13P_T2_MRCC_15	M15
15	IO_L13N_T2_MRCC_15	L15
15	IO_L14P_T2_SRCC_15	M17
15	IO_L14N_T2_SRCC_15	M18
15	IO_L15P_T2_DQS_15	L16
15	IO_L15N_T2_DQS_15	K17
15	IO_L16P_T2_15	K18
15	IO_L16N_T2_15	K19
15	IO_L17P_T2_15	J19
15	IO_L17N_T2_15	J20
15	IO_L18P_T2_15	L18
15	IO_L18N_T2_15	L19
15	IO_L19P_T3_15	H19
15	IO_L19N_T3_VREF_15	G20
15	IO_L20P_T3_15	G21
15	IO_L20N_T3_15	G22
15	IO_L21P_T3_DQS_15	H20
15	IO_L21N_T3_DQS_15	H21
15	IO_L22P_T3_15	L22
15	IO_L22N_T3_15	K22
15	IO_L23P_T3_15	J21
15	IO_L23N_T3_15	J22
15	IO_L24P_T3_RS1_15	L20
15	IO_L24N_T3_RS0_15	L21
15	IO_25_15	M16
16	IO_0_16	G13

Bank	管脚描述	引出端序号
16	IO_L1P_T0_16	G11
16	IO_L1N_T0_16	F11
16	IO_L2P_T0_16	G10
16	IO_L2N_T0_16	F10
16	IO_L3P_T0_DQS_16	E11
16	IO_L3N_T0_DQS_16	D11
16	IO_L4P_T0_16	F13
16	IO_L4N_T0_16	F14
16	IO_L5P_T0_16	F12
16	IO_L5N_T0_16	E12
16	IO_L6P_T0_16	G14
16	IO_L6N_T0_VREF_16	F15
16	IO_L7P_T1_16	D13
16	IO_L7N_T1_16	C13
16	IO_L8P_T1_16	A11
16	IO_L8N_T1_16	A12
16	IO_L9P_T1_DQS_16	B13
16	IO_L9N_T1_DQS_16	A13
16	IO_L10P_T1_16	C10
16	IO_L10N_T1_16	C11
16	IO_L11P_T1_SRCC_16	D14
16	IO_L11N_T1_SRCC_16	D15
16	IO_L12P_T1_MRCC_16	D12
16	IO_L12N_T1_MRCC_16	C12
16	IO_L13P_T2_MRCC_16	C15
16	IO_L13N_T2_MRCC_16	C16
16	IO_L14P_T2_SRCC_16	B15
16	IO_L14N_T2_SRCC_16	B16
16	IO_L15P_T2_DQS_16	D16
16	IO_L15N_T2_DQS_16	C17
16	IO_L16P_T2_16	E15
16	IO_L16N_T2_16	E16
16	IO_L17P_T2_16	B14
16	IO_L17N_T2_16	A14
16	IO_L18P_T2_16	A16
16	IO_L18N_T2_16	A17
16	IO_L19P_T3_16	D18
16	IO_L19N_T3_VREF_16	C18
16	IO_L20P_T3_16	C19
16	IO_L20N_T3_16	B19
16	IO_L21P_T3_DQS_16	A18
16	IO_L21N_T3_DQS_16	A19

Bank	管脚描述	引出端序号
16	IO_L22P_T3_16	E17
16	IO_L22N_T3_16	E18
16	IO_L23P_T3_16	B20
16	IO_L23N_T3_16	A20
16	IO_L24P_T3_16	E19
16	IO_L24N_T3_16	D19
16	IO_25_16	G15
34	IO_0_34	R2
34	IO_L1P_T0_34	W5
34	IO_L1N_T0_34	W4
34	IO_L2P_T0_34	T7
34	IO_L2N_T0_34	T6
34	IO_L3P_T0_DQS_34	V5
34	IO_L3N_T0_DQS_34	V4
34	IO_L4P_T0_34	T5
34	IO_L4N_T0_34	U5
34	IO_L5P_T0_34	V7
34	IO_L5N_T0_34	V6
34	IO_L6P_T0_34	T8
34	IO_L6N_T0_VREF_34	U8
34	IO_L7P_T1_34	V1
34	IO_L7N_T1_34	W1
34	IO_L8P_T1_34	W2
34	IO_L8N_T1_34	Y1
34	IO_L9P_T1_DQS_34	U2
34	IO_L9N_T1_DQS_34	U1
34	IO_L10P_T1_34	W3
34	IO_L10N_T1_34	Y3
34	IO_L11P_T1_SRCC_34	U4
34	IO_L11N_T1_SRCC_34	U3
34	IO_L12P_T1_MRCC_34	T3
34	IO_L12N_T1_MRCC_34	T2
34	IO_L13P_T2_MRCC_34	AA6
34	IO_L13N_T2_MRCC_34	AB6
34	IO_L14P_T2_SRCC_34	Y6
34	IO_L14N_T2_SRCC_34	Y5
34	IO_L15P_T2_DQS_34	Y4
34	IO_L15N_T2_DQS_34	AA3
34	IO_L16P_T2_34	AB3
34	IO_L16N_T2_34	AB2
34	IO_L17P_T2_34	AA2
34	IO_L17N_T2_34	AA1

Bank	管脚描述	引出端序号
34	IO_L18P_T2_34	AB5
34	IO_L18N_T2_34	AB4
34	IO_L19P_T3_34	V8
34	IO_L19N_T3_VREF_34	W8
34	IO_L20P_T3_34	Y8
34	IO_L20N_T3_34	AA8
34	IO_L21P_T3_DQS_34	W7
34	IO_L21N_T3_DQS_34	Y7
34	IO_L22P_T3_34	AA10
34	IO_L22N_T3_34	AB10
34	IO_L23P_T3_34	AA7
34	IO_L23N_T3_34	AB7
34	IO_L24P_T3_34	AA9
34	IO_L24N_T3_34	AB9
34	IO_25_34	T1
35	IO_0_35	H7
35	IO_L1P_T0_AD4P_35	J3
35	IO_L1N_T0_AD4N_35	H2
35	IO_L2P_T0_AD12P_35	H4
35	IO_L2N_T0_AD12N_35	H3
35	IO_L3P_T0_DQS_AD5P_35	J2
35	IO_L3N_T0_DQS_AD5N_35	J1
35	IO_L4P_T0_35	K3
35	IO_L4N_T0_35	K2
35	IO_L5P_T0_AD13P_35	H6
35	IO_L5N_T0_AD13N_35	H5
35	IO_L6P_T0_35	K6
35	IO_L6N_T0_VREF_35	J6
35	IO_L7P_T1_AD6P_35	J8
35	IO_L7N_T1_AD6N_35	J7
35	IO_L8P_T1_AD14P_35	L7
35	IO_L8N_T1_AD14N_35	L6
35	IO_L9P_T1_DQS_AD7P_35	L5
35	IO_L9N_T1_DQS_AD7N_35	K5
35	IO_L10P_T1_AD15P_35	L4
35	IO_L10N_T1_AD15N_35	K4
35	IO_L11P_T1_SRCC_35	L8
35	IO_L11N_T1_SRCC_35	K8
35	IO_L12P_T1_MRCC_35	M8
35	IO_L12N_T1_MRCC_35	M7
35	IO_L13P_T2_MRCC_35	M4
35	IO_L13N_T2_MRCC_35	M3

Bank	管脚描述	引出端序号
35	IO_L14P_T2_SRCC_35	L1
35	IO_L14N_T2_SRCC_35	K1
35	IO_L15P_T2_DQS_35	M2
35	IO_L15N_T2_DQS_35	M1
35	IO_L16P_T2_35	N4
35	IO_L16N_T2_35	N3
35	IO_L17P_T2_35	P1
35	IO_L17N_T2_35	N1
35	IO_L18P_T2_35	P3
35	IO_L18N_T2_35	P2
35	IO_L19P_T3_35	P8
35	IO_L19N_T3_VREF_35	N8
35	IO_L20P_T3_35	N5
35	IO_L20N_T3_35	M5
35	IO_L21P_T3_DQS_35	P6
35	IO_L21N_T3_DQS_35	N6
35	IO_L22P_T3_35	P7
35	IO_L22N_T3_35	N7
35	IO_L23P_T3_35	R7
35	IO_L23N_T3_35	R6
35	IO_L24P_T3_35	R5
35	IO_L24N_T3_35	R4
35	IO_25_35	R3
NA	GND	A1
NA	GND	A8
NA	GND	A15
NA	GND	A22
NA	GND	B4
NA	GND	B11
NA	GND	B18
NA	GND	C7
NA	GND	C14
NA	GND	C21
NA	GND	D3
NA	GND	D10
NA	GND	D17
NA	GND	E6
NA	GND	E13
NA	GND	E20
NA	GND	F2
NA	GND	F9
NA	GND	F16

Bank	管脚描述	引出端序号
NA	GND	G5
NA	GND	G12
NA	GND	G19
NA	GND	H1
NA	GND	H8
NA	GND	H10
NA	GND	H12
NA	GND	H14
NA	GND	H15
NA	GND	H22
NA	GND	J4
NA	GND	J9
NA	GND	J11
NA	GND	J13
NA	GND	J18
NA	GND	K7
NA	GND	K10
NA	GND	K14
NA	GND	K21
NA	GND	L3
NA	GND	L9
NA	GND	L13
NA	GND	L17
NA	GND	M6
NA	GND	M10
NA	GND	M14
NA	GND	M20
NA	GND	N2
NA	GND	N9
NA	GND	N13
NA	GND	N16
NA	GND	P5
NA	GND	P10
NA	GND	P12
NA	GND	P14
NA	GND	P19
NA	GND	R1
NA	GND	R8
NA	GND	R9
NA	GND	R11
NA	GND	R13
NA	GND	R15

Bank	管脚描述	引出端序号
NA	GND	R22
NA	GND	T4
NA	GND	T18
NA	GND	U7
NA	GND	U14
NA	GND	U21
NA	GND	V3
NA	GND	V10
NA	GND	V17
NA	GND	W6
NA	GND	W13
NA	GND	W20
NA	GND	Y2
NA	GND	Y9
NA	GND	Y16
NA	GND	AA5
NA	GND	AA12
NA	GND	AA19
NA	GND	AB1
NA	GND	AB8
NA	GND	AB15
NA	GND	AB22
NA	VCCINT	H11
NA	VCCINT	H13
NA	VCCINT	J10
NA	VCCINT	J12
NA	VCCINT	K13
NA	VCCINT	L10
NA	VCCINT	M13
NA	VCCINT	N10
NA	VCCINT	P11
NA	VCCINT	P13
NA	VCCINT	R10
NA	VCCINT	R12
NA	VCCAUX	J14
NA	VCCAUX	L14
NA	VCCAUX	N14
NA	VCCAUX	R14
0	VCCO_0	E10
0	VCCO_0	V9
14	VCCO_14	P18
14	VCCO_14	R21

Bank	管脚描述	引出端序号
14	VCCO_14	W19
15	VCCO_15	E21
15	VCCO_15	G18
15	VCCO_15	K20
16	VCCO_16	B12
16	VCCO_16	B17
16	VCCO_16	E14
34	VCCO_34	U6
34	VCCO_34	V2
34	VCCO_34	AA4
35	VCCO_35	J5
35	VCCO_35	L2
35	VCCO_35	P4
NA	VCCBRAM	H9
NA	VCCBRAM	K9
NA	VCCBRAM	M9
NA	VCCBRAM	P9
NA	NC	B5
NA	NC	E7
NA	NC	F3
NA	NC	U13
NA	NC	Y15
NA	NC	T15
NA	NC	T14
NA	NC	U15
NA	NC	T12
NA	NC	T13
NA	NC	V14
NA	NC	V15
NA	NC	U12
NA	NC	V13
NA	NC	W15
NA	NC	W16
NA	NC	U16
NA	NC	V16
NA	NC	Y18
NA	NC	AA18
NA	NC	AA17
NA	NC	AB18
NA	NC	AA15
NA	NC	AA16
NA	NC	AB16

Bank	管脚描述	引出端序号
NA	NC	AB17
NA	NC	W17
NA	NC	Y17
NA	NC	AA14
NA	NC	AB14
NA	NC	V12
NA	NC	W12
NA	NC	W14
NA	NC	Y14
NA	NC	AA13
NA	NC	AB13
NA	NC	W11
NA	NC	Y11
NA	NC	AB11
NA	NC	AB12
NA	NC	Y12
NA	NC	Y13
NA	NC	AA11
NA	NC	E8
NA	NC	B9
NA	NC	A9
NA	NC	B10
NA	NC	A10
NA	NC	C9
NA	NC	C8
NA	NC	A7
NA	NC	A6
NA	NC	B8
NA	NC	B7
NA	NC	D8
NA	NC	D7
NA	NC	C6
NA	NC	C5
NA	NC	D6
NA	NC	D5
NA	NC	G8
NA	NC	F8
NA	NC	F5
NA	NC	E5
NA	NC	G7
NA	NC	G6
NA	NC	F7

Bank	管脚描述	引出端序号
NA	NC	F6
NA	NC	B6
NA	NC	A5
NA	NC	A4
NA	NC	A3
NA	NC	B3
NA	NC	A2
NA	NC	C4
NA	NC	C3
NA	NC	B2
NA	NC	B1
NA	NC	C2
NA	NC	C1
NA	NC	G4
NA	NC	G3
NA	NC	E4
NA	NC	D4
NA	NC	F1
NA	NC	E1
NA	NC	G2
NA	NC	G1
NA	NC	E3
NA	NC	D2
NA	NC	E2
NA	NC	D1
NA	NC	F4

附录A.3

CYF7S50-CSG324封装器件的引出端及功能说明如表A.3所示。

表A.3 CYF7S50-CSG324封装器件引出端及功能描述

Bank	管脚描述	引出端序号
0	DONE_0	V8
0	DXP_0	L10
0	GNDADC_0	H9
0	VCCADC_0	H10
0	VREFP_0	K10
0	VN_0	K9
0	VCCBATT_0	B8
0	TCK_0	D9
0	DXN_0	L9
0	VREFN_0	J9
0	VP_0	J10
0	CCLK_0	C8
0	M0_0	T10
0	M1_0	U10
0	INIT_B_0	U8
0	TDI_0	R9
0	TDO_0	T8
0	M2_0	U9
0	CFGBVS_0	V9
0	PROGRAM_B_0	R8
0	TMS_0	T9
14	IO_0_14	L13
14	IO_L1P_T0_D00_MOSI_14	K17
14	IO_L1N_T0_D01_DIN_14	K18
14	IO_L2P_T0_D02_14	L14
14	IO_L2N_T0_D03_14	M15
14	IO_L3P_T0_DQS_PUDC_B_14	L15
14	IO_L3N_T0_DQS_EMCCLK_14	L16
14	IO_L4P_T0_D04_14	L17
14	IO_L4N_T0_D05_14	L18
14	IO_L5P_T0_D06_14	M14
14	IO_L5N_T0_D07_14	N14
14	IO_L6P_T0_FCS_B_14	M13
14	IO_L6N_T0_D08_VREF_14	N13
14	IO_L7P_T1_D09_14	M16
14	IO_L7N_T1_D10_14	M17
14	IO_L8P_T1_D11_14	M18
14	IO_L8N_T1_D12_14	N18

Bank	管脚描述	引出端序号
14	IO_L9P_T1_DQS_14	P17
14	IO_L9N_T1_DQS_D13_14	P18
14	IO_L10P_T1_D14_14	R18
14	IO_L10N_T1_D15_14	T18
14	IO_L11P_T1_SRCC_14	P14
14	IO_L11N_T1_SRCC_14	P15
14	IO_L12P_T1_MRCC_14	N15
14	IO_L12N_T1_MRCC_14	P16
14	IO_L13P_T2_MRCC_14	R14
14	IO_L13N_T2_MRCC_14	T14
14	IO_L14P_T2_SRCC_14	R16
14	IO_L14N_T2_SRCC_14	R17
14	IO_L15P_T2_DQS_RDWR_B_14	U17
14	IO_L15N_T2_DQS_DOUT_CSO_B_14	U18
14	IO_L16P_T2_CSI_B_14	U16
14	IO_L16N_T2_D31_14	V17
14	IO_L17P_T2_D30_14	R15
14	IO_L17N_T2_D29_14	T15
14	IO_L18P_T2_D28_14	U15
14	IO_L18N_T2_D27_14	V16
14	IO_L19P_T3_D26_14	P13
14	IO_L19N_T3_D25_VREF_14	R13
14	IO_L20P_T3_D24_14	V14
14	IO_L20N_T3_D23_14	V15
14	IO_L21P_T3_DQS_14	U12
14	IO_L21N_T3_DQS_D22_14	V13
14	IO_L22P_T3_D21_14	T12
14	IO_L22N_T3_D20_14	T13
14	IO_L23P_T3_D19_14	R11
14	IO_L23N_T3_D18_14	T11
14	IO_L24P_T3_D17_14	U11
14	IO_L24N_T3_D16_14	V12
14	IO_25_14	R12
15	IO_0_15	G13
15	IO_L1P_T0_AD0P_15	B13
15	IO_L1N_T0_AD0N_15	A13
15	IO_L2P_T0_AD8P_15	B14
15	IO_L2N_T0_AD8N_15	A14
15	IO_L3P_T0_DQS_AD1P_15	B15
15	IO_L3N_T0_DQS_AD1N_15	A15
15	IO_L4P_T0_15	B16
15	IO_L4N_T0_15	A16

Bank	管脚描述	引出端序号
15	IO_L5P_T0_AD9P_15	E12
15	IO_L5N_T0_AD9N_15	D12
15	IO_L6P_T0_15	C13
15	IO_L6N_T0_VREF_15	C14
15	IO_L7P_T1_AD2P_15	B17
15	IO_L7N_T1_AD2N_15	A17
15	IO_L8P_T1_AD10P_15	C17
15	IO_L8N_T1_AD10N_15	B18
15	IO_L9P_T1_DQS_AD3P_15	D16
15	IO_L9N_T1_DQS_AD3N_15	D17
15	IO_L10P_T1_AD11P_15	E16
15	IO_L10N_T1_AD11N_15	E17
15	IO_L11P_T1_SRCC_15	D18
15	IO_L11N_T1_SRCC_15	C18
15	IO_L12P_T1_MRCC_15	D14
15	IO_L12N_T1_MRCC_15	D15
15	IO_L13P_T2_MRCC_15	F14
15	IO_L13N_T2_MRCC_15	F15
15	IO_L14P_T2_SRCC_15	G16
15	IO_L14N_T2_SRCC_15	G17
15	IO_L15P_T2_DQS_15	E14
15	IO_L15N_T2_DQS_15	E15
15	IO_L16P_T2_15	F18
15	IO_L16N_T2_15	E18
15	IO_L17P_T2_15	F13
15	IO_L17N_T2_15	E13
15	IO_L18P_T2_15	H15
15	IO_L18N_T2_15	G15
15	IO_L19P_T3_15	K16
15	IO_L19N_T3_VREF_15	J16
15	IO_L20P_T3_15	H13
15	IO_L20N_T3_15	H14
15	IO_L21P_T3_DQS_15	H18
15	IO_L21N_T3_DQS_15	G18
15	IO_L22P_T3_15	H16
15	IO_L22N_T3_15	H17
15	IO_L23P_T3_15	K14
15	IO_L23N_T3_15	J15
15	IO_L24P_T3_RS1_15	J13
15	IO_L24N_T3_RS0_15	J14
15	IO_25_15	K13
16	IO_L6N_T0_VREF_16	D11

Bank	管脚描述	引出端序号
16	IO_L11P_T1_SRCC_16	C10
16	IO_L11N_T1_SRCC_16	C9
16	IO_L12P_T1_MRCC_16	A10
16	IO_L12N_T1_MRCC_16	A9
16	IO_L13P_T2_MRCC_16	C12
16	IO_L13N_T2_MRCC_16	C11
16	IO_L14P_T2_SRCC_16	B11
16	IO_L14N_T2_SRCC_16	A11
16	IO_L19N_T3_VREF_16	D10
34	IO_0_34	J6
34	IO_L1P_T0_34	K4
34	IO_L1N_T0_34	L4
34	IO_L2P_T0_34	K3
34	IO_L2N_T0_34	K2
34	IO_L3P_T0_DQS_34	K1
34	IO_L3N_T0_DQS_34	L1
34	IO_L4P_T0_34	K6
34	IO_L4N_T0_34	L6
34	IO_L5P_T0_34	L5
34	IO_L5N_T0_34	M4
34	IO_L6P_T0_34	M6
34	IO_L6N_T0_VREF_34	M5
34	IO_L7P_T1_34	M3
34	IO_L7N_T1_34	M2
34	IO_L8P_T1_34	M1
34	IO_L8N_T1_34	N1
34	IO_L9P_T1_DQS_34	N3
34	IO_L9N_T1_DQS_34	N2
34	IO_L10P_T1_34	N5
34	IO_L10N_T1_34	N4
34	IO_L11P_T1_SRCC_34	P2
34	IO_L11N_T1_SRCC_34	P1
34	IO_L12P_T1_MRCC_34	R2
34	IO_L12N_T1_MRCC_34	R1
34	IO_L13P_T2_MRCC_34	R3
34	IO_L13N_T2_MRCC_34	T2
34	IO_L14P_T2_SRCC_34	T1
34	IO_L14N_T2_SRCC_34	U1
34	IO_L15P_T2_DQS_34	U3
34	IO_L15N_T2_DQS_34	U2
34	IO_L16P_T2_34	V3
34	IO_L16N_T2_34	V2

Bank	管脚描述	引出端序号
34	IO_L17P_T2_34	V5
34	IO_L17N_T2_34	V4
34	IO_L18P_T2_34	R4
34	IO_L18N_T2_34	T3
34	IO_L19P_T3_34	P6
34	IO_L19N_T3_VREF_34	P5
34	IO_L20P_T3_34	V7
34	IO_L20N_T3_34	V6
34	IO_L21P_T3_DQS_34	R5
34	IO_L21N_T3_DQS_34	T4
34	IO_L22P_T3_34	T6
34	IO_L22N_T3_34	T5
34	IO_L23P_T3_34	R7
34	IO_L23N_T3_34	R6
34	IO_L24P_T3_34	U7
34	IO_L24N_T3_34	U6
34	IO_25_34	P7
35	IO_0_35	F6
35	IO_L1P_T0_AD4P_35	A8
35	IO_L1N_T0_AD4N_35	A7
35	IO_L2P_T0_AD12P_35	C5
35	IO_L2N_T0_AD12N_35	B5
35	IO_L3P_T0_DQS_AD5P_35	D7
35	IO_L3N_T0_DQS_AD5N_35	C7
35	IO_L4P_T0_35	B7
35	IO_L4N_T0_35	A6
35	IO_L5P_T0_AD13P_35	E6
35	IO_L5N_T0_AD13N_35	D6
35	IO_L6P_T0_35	E5
35	IO_L6N_T0_VREF_35	D5
35	IO_L7P_T1_AD6P_35	C4
35	IO_L7N_T1_AD6N_35	B4
35	IO_L8P_T1_AD14P_35	C3
35	IO_L8N_T1_AD14N_35	B3
35	IO_L9P_T1_DQS_AD7P_35	A5
35	IO_L9N_T1_DQS_AD7N_35	A4
35	IO_L10P_T1_AD15P_35	A3
35	IO_L10N_T1_AD15N_35	A2
35	IO_L11P_T1_SRCC_35	C2
35	IO_L11N_T1_SRCC_35	B2
35	IO_L12P_T1_MRCC_35	C1
35	IO_L12N_T1_MRCC_35	B1

Bank	管脚描述	引出端序号
35	IO_L13P_T2_MRCC_35	F4
35	IO_L13N_T2_MRCC_35	E4
35	IO_L14P_T2_SRCC_35	E1
35	IO_L14N_T2_SRCC_35	D1
35	IO_L15P_T2_DQS_35	F3
35	IO_L15N_T2_DQS_35	E3
35	IO_L16P_T2_35	E2
35	IO_L16N_T2_35	D2
35	IO_L17P_T2_35	G5
35	IO_L17N_T2_35	F5
35	IO_L18P_T2_35	F2
35	IO_L18N_T2_35	F1
35	IO_L19P_T3_35	J4
35	IO_L19N_T3_VREF_35	J3
35	IO_L20P_T3_35	H3
35	IO_L20N_T3_35	H2
35	IO_L21P_T3_DQS_35	G2
35	IO_L21N_T3_DQS_35	G1
35	IO_L22P_T3_35	H5
35	IO_L22N_T3_35	H4
35	IO_L23P_T3_35	J2
35	IO_L23N_T3_35	J1
35	IO_L24P_T3_35	H6
35	IO_L24N_T3_35	G6
35	IO_25_35	J5
NA	GND	A1
NA	GND	A12
NA	GND	A18
NA	GND	B9
NA	GND	C6
NA	GND	C16
NA	GND	D3
NA	GND	D13
NA	GND	E8
NA	GND	E10
NA	GND	F7
NA	GND	F9
NA	GND	F11
NA	GND	F17
NA	GND	G4
NA	GND	G8
NA	GND	G10

Bank	管脚描述	引出端序号
NA	GND	G12
NA	GND	G14
NA	GND	H1
NA	GND	H7
NA	GND	H11
NA	GND	J8
NA	GND	J12
NA	GND	J18
NA	GND	K5
NA	GND	K7
NA	GND	K11
NA	GND	K15
NA	GND	L2
NA	GND	L8
NA	GND	L12
NA	GND	M7
NA	GND	M9
NA	GND	M11
NA	GND	N6
NA	GND	N8
NA	GND	N10
NA	GND	N12
NA	GND	N16
NA	GND	P3
NA	GND	P9
NA	GND	P11
NA	GND	R10
NA	GND	T7
NA	GND	T17
NA	GND	U4
NA	GND	U14
NA	GND	V1
NA	GND	V11
NA	GND	V18
NA	VCCINT	E7
NA	VCCINT	E9
NA	VCCINT	E11
NA	VCCINT	F8
NA	VCCINT	F10
NA	VCCINT	G7
NA	VCCINT	G9
NA	VCCINT	G11

Bank	管脚描述	引出端序号
NA	VCCINT	H8
NA	VCCINT	J7
NA	VCCINT	J11
NA	VCCINT	K8
NA	VCCINT	L11
NA	VCCINT	M8
NA	VCCINT	M10
NA	VCCINT	N9
NA	VCCINT	N11
NA	VCCINT	P8
NA	VCCINT	P10
NA	VCCAUX	F12
NA	VCCAUX	H12
NA	VCCAUX	K12
NA	VCCAUX	M12
NA	VCCAUX	P12
0	VCCO_0	D8
0	VCCO_0	V10
14	VCCO_14	N17
14	VCCO_14	T16
14	VCCO_14	U13
15	VCCO_15	C15
15	VCCO_15	F16
15	VCCO_15	J17
16	VCCO_16	B10
16	VCCO_16	B12
34	VCCO_34	L3
34	VCCO_34	P4
34	VCCO_34	U5
35	VCCO_35	B6
35	VCCO_35	D4
35	VCCO_35	G3
NA	VCCBRAM	L7
NA	VCCBRAM	N7

7. 订购信息

物料编号	温度范围(Tc)	等级类型	封装
CYF7S50-FGG484I	-40℃ - 100℃	工业级	FGG484
CYF7S50-FGG484J	-55℃ - 125℃	军温工业级	FGG484
CYF7S50-CSG484I	-40℃ - 100℃	工业级	CSG484
CYF7S50-CSG484J	-55℃ - 125℃	军温工业级	CSG484
CYF7S50-CSG324I	-40℃ - 100℃	工业级	CSG324
CYF7S50-CSG324J	-55℃ - 125℃	军温工业级	CSG324

8. 说明

如欲了解更多的产品及公司信息，请联系公司办公室人员或登录公司网站；

联系电话：021-33885531；

网址：<https://mall.ichelps.com/>

9. 本文档中的信息如有变更，恕不另行通知



请使用微信扫码进入
芯片助手ICHELPS小程序

查资料 查替代 查库存 查价格

招募中国区各省代理，联系电话：021-33885531