文档版本	修订日期	内容描述
1.0	2026-9-29	初版

2026-11-27 23:49 216.73.216.43

CYF7A75/CYF7A100/CYF7A200/CYF7K160

系列 FPGA 数据手册

1. 概述

上海宸屿电子科技有限公司推出的 CYF 系列 FPGA 是高性能、低功耗的可编程逻辑器件，专为成本敏感型应用而设计。该系列 FPGA 采用 28nm 工艺技术，提供优异的功耗效率，适用于多种市场领域，包括工业、通信、汽车和消费电子产品。

CYF 系列 FPGA 拥有充足的逻辑单元、高速串行的 I/O、丰富的存储资源和 IP 资源，定位低成本、高性能、低功耗可编程逻辑市场。

CYF 系列 FPGA 针对高带宽应用场景，提供了一系列的功能和方案，使其能够应对多种高性能需求，比如：数据中心和网络设备、视频处理和图像处理、无线通信和基站、科学研究和高性能计算、存储系统、机器视觉和人工智能。通过灵活的硬件设计和适当的软件编程，CYF 系列 FPGA 能够在这些高带宽应用场景中实现高效能和高可靠性的解决方案。

2. 器件列表

表 1 器件列表

Device	LC (K)	CLC	ERAM (Kb)	CMU	DSP	DDR3 (Mb/s)	PCIE Gen2	GT066 (6.6Gbps)	GT125 (12.5Gbps)	Core Voltage (V)
CYF7A75	75	11800	3780	6	180	1066	1	8	-	0.90/0.85
CYF7A100	110	15850	4860	6	240	1066	1	8	-	0.90/0.85
CYF7A200	215	33650	13140	10	740	1066	1	16	-	0.90/0.85
CYF7K160	170	25350	11700	8	600	1866	1	-	8	0.90/0.85

3. 封装信息

表 2 CYF 系列 FPGA 封装类型

封装类型	封装尺寸(mm)	球间距(mm)	CYF7A75			CYF7A100			CYF7K160			CYF7A200		
			GT066	HRIO	HPIO	GT066	HRIO	HPIO	GT125	HRIO	HPIO	GT066	HRIO	HPIO
CSG324	15X15	0.8	0	210	-	0	210	-	-	-	-	-	-	-
FGG484	23X23	1.0	4	285	-	4	285	-	4	185	100	4	285	-
FGG676	27X27	1.0	-	-	-	-	-	-	8	250	150	8	400	-

4. 订购信息

表 3

物料编号	工作温度范围	等级类型	封装
CYF7A75-CSG324I	-40℃ ~ 125℃	工业级	CSG324
CYF7A75-FGG484I	-40℃ ~ 125℃	工业级	FGG484
CYF7A100-CSG324I	-40℃ ~ 125℃	工业级	CSG324
CYF7A100-FGG484I	-40℃ ~ 125℃	工业级	FGG484
CYF7K160-FGG484I	-40℃ ~ 125℃	工业级	FGG484
CYF7K160-FGG676I	-40℃ ~ 125℃	工业级	FGG676
CYF7A200-FGG484I	-40℃ ~ 125℃	工业级	FGG484
CYF7A200-FGG676I	-40℃ ~ 125℃	工业级	FGG676

5. FPGA 特性

表 4 器件特性表

名称	特性
可配置逻辑模块(CLE)	LUT6,支持双 LUT5 选项
	丰富的寄存器和锁存器资源
	支持分布式存储器和移位寄存器
	专用快速进位链逻辑
时钟(CLK)	32 路全局时钟网络(GCLK)
	多区域时钟(MRCLK)
	区域时钟(RCLK)
时钟管理单元(CMU)	包含 PLL_{ADV} 和 PLL_{BASE}
	主要实现频率综合、分频和相移等功能
	可实现时钟去歪斜和时钟抖动滤波
嵌入式存储器(ERAM)	容量为 36Kb
	可配置为真双端口模式或简单双端口模式
	字深和位宽可灵活配置
	支持 ECC 模式
	内嵌 FIFO 逻辑
数字信号处理(DSP)	包含加法器、乘法器和算术逻辑单元
	可选的 pipeline 结构
	专用互连实现的级联结构
输入输出(I_O)	包含 High Range(3.3V)和 High Performance(1.8V)I/O

名称	特性
	支持 LVCMOS、HSTL 等多种单端 I/O 标准
	支持 LVDS 等多种差分 I/O 标准
	支持片内差分端接应用
	HP I/O 支持数控阻抗匹配功能
	可配置弱上拉/弱下拉/保持模式
输入输出逻辑(I_O Logic)	可配置为组合逻辑或利用寄存器,支持 DDR
	包含输入输出可调延时单元
	包含输入串转并电路和输出并转串电路
SerDes	最大速率 12.5Gbps
	支持 Aurora、RapidIO、SATA、PCIE、CPRI、Interlaken、CEI、XAUI、RXAUI、GigE 等多种协议
	集成 PCI Express 硬核,支持 GEN1/2,支持 X1、X2 和 X4 模式
配置模式	从串模式(Slave Serial)主 SPI(x1/x2/x4)模式
	主 BPI(x8/x16)模式
	JTAG 模式
	主 SelectMAP(x8/x16)模式
	从 SelectMAP(x8/x16/x32)模式
	主串模式 (Master Serial)
模拟数字转换器(HADC)	包含一个双 12 位 1MSPS ADC
	支持芯片电源电压和温度实时监测
	支持外部模拟输入转数字信号
DDR	支持 DDR3、DDR3L、DDR2、LPDDR2
	支持 8-bit 至 72-bit 数据位宽
	Fly-By 的拓扑结构
	支持 Data Mask
BSCAN	兼容 IEEE-1149.1
SEU 检错和纠错	支持单 bit 检错和纠错
	支持定时背景刷新机制
	支持双 bit 检错

6. 架构介绍

CYF 系列 FPGA 由多个功能模块构成，包括 I/O、ERAM、CMU、DSP、CLE 及 SerDes 等。这些功能模块协同工作，共同构建出芯片架构。CYF 系列 FPGA 架构如下图 1 所示。

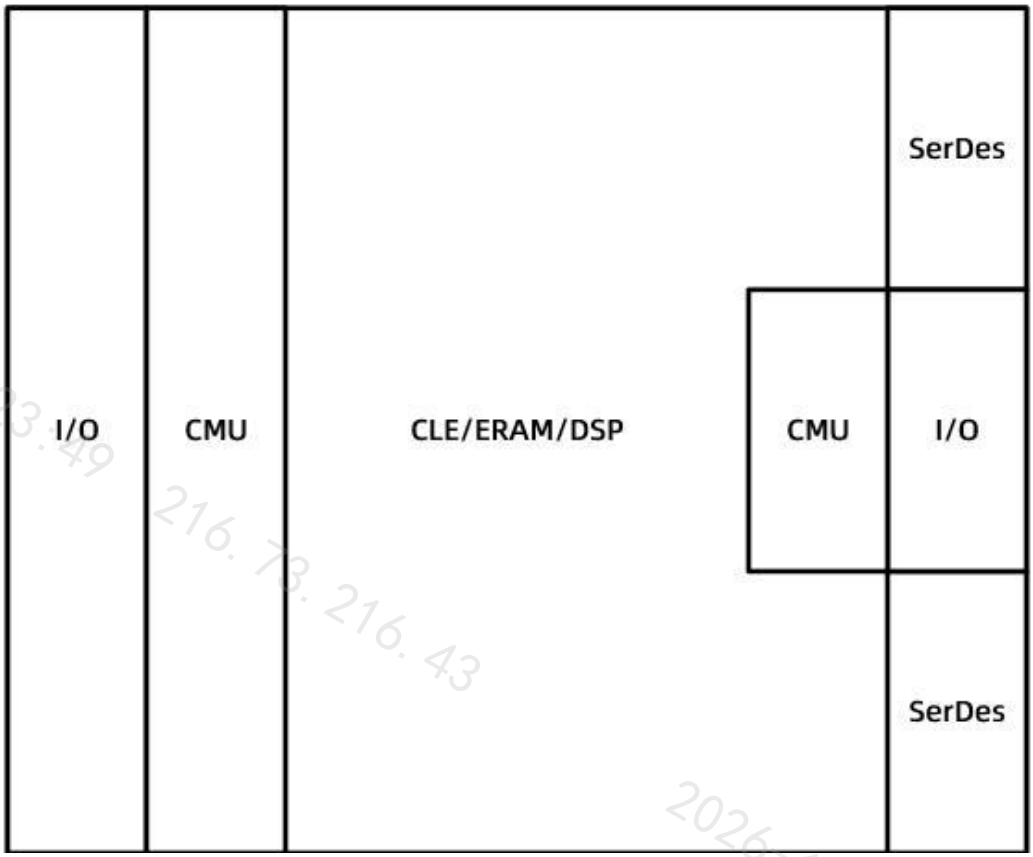


图 1 器件架构图

6.1. 可配置逻辑块（CLE）

CYF 系列 FPGA 可编程逻辑块（Configurable Logic Element，简称 CLE）模块，可适应各种复杂的应用需求。主要特点如下：

- 可配置为 6 输入查找表（LUT），支持双 LUT5 选项
- 可实现分布式存储器（Distributed RAM）
- 专用的移位寄存器资源
- 先进的全加器和进位链结构
- 灵活地组合拼接扩展功能
- 带复位/置位的锁存器资源

CLE 是实现组合逻辑和时序逻辑的核心模块，每一个 CLE 都与 INT 连接，每个 CLE 包含一对 CLC (Configurable Logic Cell)，这两个 CLC 相互间没有连接，各 CLC 组成一个列，每列中的 CLC 具有独立的进位链。CLC 分为两种，CLCL 和 CLCM。CLCL 可实现组合逻辑、算术进位逻辑、宽 MUX 和时序逻辑功能。CLCM 除了可以实现 CLCL 的所有功能外，还可以配置成分布式 RAM 或移位寄存器链功能。CLE 模块包括两种形式如图 2，分别为 CLELL 和 CLELM。一个 CLELL 模块是由两个 CLCL 组成，一个 CLELM 模块由一个 CLCL 和一个 CLCM 组成。

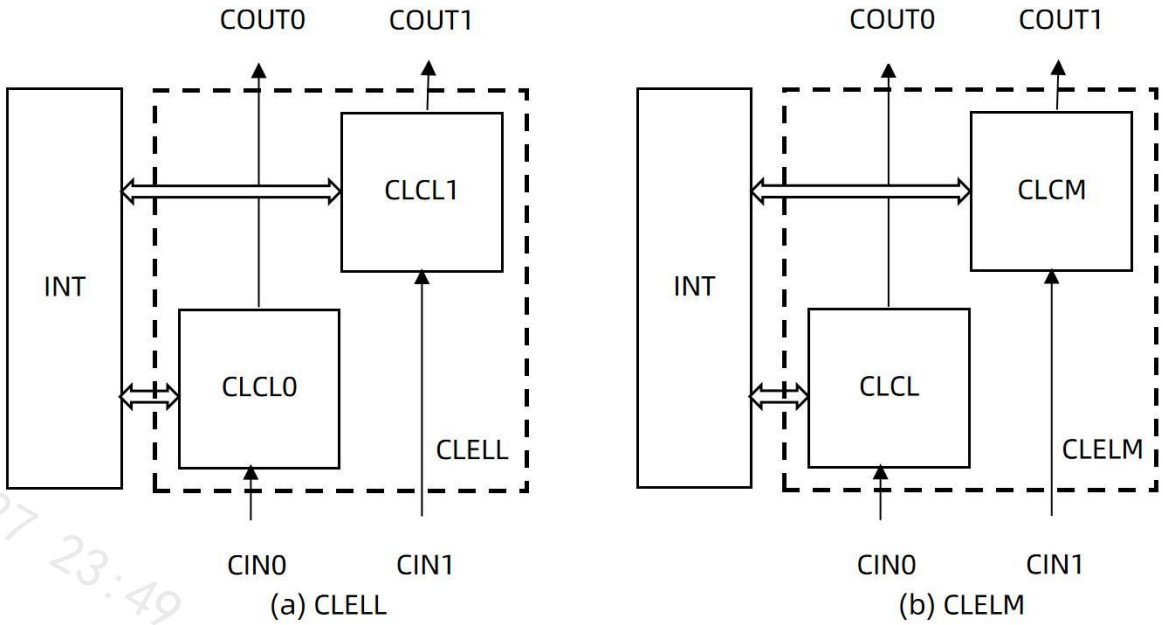


图 2 CLE 结构图

6.2. 时钟资源（CLK）

CYF 系列 FPGA 为用户提供了丰富的时钟资源以便用户进行各项复杂的设计，以使设计性能达到最优。CYF 系列 FPGA 提供了不同类型的时钟单元 $GCLK_{BUF}$，$HCLK_{BUF}$，$MRCLK_{BUF}$，$RCLK_{BUF}$，$IOCLK_{BUF}$ 和专用时钟管脚，可以提高时钟信号扇出能力，降低时钟信号传播延迟。如图 3 所示。

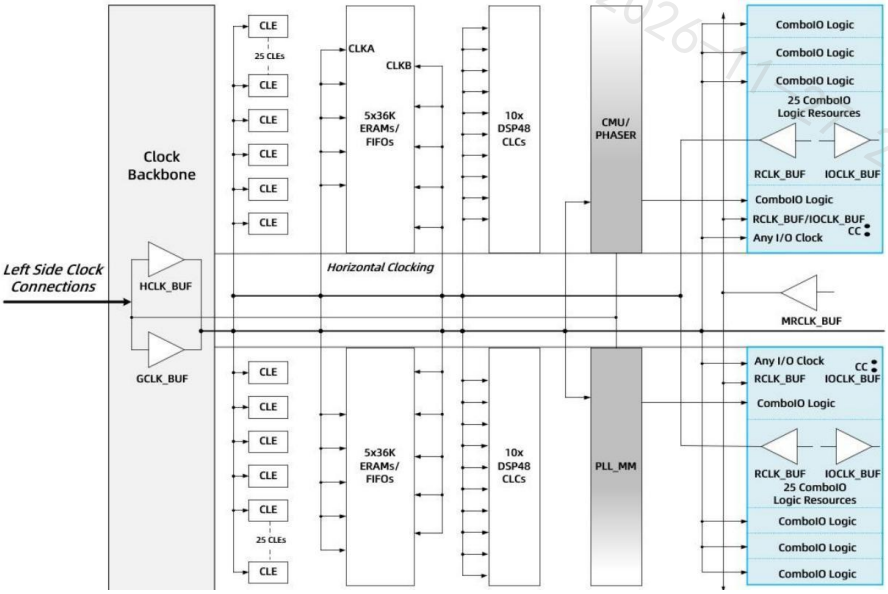


图 3 时钟内部架构示意图

CYF 系列 FPGA 的每个 I/O bank 都有专用时钟管脚，用户可通过专用时钟管脚将时钟信号连接到 FPGA 内部的时钟网络。结合专用时钟缓冲器，专用时钟管脚将用户时钟信号连接到：

- FPGA 上/下半部分的全局时钟线
- 同一 I/O bank 和垂直相邻的 I/O bank 内的 I/O 时钟线

- 同一时钟域和垂直相邻时钟域内的区域时钟线
- 同一时钟域内的 CMU（有限制）和垂直相邻时钟域的 CMU

FPGA 芯片中有 32 条全局时钟缓冲器，可以为整个芯片中所有的时序器件提供时钟和控制信号。全局时钟缓冲器（$GCLK_{BUF/GCLK}$_BUFCTRL）驱动全局时钟线。每个时钟区域有 12 条水平时钟线来支持全局时钟。

对于 $GCLK_{BUF/GCLK}$_BUFCTRL:

- 可以用作时钟启用电路，以启用和禁用跨越多个时钟域的时钟
- 可以用作无故障的多路复用器：
  - 可以在两个时钟源之间进行选择
  - 可以从发生故障的时钟源进行切换
- 通常由 CMU 进行驱动：
  - 可以消除时钟分发延迟
  - 可以调整相对于另一个时钟的时钟延迟

水平时钟缓冲器（$HCLK_{BUF}$）和带时钟使能的水平时钟缓冲器（$HCLK_{BUFCE}$）在 CYF 系列 FPGA 中可以有效地管理和分配时钟信号。这些缓冲器单元用于沿着单个时钟域的水平时钟线路传输时钟信号，从而实现对全局时钟线的访问。

- HCLKBUF：用于通过水平时钟线（HCLK）在 FPGA 内部传输时钟信号，支持时钟信号在单个时钟域内的分布
- HCLKBUFCE：具有时钟启用功能的 HCLKBUF，可以独立启用或禁用时钟
- 时钟域和 HCLK 线路：支持在每个时钟区域内使用多达 12 条水平时钟线（HCLK）

FPGA 芯片中还有区域时钟树和 I/O 时钟树，可以在一个时钟区域内为所有的时序器件提供时钟。芯片中还有多时钟区域缓冲器（$MRCLK_{BUF}$），允许区域时钟和 I/O 时钟跨越多达三个垂直相邻的时钟域。

- I/O 时钟缓冲器（IOCLKBUF）驱动 I/O 时钟树，为同一 I/O bank 中所有时序器件提供时钟
- 区域时钟缓冲器（RCLKBUF）驱动区域时钟树，驱动同一时钟域的所有时钟点，并且可以对时钟进行分频
- 与相关的 RCLKBUF 和 IOCLKBUF 一起使用时，可以使用多时钟区域缓冲器（MRCLKBUF）驱动相邻

时钟域的区域时钟和相邻 I/O bank 的 I/O 时钟树

- 一个时钟域 I/O bank 最多可以支持 4 个独立的 I/O 时钟和 4 个独立的区域时钟

6.3. 时钟管理单元（CMU）

时钟管理单元（Clock Management Unit，CMU）。主要用于实现 FPGA 内时钟资源的 DESKEW、频率综合、输出分频、相移、占空比调节和展频等。VCO 频率范围为 600MHz~2133MHz。PLL 具备 8 个分频输出，支持 0.125 整数倍的小数分频和 1~128 整数分频。相移功能包括粗调相移和动态细调相移，相移范围为-360°~360°。PLL 内集成了占空比调节功能，调节范围为 0.01~0.99。PLL 还集成了展频功能，调制频率 25~250KHz 可调。

时钟管理单元包括一个多模式 PLL（PLL_{ADV}）和一个基本 PLL（PLL_{BASE}），如图 4 所示，其中 PLL_{BASE} 是 PLL_{ADV} 的功能子集，PLL_{ADV} 增加了动态细调相移、展频、小数分频功能。PLL_{ADV} 和 PLL_{BASE} 可用作宽范围的频率综合和相移调节，可作为外部或内部时钟的时钟滤波器，还可以进行时钟去歪斜。

多种资源可作为 PLL_{ADV} 和 PLL_{BASE} 的参考时钟。输入选择器从全局时钟、本地时钟中选择参考时钟和反馈时钟。

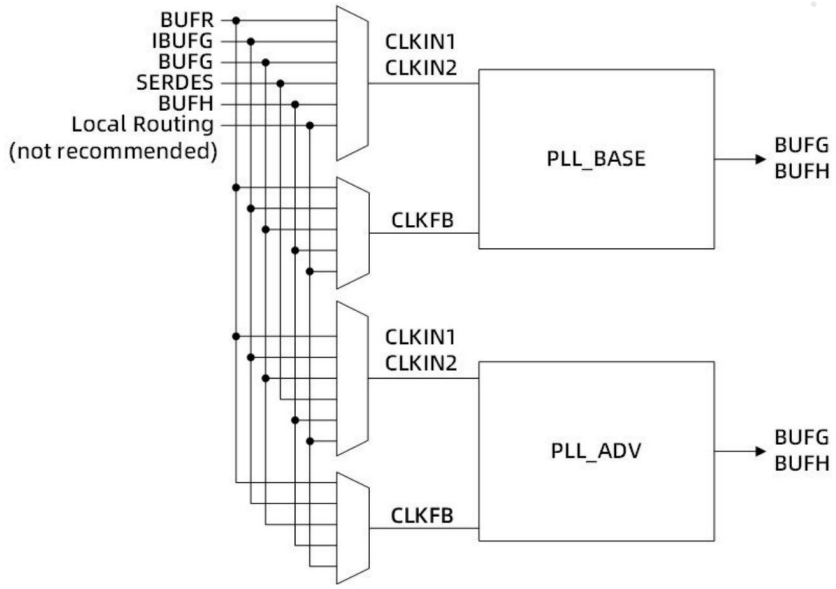


图 4 CMU 框图

6.4. 嵌入式存储器模块（ERAM）

6.4.1. ERAM 架构

CYF 系列 FPGA 中，每个 ERAM（Embedded RAM）可实现 RAM，FIFO 等功能。其架构如图 5 所示。

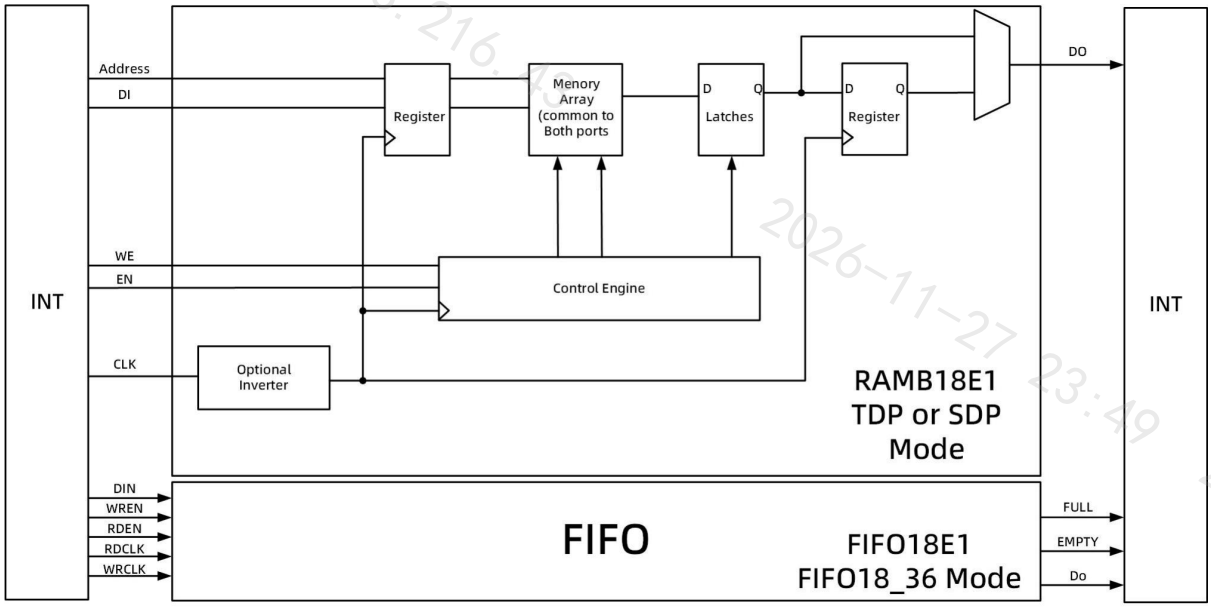


图 5 ERAM 架构示意图

6.4.2. ERAM36K 功能

每个 ERAM 单元的存储容量是 36Kb，具体功能特性如下所述：

- 支持两个独立的 18Kb RAM，或 1 个 36Kb 的 ERAM
- 每个 36Kb 的 ERAM 可以被配置成简单双端口（SDP,simple dual-port）模式，该模式下数据宽度可达到 72 位。18Kb 的 ERAM 也可以被配置成简单双端口模式，该模式下数据宽度可达到 36 位
- 简单双端口模式下 ERAM 支持两个端口的数据宽度不一致的情况
- 两个相邻的 ERAM，可以扩展成 64Kx1 的存储器，此时无需额外的逻辑以及速度损耗
- 每个 36Kb 的 ERAM 或 36Kb 的 FIFO 有一个 64 位的 ECC（Error Correction Coding）模块，其编码和译码功能可以分开实现

- 数据输出端 Latch 和 Register 均可同步 Set/Reset 一个初始值。ERAM 可以被配置成一个同步的 FIFO，这样可以减少标志延迟的不确定性
- 在本系列 FPGA 中，FULL 标志位的声明没有延迟
- 在本系列 FPGA 中，FIFO 由 18Kb ERAM 或者 36Kb ERAM 实现
- 36 或 72 位宽的端口可以每字节各有一个写使能。此功能常用于对片上微处理器的接口连接
- 所有输入都由端口时钟寄存，并且具有建立到时钟时序指标
- 根据写使能（WE）引脚的状态，所有输出均具有读功能或边写边读功能。输出在时钟到输出时序间隔之后有效。边写边读输出具有 WRITEFIRST、READFIRST 和 NOCHANGE 三种操作模式之一
- 一个写操作需要一个时钟沿
- 一个读操作需要一个时钟沿
- 所有输出端口均有锁存。输出端口的状态在端口再次执行读或写操作之前保持不变。默认的 ERAM 输出是锁存器模式
- 输出数据通路有一个可选内部流水线寄存器。我们强烈建议使用该寄存器模式。这样可使时钟速率较高，但会增加一个周期的时钟周期延迟

6.5. 数字信号处理（DSP）

CYF 系列 FPGA 中的 DSP 支持多种操作，如乘法，加法，乘加，乘累加，移位，宽位乘法，逻辑位运算等。DSP 输入输出架构图如图 6 所示：

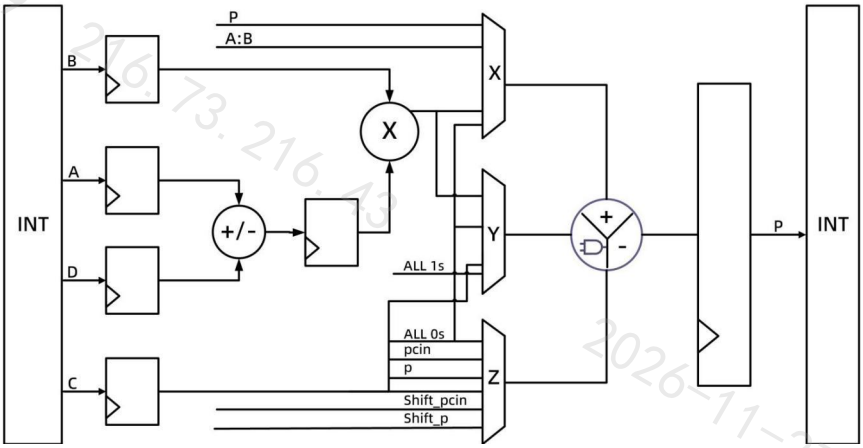


图 6 DSP 输入输出示意图

CYF 系列 FPGA 的 DSP 中包含：输入端流水线模块，预加器模块，乘法器模块，选择器，ALU 模块，向量检测器以及溢出检测器等

- 支持两输入的 25-bit 加法运算
- 支持三输入带进位 48-bit 加法运算
- 支持进行输入数 EXTEND、ROUND、SHIFT，输入进位取反
- 支持 multisignin 和 multisignout 内部级联信号，具有特殊的 OPMODE 设置为支持 96 位 MACC 扩展
- 支持 25 x 18-bit 乘法器（有符号的二进制补码）
- 支持两输入 48-bit 按位逻辑操作，包括 AND、NAND、OR、NOR、XOR、XNOR 和 NOT
- 支持对输入信号进行一级或两级锁存
- 支持对输入信号进行动态选择切换
- 支持快速输入输出互联
- 支持独立的时钟启用和重置具有更大的灵活性，重置具有优先级

6.6. 输入输出资源（IO）

CYF 系列 FPGA 提供了 HR(High-Range) I_O BANK 和 HP(High-Performance) I_O Bank。其中 HRIO 电压范围为 1.2V ~ 3.3V，HPIO 电压范围为 1.2V ~ 1.8V。其中一个 IO 里面有 50 个 IO 和一个 HCLK，并且每一个 IO

里面可以实现多种模式的 BUF_I 和 BUF_O。HRIO 中的 BUFFER 主要分为三大类：输入 BUFFER，输出 BUFFER，与双向 BUFFER。其中输入 BUFFER 分为五种，低压单端输入 BUFFER(BUF I_{SING}_LV)、高压单端输入 BUFFER(BUF I_{SING}_HV)、带参考电压的低压单端输入 BUFFER(BUF I_{SING}_LV_{VREF})、低压差分输入 BUFFER(BUF I_{DS}_LV)、高压差分输入 BUFFER(BUF I_{DS}_HV)。输出 BUFFER 分为两种：单端输出 BUFFER 与差分输出 BUFFER。差分输出 BUFFER 包括伪差分结构与真差分结构。如图 7 所示。

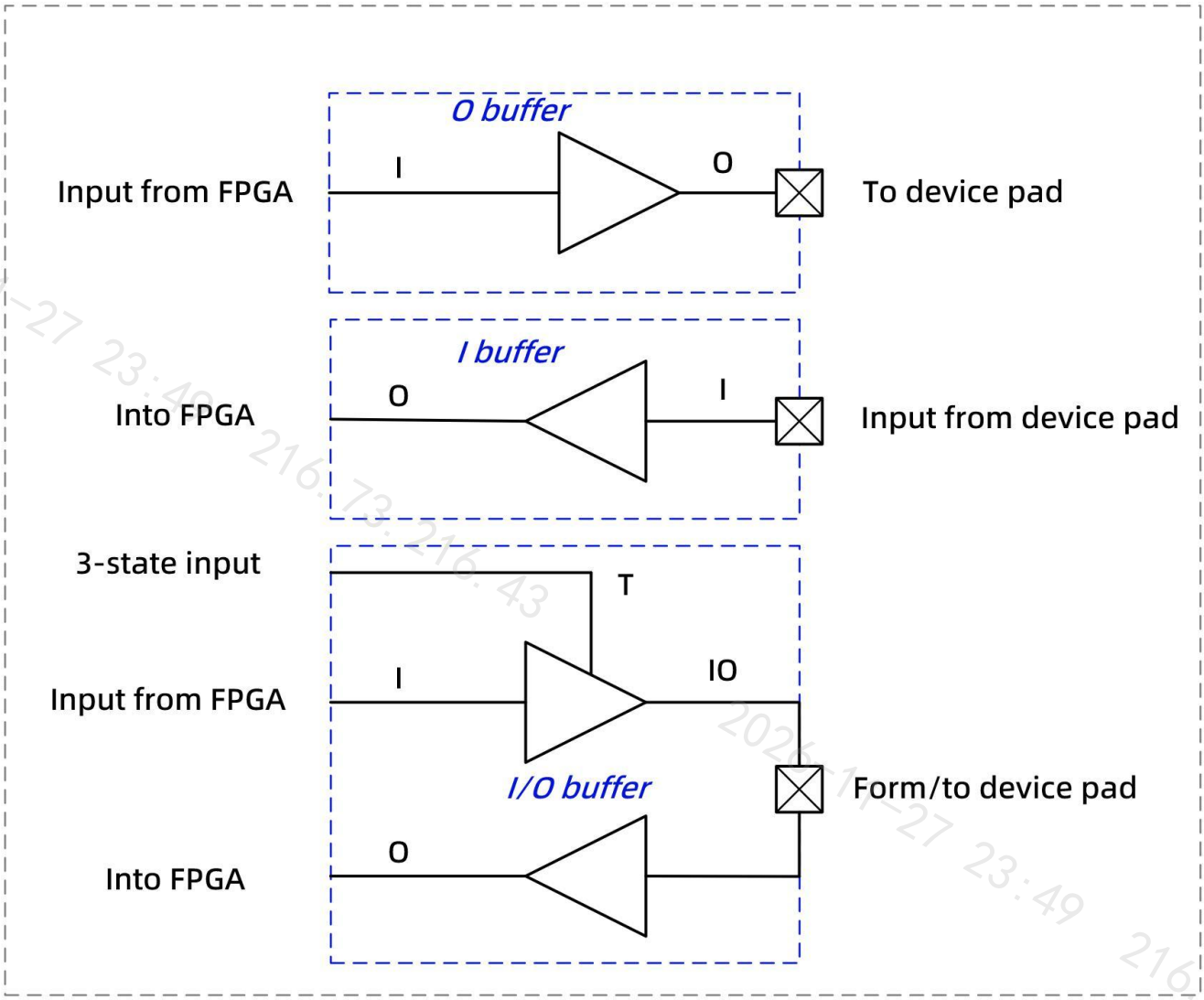


图 7 内部实现多种模式

根据 IO（I/O block）模块在 FPGA 中的分布，IO 可用作数据、时钟或者数据与时钟共用。所有的 IO 都包含输入、输出、双向和三态驱动器，其能够配置为多种 IO 接口标准。其中，单端接口标准类型包括 LVCMOS、LVTTL、HSTL、SSTL、HSUL；差分接口标准类型包括 LVDS、DIFF HSTL、DIFF SSTL 和 DIFF HSUL。

HRIO 主要属性：

- 接口标准属性: HRIO 支持的接口标准有 LVCMOS、LVTTL、PCI、HSTL、SSTL、HSUL、LVDS25、TMDS33、MiniLVDS_25、PPDS25、BLVDS25、RSDS25
- 低功耗属性: 输入 BUFFER LOW POWER 属性只在具有参考电压的输入 BUFFER 与低压差分输入 BUFFER 中有用，默认属性为 LOW POWER
- 摆率属性:摆率属性只在输出 BUFFER 中使用。摆率属性适用的接口标准为输出 LVCMOS、LVTTL、SSTL、HSTL、MOBILEDDR、HSUL 及其对应的伪差分接口标准，默认摆率为 SLOW 属性
- 输出驱动能力属性：驱动能力的属性只适应于输出 BUFFER 及双向 BUFFER 的 LVCMOS、LVTTL 的接口标准
- 弱上拉、弱下拉及保持属性：输入 BUFFER、三态输出 BUFFER、双向 BUFFER 都支持该属性
- DIFFTERM 属性：DIFFTERM 属性只用在输入 BUFFER 的差分接口标准中，包括 LVDS25、MINILVDS_25、PPDS25、RSDS25（除了 BLVDS25 接口标准）
- INTERNALVREF 属性：只支持输入 BUFFER 的带参考电压的接口标准，根据接口标准，可供选择的内部参考电压有 0.9V，0.75V，0.675V，0.6V 四个值（预留有 1.25V，1.1V 选项）
- INTERM 属性：INTERM 属性只用在输入 BUFFER 的带参考的接口标准中，可供选择的阻抗有 40Ω，50Ω，60Ω
- BUF IDISABLE 属性：BUF IDISABLE 属性只用在输入 BUFFER 的带参考电压输入 BUFFER 与低压的差分输入 BUFFER 中
- INTERMDISABLE 属性：该属性用于 DISABLE INTERM 模块使其呈现高阻态

附注：

1. LVDS：差分输出 BUF。
2. BSCAN：BSCAN 边缘检测模块。
3. TMUX：TMUX 三态门选择模块。
4. OMUX：OMUX 输出选择模块。
5. CFGBVS$_{CASC}$：级联及高低压检测。

6.7. 模数转换器（HADC）

CYF 系列 FPGA 器件内置 1 个 ADC 模块，该模块可实现对芯片上的电压，温度等参数的高精度测量，提供了选择使用片上参考电压精度±1%，减少了外部活动组件的需求，适用于基本的片上温度和电源监测。为了实现 ADC 的全 12 位性能，推荐使用外部 1.25V 参考电压。ADC 模块即使工作时也只需要很小的功耗，而当转换完成后处于低功耗状态。如图 8 所示。

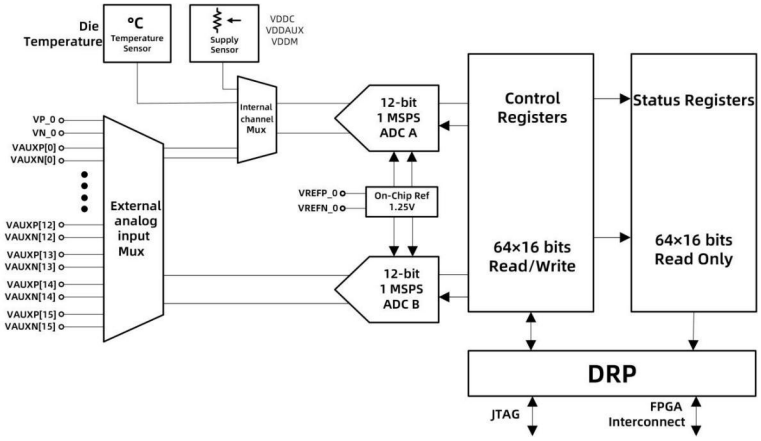


图 8 ADC 结构示意图

CYF 系列器件 ADC 架构亮点：

- 集成双 12 位、每秒 100 万次采样（1 MSPS）的模数转换器（ADC）
- 支持芯片电压实时监测
- 支持芯片温度实时监测
- 支持多达 17 个外部模拟输入通道，通过片上模拟多路复用器实现
- 支持同时采样两个外部输入模拟通道，支持单极性、双极性和差分信号输入
- 1 MSPS 的采样率下满足 500 KHz 的模拟输入信号带宽
- 如图 8 所示，ADC 主要通道范围 External analog input Mux 与 internal Channel Mux 的输入

附注：

1.CYF7A75/CYF7A100 器件中没有 7 和 14 通道。

6.8. 串化器/解串器（SerDes）

CYF 系列器件集成的 GT066 或 GT125 高速 SerDes 具有强大的数据传输能力。如图 9 所示，SerDes 模块支持多种配置，1-lane、2-lane、4-lane 等，便于与其他设备的快速数据交换，每个 Quad 包含四个数据通道（Data PART 0/1/2/3）和一个时钟通道（CLOCK PART），用于处理高速数据传输和接收，时钟管理单元（CMU）负责产生和管理设备所需的时钟信号，模数转换器（ADC）用于将模拟信号转换为数字信号。

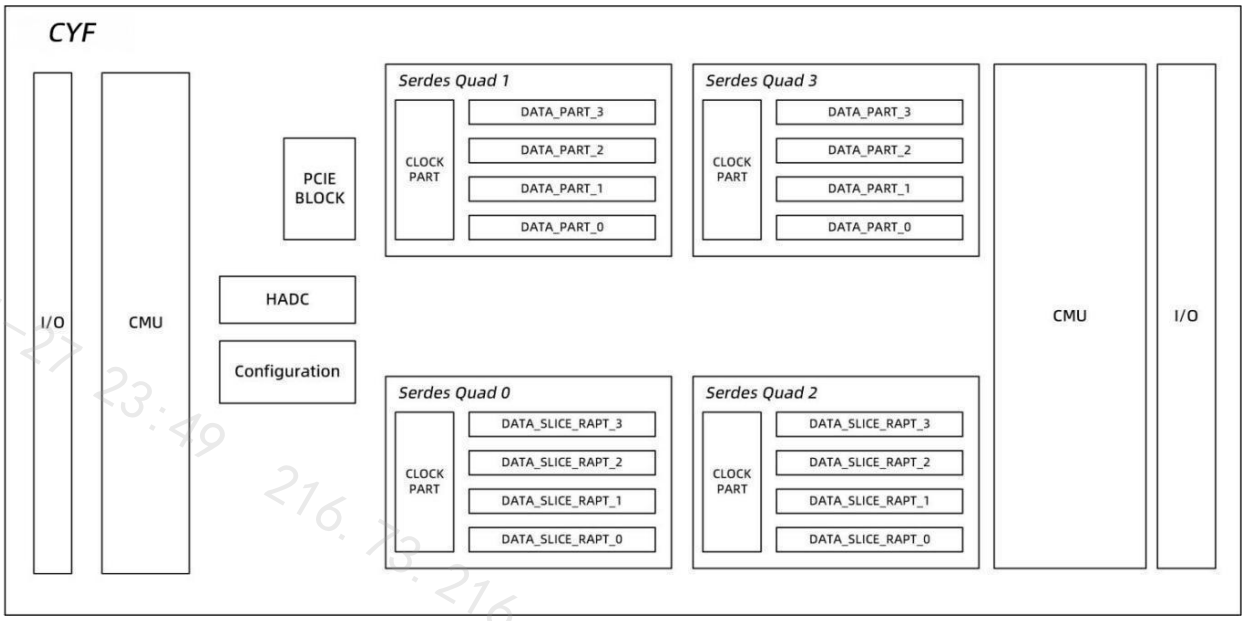


图 9 GT066 架构示意图

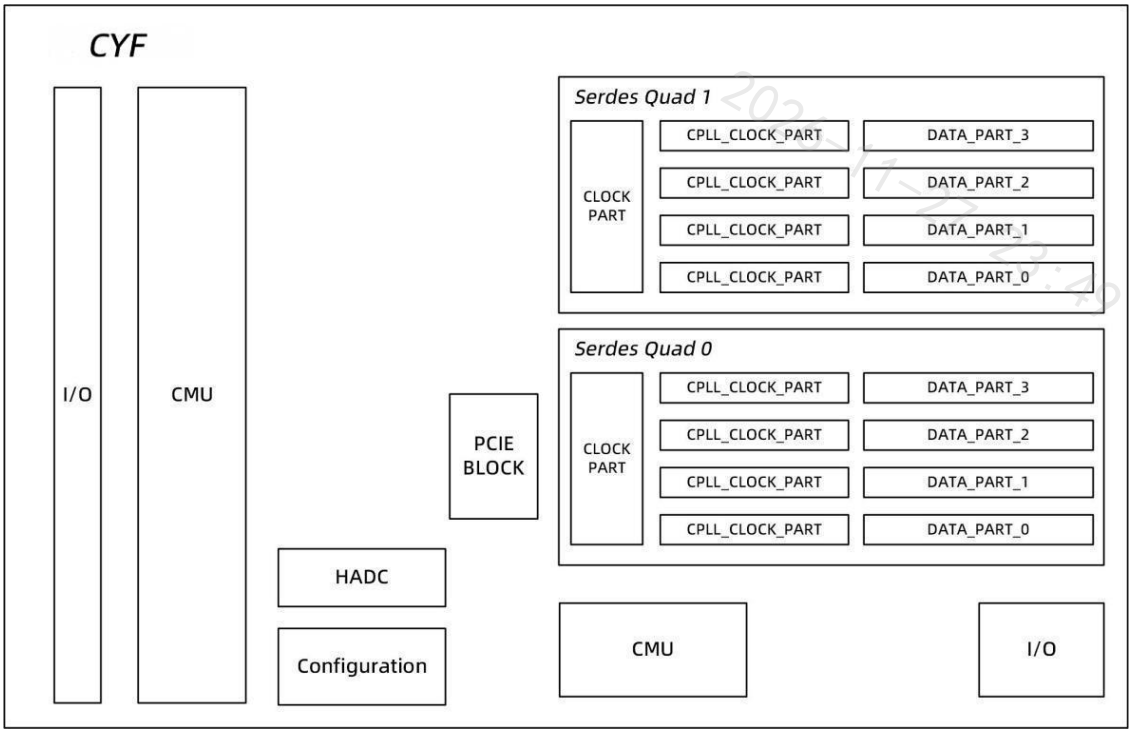


图 10 GT125 架构示意图

表 5 GT066 主要特性如下表:

TX 输出速率范围	0.5~6.6Gbps
TX 数据流位宽	40/32/20/16bit 并行数据的传输
TX 输出摆幅	0.253~1.074 V
TX 输出 Jitter	T_J<0.30UI; DJ<0.15UI
FFE 均衡增益	0~12.96dB 可调 (Post Cursor)0~6.02dB 可调 (Pre Cursor)
TX 输出阻抗	TX 输出特征阻抗,单端 50Ω,差分 100Ω
TX 对接 RX	典型值 100nF AC 耦合电容
应用规格	Channel Loss ≥-12dB

表 6 GT125 主要特性如下表：

TX 输出速率范围	0.5~11.2Gbps @LPM Mode0.5~12.5Gbps @DFE Mode
TX 数据流位宽	80/64/40/32/20/16bit 并行数据的传输
TX 输出摆幅	0.261~1.119 V(差分摆幅)
TX 输出 Jitter	T_J<0.28UI; DJ<0.17UI @ QPLLTJ<0.30UI; DJ<0.15UI @ CPLL
FFE 均衡增益	0~12.96dB 可调 (Post-Cursor) (1) 0~6.02dB 可调 (Pre-Cursor)
TX 输出阻抗	单端 50Ω,差分 100Ω等效阻抗
TX 对接 RX	TX、RX 对接时,RX 支持 DC、AC 耦合两种方式;AC 耦合时在 RX 端数据输入前外接典型值 100nF,75nF~200n 的隔直电容
应用规格	Channel Loss ≥-12dB @LPM ModeChannel Loss ≥ -26dB @DFE Mode

附注：

1.FFE 均衡增益：实际应用时，以应用场景眼图扫参结果择优配置最为准确。在未扫参前提下，推荐在 DFE 模式 Channel Loss ≤ -15dB 开启 Post-Cursor 6dB 档位。

2.应用规格：DFE 模式推荐在 Channel Loss $\leq -8dB$ 场景下使用。同时在串扰和反射敏感场景下优先选择 DFE 模式。

6.9. PCI Express 控制器

CYF 系列 FPGA 的 PCI Express 控制器最高带宽是 5Gb/s，可配置成 1-lane 或 2-lane 或 4-lane 的 PCI Express Endpoint(EP)，也可配置成 1-lane 或 2-lane 或 4-lane 的 PCI Express Root Complex(RC)。PCI Express 控制器支持的主要特性如下：

PCI Express Base Specification, Express Base Specification, rev.2.1 中所有的必选功能（线速率目前最高支持到 Gen2）。还支持以下 PCI Express Base Specification 中的部分可选功能：

- Function Level Reset (FLR)
- Atomic Operations
- Readiness Notifications (RN)
- PCI Express Active State Power Management (ASPM)
- PCI Express Advanced Error Reporting (AER) with Multiple Header Logging
- Access Control Services(ACS)
- 支持 RC（Root Complex）模式和 EP 模式

- 支持 GEN1/2，支持 X1、X2、X4
- 支持先进的时钟和功耗管理（L1 的子状态）
- 支持自动 Lane 反转（Reversal）
- 支持 Upconfigure
- 支持 ECRC 产生和检查
- 只支持 VCO
- 支持对 Posted, Non-posted, and Completion 实施可配置的过滤规则
- 支持基于 BAR 的地址过滤、 I/O 过滤、 CFG 事务过滤和 Completion 查找表和 Timeout
- 支持 2 组用户侧发送端口
- 支持带 Per-Vector Masking（PVM）的 MSI，支持 MSI 扩展消息数据
- 支持带 Per-Vector Masking（PVM）的 MSI-X
- 支持 Type 0 配置空间
- RC 支持 Type1 配置空间
- 如果 PCIE 控制器检测不到 Lane0，支持用户手动进行 Lane Reversal

6.10. 配置说明（CFG）

CYF 系列 FPGA 支持七种配置模式，分别是主串行、主 SPI、主 BPI、主 SelectMAP、从 SelectMAP、JTAG 以及从串行配置模式。

6.10.1. 加密配置功能

FPGA 位流安全的可用类型包括：位流加密和位流验证。加密和比特流验证。基本的安全形式是防止回读。位流安全设置可设置为 Level1 （禁止回读）或 Level2 （禁止回读和重新配置）。

CYF 系列 FPGA 具有片上高级加密标准(AES)解密逻辑，可提供高度的设计安全性。如果在不知道密钥的情况下，比特流无法被外部解析。CYF 系列 FPGA AES 系统包括基于软件的比特流加密和片上位流解密。加密密钥只能通过 JTAG 端口对设备进行编程。在配置过程中 CYF 系列 FPGA 会执行相反的操作，对输入的比特流进行解密。CYF 系列 FPGA AES 加密逻辑使用 256 位加密密钥。除比特流解密外，片上 AES 解密逻辑不能用于任何其他目的。AES 解密逻辑不能用于用户设计，也不能用于解密配置比特流以外的任何数据。

6.10.2. 配置模式

表 7 CYF 系列 FPGA 配置模式

模式	M[2:0]	位宽	CCLK 方向
主 Serial	000	x1	Output
主 SPI	001	x1,x2,x4	Output
主 BPI	010	x8,x16	Output
主$SelectMAP^{(1)}$	100	x8,x16	Output
JTAG	101	x1	Not Applicable
从 SelectMAP	110	x8,x16,x32	Input
从 Serial	111	x1	Input

附注：1. 从 SelectMAPx16 和 x32 总线宽度不支持 AES 加密的位流。

6.11. DDR

CYF 系列 FPGA 的提供了对 DDR2/DDR3 存储器接口的支持，FPGA 内部集成 DDR PHY 硬核控制器和 DDR 专用 Bank 逻辑，支持的最大位宽可达 72-bit。主要支持的特性如下：

- 支持 DDR2/ DDR3 类型存储器颗粒
- 支持 8-bit 至 72-bit 数据位宽，支持 Fly-By 的拓扑结构
- 支持最大 2 个 Rank 的颗粒组织形式
- 支持 Data Mask 功能
- 支持 DDR PHY 硬核控制器，用以完成 PHY 初始化、Data Training、Write Leveling
- Write Latency 调节、Read/Write 读写窗口训练、VREF 训练等 DDR 校准功能
- 支持 Memory built-in-self-test （MBIST），用以检验校准后的数据链路
- 支持 4：1 和 2：1 工作模式

CYF 系列 FPGA 的 DDR2/DDR3 与外部交互便捷，数据传输速率快，用户应用该芯片可以更好地利用 DDR2/DDR3 进行存储，以达到更高性能的开发实现。具体结构如图 11 所示。

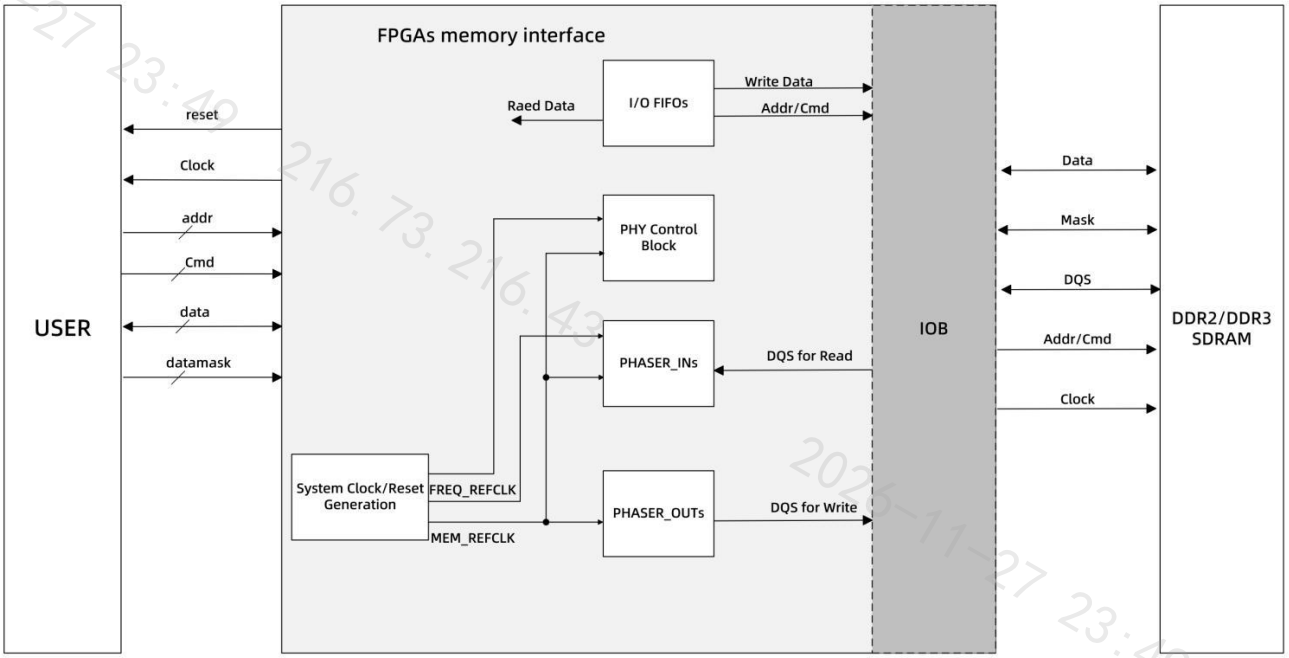


图 11 DDR2/DDR3 数据传输示意图

7. 工作条件和 DC 特性

CYF 系列 FPGA 在严苛的工作条件下表现出色，标准工作电压为 0.9V。为确保极致的可靠性，所有性能参数均在最低供电电压与最高结温下进行评估。除特殊说明外，以下信息适用于：车规级别规定的交流和直流特性。此外，所有参数测量的电压值都是以地线为参考。

7.1. 工作条件

7.1.1. 最大绝对电压

表 8 最大绝对电压值(1)

类型	描述	最小值	最大值	单位
Logic				
V_{DDC}	内核电压	-0.5	1.1	V
V_{DDAUX}	辅助电压	-0.5	2.0	V
V_{DDM}	ERAM 存储器的供电电压	-0.5	1.1	V
V_{DDO}	HR I/O 输出驱动器电源电压	-0.5	3.6	V
	HP I/O 输出驱动器电源电压	-0.5	2.0	V
V_{REF}	输入参考电压	-0.5	2.0	V
V_{IN}(2)	HR I/O 输入电压	-0.4	$V_{DDO}+0.55$	V
	HP I/O 输入电压	-0.55	$V_{DDO}+0.55$	
	$V_{DDO}=3.3V$ 时,带 V_{REF} 的 I/O 和差分 I/O 的 I 输入电压($TMDS_{33}$除外)	-0.4	2	V
V_{DDB}	密钥存储器备用电池供电	-0.5	2.0	V
GT066				
V_{GTC}	GT066 发送和接收电路的模拟电源电压	-0.5	1.1	V
V_{GTT}	GT066 发送和接收终端电路的模拟电源电压	-0.5	1.32	V
$V_{GTREFCLK}$	GT066 参考时钟绝对输入电压	-0.5	1.32	V
V_{IN}	接收端(RXP/RXN)和发送端(TXP/TXN)绝对输入电压	-0.5	1.26	V
I_{DCIN_FLOAT}	接收端输入引脚的直流输入电流(接收端输入引脚直流耦合 RX 终端悬空)	-	14	mA
I_{DCIN_GTT}	接收端输入引脚的直流输入电流(接收端输入引脚直流耦合 RX 终端接 V_{GTT})	-	12	mA
I_{DCIN_GND}	接收端输入引脚的直流输入电流(接收端输入引脚直流耦合 RX 终端接 GND)	-	6.5	mA
I_{DCOUT_FLOAT}	发送端引脚的直流输出电流(发送端引脚直流耦合 RX 终端悬空)	-	14	mA

类型	描述	最小值	最大值	单位
I_{DCOUT_GTT}	发送端引脚的直流输出电流(发送端引脚直流耦合 RX 终端接 V_{GTT})	-	12	mA
GT125				
V_{GTC}	GT125 发送和接收电路的模拟电源电压	-0.5	1.1	V
V_{GTT}	GT125 发送和接收终端电路的模拟电源电压	-0.5	1.32	V
V_{GTAUX}	GT125 收发器的辅助模拟 Quad PLL(QPLL)电压电源	-0.5	1.935	V
$V_{GTREFCLK}$	GT125 参考时钟绝对输入电压	-0.5	1.32	V
$V_{GTTRCAL}$	GT125 电阻校准电路的模拟电源电压	-0.5	1.32	V
V_{IN}	接收端(RXP/RXN)和发送端(TXP/TXN)绝对输入电压	-0.5	1.26	V
I_{DCIN_FLOAT}	接收端输入引脚的直流输入电流(接收端输入引脚直流耦合 RX 终端悬空)	-	14	mA
I_{DCIN_GPT}	接收端输入引脚的直流输入电流(接收端输入引脚直流耦合 RX 终端接 V_{GTT})	-	12	mA
I_{DCIN_GND}	接收端输入引脚的直流输入电流(接收端输入引脚直流耦合 RX 终端接 GND)	-	6.5	mA
I_{DCOUT_FLOAT}	发送端引脚的直流输出电流(发送端引脚直流耦合 RX 终端悬空)	-	14	mA
I_{DCOUT_GTT}	发送端引脚的直流输出电流(发送端引脚直流耦合 RX 终端接 V_{GTT})	-	12	mA
HADC				
V_{DDADC}	HADC 相对于 GNDADC 的电源电压	-0.5	2.0	V
V_{REFP}	相对 GNDADC 的 HADC 基准输入电压	-0.5	2.0	V
Temperature				
T_{STG}	存储温度(环境)	-65	150	°C
T_{SOL}	铅/锑元件的最高焊接温度 (3)	-	+220	°C
	无铅元件的最高焊接温度 (3)	-	+260	°C
T_j	最高结温 (3)	-	+125	°C

附注：

1.超出绝对最大额定值的电压会对设备造成永性损坏，这些只是电压额定值、并不意味着设备在这些条件下或超出“工作条件”中所列条件的任何其他条件下都能正常工作，长时间暴露在绝对最大额定值条件下会影响设备的可靠性。

2.较低的绝对电压规格始终适用。

3.对于焊接准则和热考虑，见 CYF 系列 FPGA 封装和引脚说明规范。

7.1.2. 推荐操作条件

表 9 推荐操作条件(1)

类型	描述	最小	典型	最大	单位
Logic					
V_{DDC}(2)	内核电压,功耗等级为“S”的器件	0.87	0.90	1.03	V
	内核电压,功耗等级为“L”的器件	0.82	0.85	0.93	V
V_{DDAUX}	辅助电压	1.71	1.80	1.89	V
V_{DDM}(2)	ERAM 存储器的电源电压,功耗等级为“S”的器件	0.87	0.90	1.03	V
	ERAM 存储器的电源电压,功耗等级为“L”的器件	0.82	0.85	0.93	V
V_{DDO}(3)(4)	HR I/O 的电源电压	1.14	-	3.465	V
	HP I/O 的电源电压	1.14	-	1.89	V
V_{DDAUX_IO}(8)	1.8V I/O 辅助电压	1.71	1.80	1.89	V
	2.0V I/O 辅助电压	1.94	2.00	2.06	V
V_{IN}(5)	I/O 输入电压	-0.20	-	$V_{DDO}+0.20$	V
	$V_{DDO}=3.3V$ 时,带 V_{REF} 的 I/O 和差分 I/O 的输入电压($TMDS_{33}$ 除外)	-0.20	-	2.625	V
I_{IN}(6)	当二极管正向偏置时,通过供电或未供电 I/O 组中任意引脚的最大电流。	-	-	10	mA
V_{DDB}(7)	电池电压	1.00	-	1.89	V
GT066					
V_{GTC}	GT066 发送和接收电路的模拟电源电压	0.95	1.00	1.05	V
V_{GTT}	GT066 发送和接收终端电路的模拟电源电压	1.15	1.20	1.25	V
GT125					
V_{GTC}	GT125 发送和接收电路的模拟电源电压	0.97	1.00	1.05	V
V_{GTT}	GT125 发送和接收终端电路的模拟电源电压	1.15	1.20	1.25	V
V_{GTAUX}	GT125 的辅助模拟 QPLL 电压电源	1.75	1.80	1.85	V
$V_{GTTRCAL}$	GT125 电阻器校准电路的模拟电源电压	1.17	1.20	1.23	V
HADC					
V_{DDADC}	HADC 相对于 GNDADC 的电源电压	1.71	1.80	1.89	V
V_{REFP}	相对 GNDADC 的 HADC 基准输入电压	1.20	1.25	1.30	V
Temperature					
T_j	商用(C)器件的结温工作范围	0	-	85	°C
	工业应用(I)器件的结温工作范围	-40	-	105	°C

附注：

1.所有电压都是相对于地的。

2.如果 V_{DDC} 和 V_{DDM} 工作在相同的电压下， V_{DDC} 和 V_{DDM} 应连接到相同的电压。

3.即使 V_{DDO} 降至 0V，配置数据也会保留。

4.包括在士 5%时的 1.2V、1.35V、1.5V、1.8V、2.5V 和 3.3V 的 V_{DDO} 。

5.较低的绝对电压规格始终适用。

6.每个 BANK 不应超过 200mA。

7.只有使用比特流加密时才需要 V_{DDB} 。如果不使用电池，则将 V_{DDB} 连接到地或 V_{DDAUX} 。

8.存储接口

7.1.3. 推荐工作条件下的 DC 特性

表 10 推荐工作条件下的 DC 特性

类型	参数说明	最小值	典型值(1)	最大值	单位
V_{DRC}	数据保持 V_{DDC} 电压(低于该电压配置数据可能会丢失)	0.75	-	-	V
V_{DRAUX}	数据保持 V_{DDAUX} 电压(低于该电压配置数据可能会丢失)	1.50	-	-	V
I_{REF}	每个引脚的 V_{REF} 漏电流	-	-	15	μA
I_L	每个引脚的输入或输出漏电流	-	-	15	μA
C_{IN}(2)	芯片 PAD 上的输入电容	-	-	8	pF
I_{WPU}	PAD 上拉电流 @ V_{IN} = 0V, V_{DDO} = 3.3V	90	-	330	μA
	PAD 上拉电流 @ V_{IN} = 0V, V_{DDO} = 2.5V	60	-	220	μA
	PAD 上拉电流 @ V_{IN} = 0V, V_{DDO} = 1.8V	36	-	190	μA
	PAD 上拉电流 @ V_{IN} = 0V, V_{DDO} = 1.5V	24	-	130	μA
	PAD 上拉电流 @ V_{IN} = 0V, V_{DDO} = 1.2V	12	-	100	μA
I_{WPD}	PAD 下拉电流 @ V_{IN} = 3.3V	60	-	300	μA
I_{DDADC}	上电状态下 ADC 模拟电源电流	-	-	25	mA
I_B(3)	电池供电电流	-	-	150	nA
R_{IN_TERM}(4)	$V_{DDO}/2$ 电压下可编程输入终端的等效电阻(当配置为 40Ω)	28	40	55	Ω
	$V_{DDO}/2$ 电压下可编程输入终端的等效电阻(当配置为 50Ω)	35	50	65	Ω
	$V_{DDO}/2$ 电压下可编程输入终端的等效电阻(当配置为 60Ω)温度二极管理想因子	44-	601.01	83-	Ω-
n					
r	温度二极管串联电阻	-	2	-	Ω

附注：

1.典型值在标称电压、25℃时指定。

2.该测量值代表焊盘处的芯片电容，不包括封装电容。

3.25°C 时最坏情况工艺的最大值。

4.终端电阻达到 $V_{DDO}/2$ 级。

7.1.4. 典型静态电流

表 11 典型静态电流(1)(2)

类型	描述	型号	$0.9V^{(3)}$	Units
I_{DDCQ}	V_{DDC} 静态电流	CYF7A75	128	mA
		CYF7A100	128	
		CYF7A200	272	
		CYF7K160	213	
I_{DDOQ}	V_{DDO} 静态电流	CYF7A75	1	mA
		CYF7A100	1	
		CYF7A200	1	
		CYF7K160	1	
I_{DDAUXQ}	V_{DDAUX} 静态电流	CYF7A75	30	mA
		CYF7A100	30	
		CYF7A200	64	
		CYF7K160	50	
I_{DDMQ}	V_{DDM} 静态电流	CYF7A75	3	mA
		CYF7A100	3	
		CYF7A200	9	
		CYF7K160	8	
I_{DDAUX_IOQ}	V_{DDAUX_IO} 静态电流	CYF7K160	2	mA

附注：

1.典型值在标称电压、85°C 结温（ T_j ）和单端 ComboIO 资源下指定。

2.典型值适用于无输出电流负载、无有源输入上拉电阻、所有 I/O 引脚均为 3 态和悬空的空白配置器件。3.VDDC 和 VDDM 是 0.9V。

7.1.5. 上下电时序

上电顺序 [1] [2]

CYF 系列 FPGA 有上下电时序要求，CYF7A75/CYF7A100/CYF7A200 器件推荐上电顺序： V_{DDC} （ V_{DDM} ）-> V_{DDAUX} -> V_{DDO} ，CYF7K160 器件推荐上电顺序： V_{DDC} （ V_{DDM} ）-> V_{DDAUX} -> V_{DDAUX_IO} -> V_{DDO} ，如果电压一样的情况下可以同时供电，比如 V_{DDC} 和 V_{DDM} 一起供电， V_{DDAUX} 、 V_{DDAUX_IO} 和 V_{DDO} 可以一起供电，以实现最小的电流消耗，并确保在上电时 I/O 处于三态，推荐的下电顺序则与上电顺序相反。上电的过程如图 12 和图 13 所示：

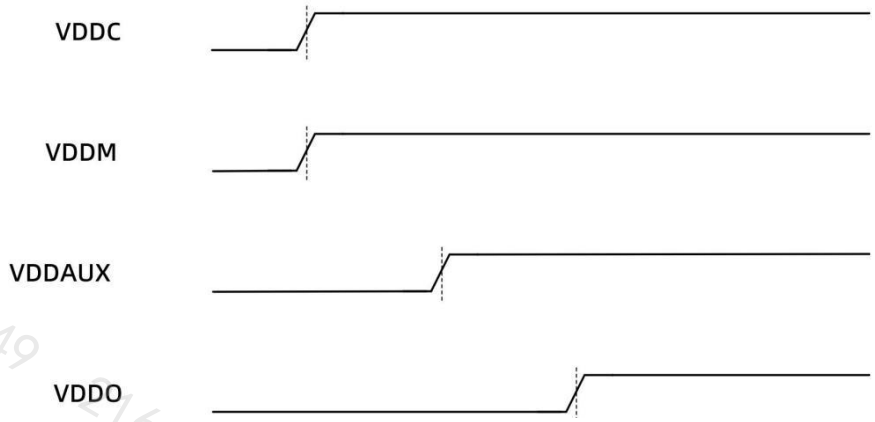


图 12 CYF7A75/CYF7A100/CYF7A200 上电时序图

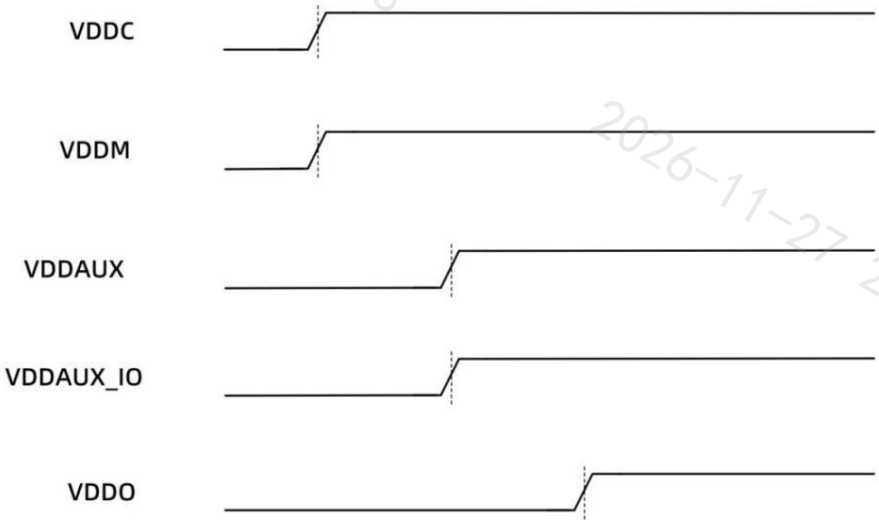


图 13 CYF7K160 上电时序图

附注：

1. 整个上电过程中，配置模块内只有实现 delay 操作的异步计数器逻辑在工作，其他所有逻辑都处在 reset 状态。
2. 芯片必须按照此上电顺序进行操作，如若违规操作可能造成芯片损坏。

表 12 CYF7A75/CYF7A100/CYF7A200 电源上电时间

类型	参数说明	最小值	最大值	单位
T_{VDDC}	从 GND 达到 90% V_{DDC} 的时间	0.2	50	ms
T_{VDDO}	从 GND 达到 90% V_{DDO} 的时间	0.2	50	ms
T_{VDDAUX}	从 GND 达到 90% V_{DDAUX} 的时间	0.2	50	ms
T_{VDDM}	从 GND 达到 90% V_{DDM} 的时间	0.2	50	ms
$T_{VDDO2VDDAUX}$	允许 $V_{DDO} - V_{DDAUX} > 1.98V$ 的时间	-	200	ms
T_{VGTC}	从 GND 达到 90% V_{GTC} 的时间	0.2	50	ms
T_{VGTT}	从 GND 达到 90% V_{GTT} 的时间	0.2	50	ms

表 13 CYF7K160 电源上电时间

类型	参数说明	最小值	最大值	单位
T_{VDDC}	从 GND 达到 90% V_{DDC} 的时间	0.2	50	ms
T_{VDDO}	从 GND 达到 90% V_{DDO} 的时间	0.2	50	ms
T_{VDDAUX}	从 GND 达到 90% V_{DDAUX} 的时间	0.2	50	ms
T_{VDDAUX_IO}	从 GND 达到 90% V_{DDAUX_IO} 的时间	0.2	50	ms
T_{VDDM}	从 GND 达到 90% V_{DDM} 的时间	0.2	50	ms
$T_{VDDO2VDDAUX}$	允许 $V_{DDO} - V_{DDAUX} > 1.98V$ 的时间	-	200	ms
T_{VGTC}	从 GND 达到 90% V_{GTC} 的时间	0.2	50	ms
T_{VGTT}	从 GND 达到 90% V_{GTT} 的时间	0.2	50	ms
$T_{MGTVDDAUX}$	从 GND 达到 90% $V_{MGTVCCAUX}$ 的时间	0.2	50	ms

7.1.6. eFUSE 编程条件

表 14 eFUSE 编程条件 (1)

类型	参数说明	最小值	典型值	最大值	单位
I_{eFUSE}	V_{DDAUX} 电源电流	-	-	120	mA
T_j	温度范围	0	-	125	°C

附注：

1. 在 eFUSE 编程期间不得配置 FPGA。

7.2. 输入输出 DC 特性

V_{IL} 和 V_{IH} 值为推荐输入电压。 I_{OL} 和 I_{OH} 的值是在 V_{OL} 和 V_{OH} 的推荐工作条件下的保证值。 V_{OL} 和 V_{OH} 工作条件只是测试选定的标准。选择这些标准是为了确保所有标准符合其规格。所选标准在最低 V_{DDO} 下进行测试，相应的 V_{OL} 和 V_{OH} 电压水平进行测试。其他标准均为抽样测试。

表 15 CYF7A75/CYF7A100/CYF7A200 器件单端 I/O 输入电平 (1) (2)

I/O Standard	V_{IL}		V_{IH}	
	V, Min	V, Max	V, Min	V, Max
$HSTL_I$	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{DDO} + 0.300$
$HSTL_I$_18	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{DDO} + 0.300$
$HSTL_{II}$	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{DDO} + 0.300$
$HSTL_{II}$_18	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{DDO} + 0.300$
$HSUL_{12}$	-0.300	$V_{REF} - 0.130$	$V_{REF} + 0.130$	$V_{DDO} + 0.300$
LVCMOS12	-0.300	35% V_{DDO}	65% V_{DDO}	$V_{DDO} + 0.300$
LVCMOS15	-0.300	35% V_{DDO}	65% V_{DDO}	$V_{DDO} + 0.300$
LVCMOS18	-0.300	35% V_{DDO}	65% V_{DDO}	$V_{DDO} + 0.300$
LVCMOS25	-0.300	0.7	1.700	$V_{DDO} + 0.300$
LVCMOS33	-0.300	0.8	2.000	3.450
LVTTL	-0.300	0.8	2.000	3.450
$MOBILE_{DDR}$	-0.300	20% V_{DDO}	80% V_{DDO}	$V_{DDO} + 0.300$
$PCI33_3$	-0.400	30% V_{DDO}	50% V_{DDO}	$V_{DDO} + 0.500$
SSTL135	-0.300	$V_{REF} - 0.090$	$V_{REF} + 0.090$	$V_{DDO} + 0.300$
$SSTL135_R$	-0.300	$V_{REF} - 0.090$	$V_{REF} + 0.090$	$V_{DDO} + 0.300$
SSTL15	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{DDO} + 0.300$
$SSTL15_R$	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{DDO} + 0.300$
$SSTL18_I$	-0.300	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{DDO} + 0.300$
$SSTL18_{II}$	-0.300	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{DDO} + 0.300$

表 16 CYF7A75/CYF7A100/CYF7A200 器件单端 I/O 输出电平 (1) (2)

I/O Standard	V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V, Max	V, Min	mA,Max	mA,Min
$HSTL_I$	0.400	$V_{DDO} - 0.400$	8.00	-8.00
$HSTL_I$_18	0.400	$V_{DDO} - 0.400$	8.00	-8.00
$HSTL_{II}$	0.400	$V_{DDO} - 0.400$	16.00	-16.00
$HSTL_{II}$_18	0.400	$V_{DDO} - 0.400$	16.00	-16.00
$HSUL_{12}$	20% V_{DDO}	80% V_{DDO}	0.10	-0.10
LVCMOS12	0.400	$V_{DDO} - 0.400$	附 3	附 3
LVCMOS15	25% V_{DDO}	75% V_{DDO}	附 4	附 4
LVCMOS18	0.450	$V_{DDO} - 0.450$	附 5	附 5
LVCMOS25	0.400	$V_{DDO} - 0.400$	附 4	附 4
LVCMOS33	0.400	$V_{DDO} - 0.400$	附 4	附 4
LVTTL	0.400	2.400	附 5	附 5
$MOBILE_{DDR}$	10% V_{DDO}	90% V_{DDO}	0.10	-0.10
$PCI33_3$	10% V_{DDO}	90% V_{DDO}	1.50	-0.50
SSTL135	$V_{DDO}/2 - 0.150$	$V_{DDO}/2 + 0.150$	13.00	-13.00
$SSTL135_R$	$V_{DDO}/2 - 0.150$	$V_{DDO}/2 + 0.150$	8.90	-8.90
SSTL15	$V_{DDO}/2 - 0.175$	$V_{DDO}/2 + 0.175$	13.00	-13.00
$SSTL15_R$	$V_{DDO}/2 - 0.175$	$V_{DDO}/2 + 0.175$	8.90	-8.90
$SSTL18_I$	$V_{DDO}/2 - 0.470$	$V_{DDO}/2 + 0.470$	8.00	-8.00
$SSTL18_{II}$	$V_{DDO}/2 - 0.600$	$V_{DDO}/2 + 0.600$	13.40	-13.40

表 17 CYF7K160 器件单端 I/O 输入电平 (1) (2)

I/O Standard	V_{IL}		V_{IH}	
	V, Min	V, Max	V, Min	V, Max
$HSTL_I$	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{DDO} + 0.300$
$HSTL_I_12$	-0.300	$V_{REF} - 0.080$	$V_{REF} + 0.080$	$V_{DDO} + 0.300$
$HSTL_I_18$	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{DDO} + 0.300$
$HSTL_{II}$	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{DDO} + 0.300$
$HSTL_{II}_18$	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{DDO} + 0.300$
$HSUL_{12}$	-0.300	$V_{REF} - 0.130$	$V_{REF} + 0.130$	$V_{DDO} + 0.300$
LVCMOS12	-0.300	35% V_{DDO}	35% V_{DDO}	$V_{DDO} + 0.300$
LVCMOS15, $LVDCI_{15}$	-0.300	35% V_{DDO}	35% V_{DDO}	$V_{DDO} + 0.300$
LVCMOS18, $LVDCL_{18}$	-0.300	35% V_{DDO}	65% V_{DDO}	$V_{DDO} + 0.300$
LVCMOS25	-0.300	0.700	1.700	$V_{DDO} + 0.300$
LVCMOS33	-0.300	0.800	2.000	3.450
LVTTL	-0.300	0.800	2.000	3.450
$MOBILE_{DDR}$	-0.300	20% V_{DDO}	80% V_{DDO}	$V_{DDO} + 0.300$
$PCI33_3$	-0.400	30% V_{DDO}	50% V_{DDO}	$V_{DDO} + 0.500$
SSTL12	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{DDO} + 0.300$
SSTL135	-0.300	$V_{REF} - 0.090$	$V_{REF} + 0.090$	$V_{DDO} + 0.300$
$SSTL135_R$	-0.300	$V_{REF} - 0.090$	$V_{REF} + 0.090$	$V_{DDO} + 0.300$
SSTL15	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{DDO} + 0.300$
$SSTL15_R$	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{DDO} + 0.300$
$SSTL18_I$	-0.300	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{DDO} + 0.300$
$SSTL18_{II}$	-0.300	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{DDO} + 0.300$

表 18 CYF7K160 器件单端 I/O 输出电平 (1) (2)

I/O Standard	V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V, Max	V, Min	mA,Max	mA,Min
$HSTL_I$	0.400	$V_{DDO} - 0.400$	8.00	-8.00
$HSTL_I$_12	25% V_{DDO}	75% V_{DDO}	6.30	-6.30
$HSTL_I$_18	0.400	$V_{DDO} - 0.400$	8	-8
$HSTL_{II}$	0.400	$V_{DDO} - 0.400$	16.00	-16.00
$HSTL_{II}$_18	0.400	$V_{DDO} - 0.400$	16	-16
$HSUL_{12}$	20% V_{DDO}	80% V_{DDO}	0.10	-0.10
LVCMOS12	0.400	$V_{DDO} - 0.400$	附 3	附 3
LVCMOS15, $LVDCI_{15}$	25% V_{DDO}	75% V_{DDO}	附 4	附 4
LVCMOS18, $LVDCL_{18}$	0.450	$V_{DDO} - 0.450$	附 5	附 5
LVCMOS25	0.400	$V_{DDO} - 0.400$	附 6	附 6
LVCMOS33	0.400	2.400	附 6	附 6
LVTTL	0.400	2.400	附 7	附 7
$MOBILE_{DDR}$	10% V_{DDO}	90% V_{DDO}	0.10	-0.10
$PCI33_3$	10% V_{DDO}	90% V_{DDO}	1.50	-1.50
SSTL12	$V_{DDO}/2 - 0.150$	$V_{DDO}/2 + 0.150$	14.25	-14.25
SSTL135	$V_{DDO}/2 - 0.150$	$V_{DDO}/2 + 0.150$	13.00	-13.00
$SSTL135_R$	$V_{DDO}/2 - 0.150$	$V_{DDO}/2 + 0.150$	8.90	-8.90
SSTL15	$V_{DDO}/2 - 0.175$	$V_{DDO}/2 + 0.175$	13.00	-13.00
$SSTL15_R$	$V_{DDO}/2 - 0.175$	$V_{DDO}/2 + 0.175$	8.90	-8.90
$SSTL18_I$	$V_{DDO}/2 - 0.470$	$V_{DDO}/2 + 0.470$	8	-8
$SSTL18_{II}$	$V_{DDO}/2 - 0.600$	$V_{DDO}/2 + 0.600$	13.40	-13.40

附注：

1. 根据相关规范进行测试。
2. 仅 HRI/O 组支持 3.3V 和 2.5V 标准。
3. HPI/O 组支持 2、4、6 或 8 mA 的驱动强度，HRI/O 组支持 4、8 或 12 mA 的驱动强度。
4. HPI/O 组支持 2、4、6、8、12 或 16 mA 的驱动强度，HRI/O 组支持 4、8、12 或 16 mA 的驱动强度。
5. HPI/O 组支持 2、4、6、8、12 或 16 mA 的驱动强度，HRI/O 组支持 4、8、12、16 或 24 mA 的驱动强度。
6. 支持 4、8、12 或 16 mA 的驱动强度。
7. 支持 4、8、12、16 或 24 mA 的驱动强度

表 19 CYF7A75/CYF7A100/CYF7A200 器件 LVDS25 直流规格

类型	直流参数	条件	最小值	典型	最大值	单位
V_{DDO}	电源电压		2.375	2.500	2.625	V
V_{OH}	Q 和 $\overline{Q}$ 的输出高电平	R_T=100 Ω across Q and $\overline{Q}$ signals	-	-	1.675	V
V_{OL}	Q 和 $\overline{Q}$ 的输出低电压	R_T=100 Ω across Q and $\overline{Q}$ signals	0.700	-	-	V
V_{ODIFF}	差分输出电压: (Q-$\overline{Q}$), q=High (Q̄-Q), Q̄=High	R_T=100 Ω across Q and $\overline{Q}$ signals	247	350	600	mV
V_{OCM}	输出共模电压	R_T=100 Ω across Q and $\overline{Q}$ signals	1.000	1.250	1.425	V
V_{IDIFF}	差分输入电压: (Q-$\overline{Q}$), q=High (Q̄-Q), Q̄=High		100	350	600	mV
V_{ICM}	输入共模电压		0.300	1.200	1.500	V

表 20 表 3.2-6 CYF7K160 器件 LVDS 直流规格

类型	直流参数	条件	最小值	典型	最大值	单位
V_{DDO}	电源电压		1.710	1.800	1.890	V
V_{OH}	Q 和 $\overline{Q}$ 的输出高电平	R_T=100 Ω across Q and $\overline{Q}$ signals	-	-	1.675	V
V_{OL}	Q 和 $\overline{Q}$ 的输出低电压	R_T=100 Ω across Q and $\overline{Q}$ signals	0.825	-	-	V
V_{ODIFF}	差分输出电压: (Q-Q), Q=High (Q̄-Q), Q̄=High	R_T=100 Ω across Q and $\overline{Q}$ signals	247	350	600	mV
V_{OCM}	输出共模电压	R_T=100 Ω across Q and $\overline{Q}$ signals	1.000	1.250	1.425	V
V_{IDIFF}	差分输入电压: (Q-Q), Q=High ($Q - \overline{Q}$), $Q = High$	共模输入电压 = 1.25V	100	350	600	mV
V_{ICM}	输入共模电压	差分输入电压 = ±350 mV	0.300	1.200	1.500	V

表 21 CYF 系列器件差分 I/O 输入电平

I/O Standard	V_{ICM}(1)			V_{ID}(2)		
	V,Min	V,Typ	V,Max	V,Min	V,Typ	V,Max
$BLVDS_{25}$	0.300	1.200	1.425	0.100	-	-
$MINI_{LVDS}_25$	0.300	1.200	V_{DDAUX}	0.200	0.400	0.600
$PPDS_{25}$	0.200	0.900	V_{DDAUX}	0.100	0.250	0.400
$RSDS_{25}$	0.300	0.900	1.500	0.100	0.350	0.600
$TMDS_{33}$	2.700	2.965	3.230	0.150	0.675	1.200

表 22 CYF 系列器件差分 I/O 输出电平

I/O Standard	V_{OCM}(3)			V_{OD}(4)		
	V,Min	V,Typ	V,Max	V,Min	V,Typ	V,Max
$BLVDS_{25}$	-	1.250	-	附 5		
$MINI_{LVDS}_25$	1.000	1.200	1.400	0.300	0.450	0.600
$PPDS_{25}$	0.500	0.950	1.400	0.100	0.250	0.400
$RSDS_{25}$	1.000	1.200	1.400	0.100	0.350	0.600
$TMDS_{33}$	$V_{DDO} - 0.405$	$V_{DDO} - 0.300$	$V_{DDO} - 0.190$	0.400	0.600	0.800

附注：

1.V_{ICM} 为输入共模电压。

2.V_{ID} 为输入差分电压（Q-Q）。

3.V_{OCM} 为输出共模电压。

4.V_{OD} 是输出差分电压（Q-Q）。

5.BLVDS 的 V_{OD} 会因拓扑结构和负载不同而有很大差异。

表 23 CYF7A75/CYF7A100/CYF7A200 互补差分 I/O 直流输入电平

I/O Standard	V_{ICM}(1)			V_{ID}(2)	
	V,Min	V,Typ	V,Max	V,Min	V,Max
$DIFF_{HSTL}_I$	0.300	0.750	1.125	0.100	-
$DIFF_{HSTL}_I_{18}$	0.300	0.900	1.425	0.100	-
$DIFF_{HSTL}_II$	0.300	0.750	1.125	0.100	-
$DIFF_{HSTL}_II_{18}$	0.300	0.900	1.425	0.100	-
$DIFF_{HSUL}_12$	0.300	0.600	0.850	0.100	-
$DIFF_{MOBILE}_DDR$	0.300	0.900	1.425	0.100	-
$DIFF_{SSTL135}$	0.300	0.675	1.000	0.100	-
$DIFF_{SSTL135}_R$	0.300	0.675	1.000	0.100	-
$DIFF_{SSTL15}$	0.300	0.750	1.125	0.100	-
$DIFF_{SSTL15}_R$	0.300	0.750	1.125	0.100	-
$DIFF_{SSTL18}_I$	0.300	0.900	1.425	0.100	-
$DIFF_{SSTL18}_II$	0.300	0.900	1.425	0.100	-

表 24 CYF7A75/CYF7A100/CYF7A200 互补差分 I/O 直流输出电平

I/O Standard	V_{OL} (3)	V_{OH} (4)	I_{OL}	I_{OH}
	V,Max	V,Min	mA,Max	mA,Min
DIFF$_{HSTL}$_I	0.400	$V_{DDO} - 0.400$	8.00	-8.00
DIFF$_{HSTL}$_I$_{18}$	0.400	$V_{DDO} - 0.400$	8.00	-8.00
DIFF$_{HSTL}$_II	0.400	$V_{DDO} - 0.400$	16.00	-16.00
DIFF$_{HSTL}$_II$_{18}$	0.400	$V_{DDO} - 0.400$	16.00	-16.00
DIFF$_{HSUL}$_12	20% V_{DDO}	80% V_{DDO}	0.100	-0.100
DIFF$_{MOBILE}$_DDR	10% V_{DDO}	90% V_{DDO}	0.100	-0.100
DIFF$_{SSTL135}$	$(V_{DDO}/2) - 0.150$	$(V_{DDO}/2) + 0.150$	13.00	-13.00
DIFF$_{SSTL135}$_R	$(V_{DDO}/2) - 0.150$	$(V_{DDO}/2) + 0.150$	8.90	-8.90
DIFF$_{SSTL15}$	$(V_{DDO}/2) - 0.175$	$(V_{DDO}/2) + 0.175$	13.00	-13.00
DIFF$_{SSTL15}$_R	$(V_{DDO}/2) - 0.175$	$(V_{DDO}/2) + 0.175$	8.90	-8.90
DIFF$_{SSTL18}$_I	$(V_{DDO}/2) - 0.470$	$(V_{DDO}/2) + 0.470$	8.00	-8.00
DIFF$_{SSTL18}$_II	$(V_{DDO}/2) - 0.600$	$(V_{DDO}/2) - 0.600$	13.40	-13.40

表 25 CYF7K160 互补差分 IO 直流输入电平

I/O Standard	V_{ICM} (1)			V_{ID} (2)	
	V,Min	V,Typ	V,Max	V,Min	V,Max
DIFF$_{HSTL}$_I	0.300	0.750	1.125	0.100	-
DIFF$_{HSTL}$_I$_{18}$	0.300	0.900	1.425	0.100	-
DIFF$_{HSTL}$_II	0.300	0.750	1.125	0.100	-
DIFF$_{HSTL}$_II$_{18}$	0.300	0.900	1.425	0.100	-
DIFF$_{HSUL}$_12	0.300	0.600	0.850	0.100	-
DIFF$_{MOBILE}$_DDR	0.300	0.900	1.425	0.100	-
DIFF$_{SSTL12}$	0.300	0.600	0.850	0.100	-
DIFF$_{SSTL135}$	0.300	0.675	1.000	0.100	-
DIFF$_{SSTL135}$_R	0.300	0.675	1.000	0.100	-
DIFF$_{SSTL15}$	0.300	0.750	1.125	0.100	-
DIFF$_{SSTL15}$_R	0.300	0.750	1.125	0.100	-

I/O Standard	V_{ICM}(1)			V_{ID}(2)	
$DIFF_{SSTL18}$_I	0.300	0.900	1.425	0.100	-
$DIFF_{SSTL18}$_II	0.300	0.900	1.425	0.100	-

表 26 CYF7K160 互补差分 IO 直流输出电平

I/O Standard	V_{OL}(3)	V_{OH}(4)	I_{OL}	I_{OH}
	V,Max	V,Min	mA,Max	mA,Min
$DIFF_{HSTL}$_I	0.400	$V_{DDO} - 0.400$	8.00	-8.00
$DIFF_{HSTL}$_I_{18}	0.400	$V_{DDO} - 0.400$	8.00	-8.00
$DIFF_{HSTL}$_II	0.400	$V_{DDO} - 0.400$	16.00	-16.00
$DIFF_{HSTL}$_II_{18}	0.400	$V_{DDO} - 0.400$	16.00	-16.00
$DIFF_{HSUL}$_12	20% V_{DDO}	80% V_{DDO}	0.100	-0.100
$DIFF_{MOBILE}$_DDR	10% V_{DDO}	90% V_{DDO}	0.100	-0.100
$DIFF_{SSTL12}$	$(V_{DDO}/2) - 0.150$	$(V_{DDO}/2) + 0.150$	14.25	-14.25
$DIFF_{SSTL135}$	$(V_{DDO}/2) - 0.150$	$(V_{DDO}/2) + 0.150$	13.00	-13.00
$DIFF_{SSTL135}$_R	$(V_{DDO}/2) - 0.150$	$(V_{DDO}/2) + 0.150$	8.90	-8.90
$DIFF_{SSTL15}$	$(V_{DDO}/2) - 0.175$	$(V_{DDO}/2) + 0.175$	13.00	-13.00
$DIFF_{SSTL15}$_R	$(V_{DDO}/2) - 0.175$	$(V_{DDO}/2) + 0.175$	8.90	-8.90
$DIFF_{SSTL18}$_I	$(V_{DDO}/2) - 0.470$	$(V_{DDO}/2) + 0.470$	8.00	-8.00
$DIFF_{SSTL18}$_II	$(V_{DDO}/2) - 0.600$	$(V_{DDO}/2) - 0.600$	13.40	-13.40

附注：

1. V_{ICM} 为输入共模电压。
2. V_{ID} 为输入差分电压（Q-Q）。
3. V_{OL} 是单端低输出电压。
4. V_{OH} 是单端高输出电压。

8. SerDes 特性

8.1. SerDes 收发器直流规格

本章节提供 CYF 系列 FPGA 的 SerDes 串行收发器的直流电压值，这些参数反映了器件在工作条件下的实际性能。

表 27 GT066 串行收发器的直流参数

类型	参数说明	条件	最小值	典型值	最大值	单位
输入和输出信号 DC 特性						
V_{DOPP}	差分输出峰-峰电压	输出摆幅设为最大	1000	-	-	mV
V_{CMO_DC}	DC 共模输出电压	见公式	$V_{GTT} - V_{DOPP}/4$			mV
R_{DO}	差分输出阻值		-	100	-	Ω
V_{CMO_AC}	共模输出电压:AC 耦合		$1/2V_{GTT}$			mV
T_{OSKEW}	TX 输出对 P 侧和 N 侧偏斜		-	-	12	ps
V_{DIPP}	差分输入峰峰电压	外部交流耦合	150	-	2000	mV
V_{IN}	单端输入电压(1)	直流耦合 $V_{GTT} = 1.2V$	-200	-	V_{GTT}	mV
V_{CMI}	共模输入电压	直流耦合 $V_{GTT} = 1.2V$	-	$2/3V_{GTT}$	-	mV
R_{DI}	差分输入电阻		-	100	-	Ω
C_{EXT}	推荐外部交流耦合电容值(2)		-	100	-	nF
时钟输入 DC 特性						
V_{DIPP_CLK}	差分输入峰峰电压		350	-	2000	mV
R_{DI_CLK}	差分输入电阻		-	100	-	Ω
C_{EXT_CLK}	推荐外部交流耦合电容值		-	100	-	nF

表 28 GT125 串行收发器的直流参数

类型	参数说明	条件	最小值	典型值	最大值	单位
输入和输出信号 DC 特性						
V_{DOPP}	差分输出峰-峰电压	输出摆幅设为最大	1000	-	-	mV
V_{CMO_DC}	DC 共模输出电压	见公式	$V_{GTT} - V_{DOPP}/4$			mV
R_{DO}	差分输出阻值		-	100	-	Ω
T_{OSKEW}	TX 输出对 P 侧和 N 侧偏斜		-	2	12	ps
V_{DIPP}	差分峰值输入电压(外部交流耦合)	>10.3125 Gb/s	150	-	1250	mV
		6.6 Gb/s -10.3125 Gb/s	150	-	1250	mV
		≤ 6.6 Gb/s	150	-	2000	mV
V_{IN}	单端输入电压(1)	直流耦合 V_{GTT} =1.2V	-200	-	V_{GTT}	mV
V_{CMI}	共模输入电压	直流耦合 V_{GTT} =1.2V	-	2/3 V_{GTT}	-	mV
R_{DI}	差分输入电阻		-	100	-	Ω
C_{EXT}	推荐外部交流耦合电容值(2)		-	100	-	nF
时钟输入 DC 特性						
V_{DIPP_CLK}	差分输入峰峰电压		250	-	2000	mV
R_{DI_CLK}	差分输入电阻		-	100	-	Ω
C_{EXT_CLK}	推荐外部交流耦合电容值		-	100	-	nF

附注：

1. 以接地为基准在引脚处测量的电压。
2. 可根据具体协议和标准酌情使用其他值。

8.2. SerDes 交流特性

表 29 GT066 串行收发器性能参数

类型	描述	典型电压	单位
		1V	
F_{GT066_MAX}	GT066 最大收发数据速率	6.6	Gb/s
F_{GT066_MIN}	GT066 最小收发数据速率	0.5	Gb/s
$F_{GT066_PLL_MAX}$	GT066 PLL 最大频率	3.3	GHz
$F_{GT066_PLL_MIN}$	GT066 PLL 最小频率	1.6	GHz

表 30 GT066 参考时钟开关特性

类型	描述	条件	数值			单位
			Min	Typ	Max	
F_{REFCLK}	参考时钟频率范围		60	-	660	MHz
T_{REFCLK_R}	参考时钟上升时间	20%-80%	-	200	-	ps
T_{REFCLK_F}	参考时钟下降时间	80%-20%	-	200	-	ps
T_{REFCLK_DC}	参考时钟占空比	PLL	40	-	60	%

表 31 GT066 串行收发器的用户时钟交流特性和要求

类型	描述	条件	典型电压	单位
			1V	
F_{TXOUT_MAX}	TXOUTCLK 最大频率		412.500	MHz
F_{RXOUT_MAX}	RXOUTCLK 最大频率		412.500	MHz
F_{TXIN_MAX}	TXUSRCLK 最大频率	16 位数据通道	412.500	MHz
F_{RXIN_MAX}	RXUSRCLK 最大频率	16 位数据通道	412.500	MHz
F_{TXIN2_MAX}	TXUSRCLK2 最大频率	16 位数据通道	412.500	MHz
F_{RXIN2_MAX}	RXUSRCLK2 最大频率	16 位数据通道	412.500	MHz

表 32 GT066 发送器交流特性

类型	描述	条件	最小值	典型值	最大值	单位
F_{GT066_TX}	串行数据传输速率范围		0.500	-	F_{GT066_MAX}	Gb/s
T_{GT066_RTX}	TX 上升时间	20%-80%	-	50	-	ps
T_{GT066_FTX}	TX 下降时间	80%-20%	-	50	-	ps
T_{GT066_LLSKEW}	TX 通道间 $skew^{(1)}$		-	-	500	ps
$V_{GT066_TXIDLEAMP}$	Electrical idle 幅值		-	-	20	mV
$T_{GT066_TXIDLETR}$	Electrical idle 过渡时间		-	-	140	ns
$T_{JGT066_6.6}$	Total Jitter[2]{}[3]	6.6 Gb/s	-	-	0.30	UI
$DJ_{GT066_6.6}$	Deterministic Jitter[2]{}[3]		-	-	0.15	UI
$T_{JGT066_5.0}$	Total Jitter[2]{}[3]	5.0 Gb/s	-	-	0.30	UI
$DJ_{GT066_5.0}$	Deterministic Jitter[2]{}[3]		-	-	0.15	UI

类型	描述	条件	最小值	典型值	最大值	单位
$T_{JGT066_4.25}$	Total Jitter[2]{}[3]	4.25 Gb/s	-	-	0.30	UI
$DJ_{GT066_4.25}$	Deterministic Jitter[2]{}[3]		-	-	0.15	UI
$T_{JGT066_3.75}$	Total Jitter[2]{}[3]	3.75 Gb/s	-	-	0.30	UI
$DJ_{GT066_3.75}$	Deterministic Jitter[2]{}[3]		-	-	0.15	UI
$T_{JGT066_3.2}$	Total Jitter[2]{}[3]	3.20 Gb/s[4]	-	-	0.20	UI
$DJ_{GT066_3.2}$	Deterministic Jitter[2]{}[3]		-	-	0.10	UI
$T_{JGT066_3.2L}$	Total Jitter[2]{}[3]	3.20 Gb/s[5]	-	-	0.32	UI
$DJ_{GT066_3.2L}$	Deterministic Jitter[2]{}[3]		-	-	0.16	UI
$T_{JGT066_2.5}$	Total Jitter[2][3]	2.5 Gb/s[6]	-	-	0.20	UI
$DJ_{GT066_2.5}$	Deterministic Jitter[2][3]		-	-	0.08	UI
$T_{JGT066_1.25}$	Total Jitter[2][3]	1.25 Gb/s[7]	-	-	0.15	UI
$DJ_{GT066_1.25}$	Deterministic Jitter[2][3]		-	-	0.06	UI
T_{JGT066_500}	Total Jitter[2][3]	500 Mb/s	-	-	0.10	UI
DJ_{GT066_500}	Deterministic Jitter[2][3]		-	-	0.03	UI

附注：

1.使用相同的 REFCLK 输入，并为最多四个连续发送器（一个完全填充的 GT066 Quad）启用发送器相位对齐。

2.使用 PLL[0/1]_FBDIV = 2，内部数据宽度为 20 位。这些值不用于特定协议的合规性确定。

3.所有抖动值均基于 1e-12 的误码率。

4.PLL 频率为 3.2 GHz, TXOUTDIV = 2。

5.PLL 频率为 1.6 GHz, TXOUTDIV = 1。

6.PLL 频率为 2.5 GHz, TXOUTDIV = 2。

7.PLL 频率为 2.5 GHz, TXOUTDIV = 4

表 33 GT066 接收器交流特性

类型	描述	条件	最小值	典型值	最大值	单位
F_{GT066_RX}	串行数据传输速率范围		0.500	-	F_{GT066_MAX}	Gb/s
$T_{GT066_RXELEIDLE}$	RXELECIDLE 状态到数据恢复或者丢失响应的时间		-	10	-	ns
$RX_{GT066_OOBVDTPP}$	OOB 检测门限峰峰值		60	-	150	mV
RX_{GT066_SST}	接收端展频跟随,调制频率 $33kHz^{(1)}$		-5000	-	5000	ppm
$RX_{GT066_TOLERANCE}$	支持 RX 连续长 0 或长 1 的长度		-	-	512	UI
RX_{GT066_PPMTOL}	数据/参考时钟的 PPM 偏差容限		-1250	-	1250	ppm
SJ 正弦抖动容限 (2)						
$JT_{GT066_SJ6.6}$	正弦抖动, $6.6Gbps^{(3)}$		0.44	-	-	UI
$JT_{GT066_SJ5.0}$	正弦抖动, $5.0Gbps^{(3)}$		0.44	-	-	UI
$JT_{GT066_SJ4.25}$	正弦抖动, $4.25Gbps^{(3)}$		0.44	-	-	UI
$JT_{GT066_SJ3.75}$	正弦抖动, $3.75Gbps^{(3)}$		0.44	-	-	UI
$JT_{GT066_SJ3.2}$	正弦抖动, $3.2Gbps^{(3)}$		0.45	-	-	UI
$JT_{GT066_SJ3.2L}$	正弦抖动, $3.2Gbps^{(3)}$		0.45	-	-	UI
$JT_{GT066_SJ2.5}$	正弦抖动, $2.5Gbps^{(3)}$		0.50	-	-	UI
$JT_{GT066_SJ1.25}$	正弦抖动, $1.25Gbps^{(3)}$		0.50	-	-	UI
JT_{GT066_SJ500}	正弦抖动, $500Mbps^{(3)}$		0.40	-	-	UI
SJ 抖动容忍度与压力眼图						
JT_{TJSE}_{3.2}	压力眼图时的总抖动 (7)		0.70	-	-	UI
JT_{TJSE}_{6.6}			0.70	-	-	UI
JT_{TJSE}_{3.2}	带压力眼图的正弦抖动(8)		0.10	-	-	UI
JT_{TJSE}_{6.6}			0.10	-	-	UI

附注：

1.使用 RXOUTDIV = 1、2 和 4。
2.所有抖动值均基于 1e-12 的误码率。
3.注入的正弦抖动频率为 10 MHz。
4.PLL 频率为 3.2 GHz, TXOUTDIV = 2。
5.PLL 频率为 1.6 GHz, TXOUTDIV = 1。
6.PLL 频率为 2.5 GHz, TXOUTDIV = 2。
7.PLL 频率为 2.5 GHz, TXOUTDIV = 4。
8.复合抖动。

表 34 GT125 串行收发器性能参数

类型	描述	*典型电压*(1)		单位
		1.0V		
F_{GT125_MAX}(2)	GT125 最大收发数据速率	12.5		Gb/s
F_{GT125_MIN}(2)	GT125 最小收发数据速率	0.50		Gb/s
$F_{GT125CRANGE}$	CPLL 线路速率范围	1	3.2-6.6	Gb/s
		2	1.6-3.3	Gb/s
		4	0.8-1.65	Gb/s
		8	0.5-0.825	Gb/s
		16	N/A	Gb/s
$F_{GT125QRANGE1}$	QPLL 线路速率范围 1	1	5.93-8.0	Gb/s
		2	2.965-4.0	Gb/s
		4	0.74125-2.0	Gb/s
		8	0.74125-1.0	Gb/s
		16	N/A	Gb/s
$F_{GT125QRANGE2}$	QPLL 线路速率范围 2	1	9.8-12.5	Gb/s
		2	4.9-6.25	Gb/s
		4	2.45-3.125	Gb/s
		8	1.225-1.5625	Gb/s
		16	0.6125-0.78125	Gb/s
$F_{GCPLL\ RANGE}$	GT125 收发器 CPLL 频率范围	1.6-3.3		GHz
$F_{GQPLL\ RANGE1}$	GT125 收发器 QPLL 频率范围 1	5.93-8.0		GHz
$F_{GQPLL\ RANGE2}$	GT125 收发器 QPLL 频率范围 2	9.8-12.5		GHz

附注：

1. 通常的指定电压为 V_{DDC} 。
2. 不提供 8.0 Gb/s 至 9.8 Gb/s 的数据传输速率。

表 35 GT125 参考时钟开关特性

类型	描述	条件	数值			单位
			Min	Typ	Max	
F_{REFCLK}	参考时钟频率范围		60	-	700	MHz
T_{REFCLK_R}	参考时钟上升时间	20%-80%	-	200	-	ps
T_{REFCLK_F}	参考时钟下降时间	80%-20%	-	200	-	ps
T_{REFCLK_DC}	参考时钟占空比	仅收发器 PLL	40	50	60	%

表 36 GT125 串行收发器的用户时钟交流特性和要求

类型	描述	条件	典型电压	单位
			1.0V	
F_{TXOUT_MAX}	TXOUTCLK 最大频率		412.500	MHz
F_{RXOUT_MAX}	RXOUTCLK 最大频率		412.500	MHz
F_{TXIN_MAX}	TXUSRCLK 最大频率	16 位数据通道	412.500	MHz
		32 位数据通道	390.625	
F_{RXIN_MAX}	RXUSRCLK 最大频率	16 位数据通道	412.500	MHz
		32 位数据通道	390.625	
F_{TXIN2_MAX}	TXUSRCLK2 最大频率	16 位数据通道	412.500	MHz
		32 位数据通道	390.625	
		64 位数据通道	195.313	
F_{RXIN2_MAX}	RXUSRCLK2 最大频率	16 位数据通道	412.500	MHz
		32 位数据通道	390.625	
		64 位数据通道	195.313	

表 37 GT125 发送器交流特性

类型	描述	条件	最小值	典型值	最大值	单位
F_{GT125_TX}	串行数据传输速率范围		0.500	-	$F_{GT125MAX}$	Gb/s
T_{GT125_RTX}	TX 上升时间	20%-80%	-	40	-	ps
T_{GT125_FTX}	TX 下降时间	80%-20%	-	-	500	ps
T_{GT125_LLSKEW}	TX 通道间 $skew^{(1)}$		-	-	500	ps
$V_{GT125_TXIDLEAMP}$	Electrical idle 幅值		-	-	15	mV
$T_{GT125_TXIDLETR}$	Electrical idle 过渡时间		-	-	140	ns
$T_{JGT125_12.5}$	Total Jitter[2]{}[3]	12.5Gb/s	-	-	0.28	UI
$DJ_{GT125_12.5}$	Deterministic Jitter[2]{}[3]		-	-	0.17	UI
$T_{JGT125_11.18}$	Total Jitter[2]{}[3]	11.18 Gb/s	-	-	0.28	UI
$DJ_{GT125_11.18}$	Deterministic Jitter[2]{}[3]		-	-	0.17	UI
$T_{JGT125_10.3125}$	Total Jitter[2]{}[3]	10.3125Gb/s	-	-	0.28	UI
$DJ_{GT125_10.3125}$	Deterministic Jitter[2]{}[3]		-	-	0.17	UI
$T_{JGT125_9.953}$	Total Jitter[2]{}[3]	9.953 Gb/s	-	-	0.28	UI
$DJ_{GT125_9.953}$	Deterministic Jitter[2]{}[3]		-	-	0.17	UI
$T_{JGT125_9.8}$	Total Jitter[2]{}[3]	9.8 Gb/s[4]	-	-	0.28	UI
$DJ_{GT125_9.8}$	Deterministic Jitter[2]{}[3]		-	-	0.17	UI
$T_{JGT125_8.0}$	Total Jitter[2]{}[3]	8.0 Gb/s[5]	-	-	0.32	UI
$DJ_{GT125_8.0}$	Deterministic Jitter[2]{}[3]		-	-	0.16	UI
$T_{JGT125_6.6_QPLL}$	Total Jitter[2]{}[3]	6.6 Gb/s[6]	-	-	0.20	UI
$DJ_{GT125_6.6_QPLL}$	Deterministic Jitter[2]{}[3]		-	-	0.08	UI
$T_{JGT125_6.6_CPLL}$	Total Jitter[2]{}[3]	1.25 Gb/s[7]	-	-	0.15	UI
$DJ_{GT125_6.6_CPLL}$	Deterministic Jitter[2]{}[3]		-	-	0.06	UI
$T_{JGT125_5.0}$	Total Jitter[2]{}[3]	500 Mb/s	-	-	0.10	UI
$DJ_{GT125_5.0}$	Deterministic Jitter[2]{}[3]		-	-	0.03	UI
$T_{JGT125_4.25}$	Total Jitter	4.25 Gb/s	-	-	0.30	UI
$DJ_{GT125_4.25}$	Deterministic Jitter		-	-	0.15	UI
$T_{JGT125_3.75}$	Total Jitter	3.75Gb/s	-	-	0.30	UI

类型	描述	条件	最小值	典型值	最大值	单位
$DJ_{GT125_3.75}$	Deterministic Jitter		-	-	0.15	UI
$T_{JGT125_3.2}$	Total Jitter	3.20Gb/s	-	-	0.20	UI
$DJ_{GT125_3.2}$	Deterministic Jitter		-	-	0.10	UI
$T_{JGT125_3.2L}$	Total Jitter	3.20Gb/s	-	-	0.32	UI
$DJ_{GT125_3.2L}$	Deterministic Jitter		-	-	0.16	UI
$T_{JGT125_2.5}$	Total Jitter	2.5 Gb/s	-	-	0.20	UI
$DJ_{GT125_2.5}$	Deterministic Jitter		-	-	0.08	UI
$T_{JGT125_1.25}$	Total Jitter	1.25 Gb/s	-	-	0.15	UI
$DJ_{GT125_1.25}$	Deterministic Jitter		-	-	0.06	UI
T_{JGT125_500}	Total Jitter	500 Mb/s	-	-	0.10	UI
DJ_{GT125_500}	Deterministic Jitter		-	-	0.03	UI

附注：

1. 使用相同的 REFCLK 输入，并启用发射机相位对齐，最多可连接 12 台发射机（三台满载的 GT125 Quads）。
2. 使用 $QPLL_{FBDIV}$ = 40，内部数据宽度为 20 位。这些值不用于特定协议的合规性确定。
3. 使用 $CPLL_{FBDIV}$ = 2 时，内部数据宽度为 20 位。这些值不用于特定协议的合规性确定。
4. 所有抖动值均基于 1e-12 的误码率。
5. CPLL 频率为 3.2 GHz，$TXOUT_{DIV}$ = 2。
6. CPLL 频率为 1.6 GHz, $TXOUT_{DIV}$ = 1。
7. CPLL 频率为 2.5 GHz, $TXOUT_{DIV}$ = 2。
8. CPLL 频率为 2.5 GHz, $TXOUT_{DIV}$ = 4。

表 38 GT125 接收器交流特性

类型	描述		最小值	典型值	最大值	单位
F_{GT125_RX}	串行数据传输速率范围		0.500	-	F_{GT125_MAX}	Gb/s
$T_{GT125_RXELEIDLE}$	RXELECIDLE 状态到数据恢复或者丢失响应的时间		-	10	-	ns
$RX_{GT125_OOBVDTPP}$	OOB 检测门限峰峰值		60	-	150	mV
RX_{GT125_SST}	接收端展频跟随,调制频率 33kHz(1)		-5000	-	0	ppm
RX_{GT125_RL}	运行长度(CID)		-	-	512	UI
RX_{GT125_PPMTOL}	数据/参考时钟的 PPM 偏差容限	比特率≤6.6Gb/s	-1250	-	1250	ppm
		比特率>6.6Gb/s 和≤8.0Gb/s	-700	-	700	ppm
		比特率>8.0Gb/s	-200	-	200	ppm
SJ 正弦抖动容限(2)						
$JT_{GT125_SJ12.5}$	正弦抖动(QPLL)(3)	12.5Gb/s	0.30	-	-	UI
$JT_{GT125_SJ11.18}$	正弦抖动(QPLL)(3)	11.18Gb/s	0.30	-	-	UI
$JT_{GT125_SJ10.32}$	正弦抖动(QPLL)(3)	10.32Gb/s	0.30	-	-	UI
$JT_{GT125_SJ9.95}$	正弦抖动(QPLL)(3)	9.95Gb/s	0.30	-	-	UI
$JT_{GT125_SJ9.8}$	正弦抖动(QPLL)(3)	9.8Gb/s	0.30	-	-	UI
$JT_{GT125_SJ8.0}$	正弦抖动(QPLL)(3)	8.0Gb/s	0.44	-	-	UI
$JT_{GT125_SJ6.6_QPLL}$	正弦抖动(QPLL)(3)	6.6Gb/s	0.48	-	-	UI
$JT_{GT125_SJ6.6_CPLL}$	正弦抖动(CPLL)(3)	6.6Gb/s	0.44	-	-	UI
$JT_{GT125_SJ5.0}$	正弦抖动(CPLL)(3)	5.0Gb/s	0.44	-	-	UI
$JT_{GT125_SJ4.25}$	正弦抖动(CPLL)(3)	4.25Gb/s	0.44	-	-	UI
$JT_{GT125_SJ3.75}$	正弦抖动(CPLL)(3)	3.75Gb/s	0.44	-	-	UI
$JT_{GT125_SJ3.2}$	正弦抖动($CPLL$) (3)	$3.2Gb/s$(4)	0.45	-	-	UI
$JT_{GT125_SJ3.2L}$	正弦抖动($CPLL$) (3)	$3.2Gb/s$(5)	0.45	-	-	UI
$JT_{GT125_SJ2.5}$	正弦抖动($CPLL$) (3)	$2.5Gb/s$(6)	0.50	-	-	UI
$JT_{GT125_SJ1.25}$	正弦抖动($CPLL$) (3)	$1.25Gb/s$(7)	0.50	-	-	UI
JT_{GT125_SJ500}	正弦抖动($CPLL$) (3)	500Mb/s	0.40	-	-	UI
SJ 抖动容忍度与压力眼图 (2)						
$JT_{TJSE_}${3.2}	压力眼图时的	3.2Gb/s	0.70	-	-	UI

类型	描述		最小值	典型值	最大值	单位
JT_{TJSE}_{6.6}	总抖动 (8)	6.6Gb/s	0.70	-	-	UI
JT_{TJSE}_{3.2}	带压力眼图的正弦抖动 (8)	3.2Gb/s	0.10	-	-	UI
JT_{TJSE}_{6.6}		6.6Gb/s	0.10	-	-	UI

附注：

1. 使用 $RXOUT_{DIV}$ = 1、2 和 4。
2. 所有抖动值均基于 1e-12 的误码率。
3. 注入正弦抖动的频率为 10 MHz。
4. 3.2 GHz 和 $RXOUT_{DIV}$ = 2 时的 CPLL 频率
5. CPLL 频率为 1.6 GHz, $RXOUT_{DIV}$ = 1。
6. CPLL 频率为 2.5 GHz, $RXOUT_{DIV}$ = 2。
7. CPLL 频率为 2.5 GHz，$RXOUT_{DIV}$ = 4。
8. RX 在 LPM 或 DFE 模式下的复合抖动。

9. PCIE 特性

表 39 FPGA PCI Express 控制器输入时钟频率要求

类型	参数说明	典型电压	单位
		1V	
$F_{PCIE_PIPECLK}$	PCIE 最大时钟频率	250.0	MHz
$F_{PCIE_USERCLK}$	用户时钟最大频率	250.0	MHz
F_{PCIE_DRPCLK}	DRP 时钟最高频率	250.0	MHz

10. 存储接口

表 40 存储接口最大运行速

存储标准	器件	I/O 类型	V_{DDAUX_IO}	*接口速率*(1)(2)(3)(4)(5)	单位
DDR3	CYF7K160	HP	2.0V	1866	Mb/s
		HP	1.8V	1600	Mb/s
		HR	N/A	1066	Mb/s
	CYF7A200	HR	N/A	1066	Mb/s
	CYF7A100	HR	N/A	1066	Mb/s
	CYF7A75	HR	N/A	1066	Mb/s

附注：

1.接口速率为 1866 Mb/s 时，功耗等级 “S” 的器件典型电压为 1.0V，功耗等级 “L” 的器件典型电压为 0.9V。

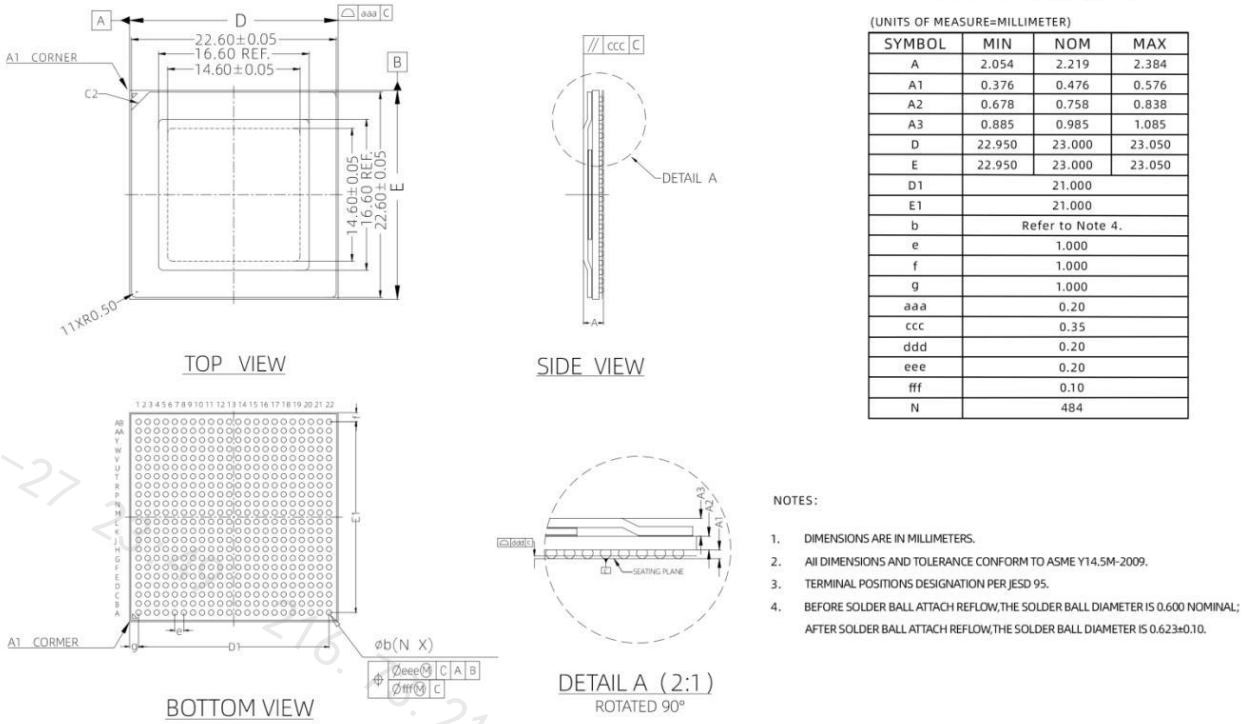
2.接口速率为 1600 Mb/s 时，功耗等级“S”的器件典型电压为 0.9V，功耗等级“L”的器件典型电压为 0.9V。

3.接口速率为 1333 Mb/s 时，功耗等级“S”的器件典型电压为 0.9V，功耗等级“L”的器件典型电压为 0.9V。

4.接口速率为 1066 Mb/s 时，功耗等级“S”的器件典型电压为 0.9V，功耗等级“L”的器件典型电压为 0.85V。

5.接口速率为 800 Mb/s 时，功耗等级“S”的器件典型电压为 0.9V，功耗等级“L”的器件典型电压为 0.85V。

11. CYF 系列封装规格



COMMON DIMENSIONS

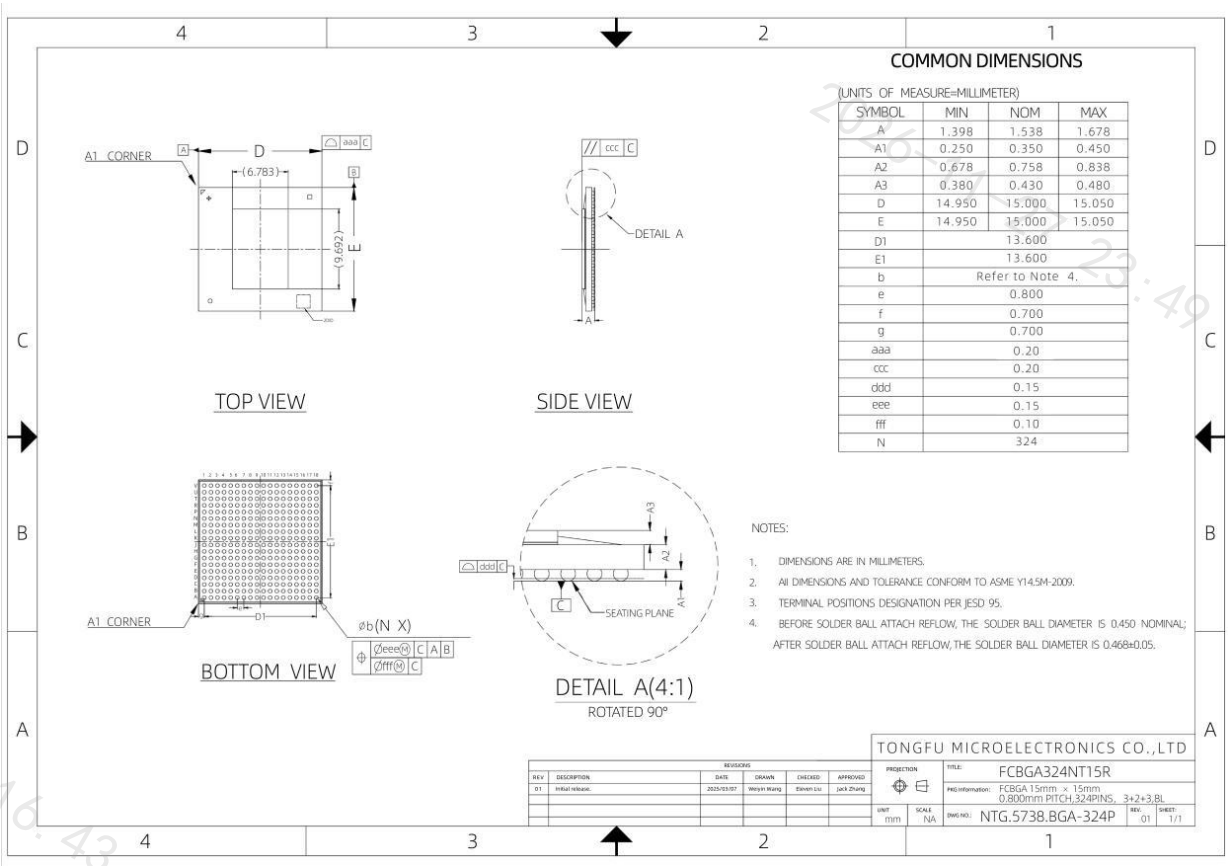
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	2.054	2.219	2.384
A1	0.376	0.476	0.576
A2	0.678	0.758	0.838
A3	0.885	0.985	1.085
D	22.950	23.000	23.050
E	22.950	23.000	23.050
D1		21.000	
E1		21.000	
b		Refer to Note 4.	
e		1.000	
f		1.000	
g		1.000	
aaa		0.20	
ccc		0.35	
ddd		0.20	
eee		0.20	
fff		0.10	
N		484	

NOTES:

1. DIMENSIONS ARE IN MILLIMETERS.
2. All DIMENSIONS AND TOLERANCE CONFORM TO ASME Y14.5M-2009.
3. TERMINAL POSITIONS DESIGNATION PER JESD 95.
4. BEFORE SOLDER BALL ATTACH REFLOW,THE SOLDER BALL DIAMETER IS 0.600 NOMINAL;
   AFTER SOLDER BALL ATTACH REFLOW,THE SOLDER BALL DIAMETER IS 0.623±0.10.

图 14 FGG484 封装规格图



COMMON DIMENSIONS

(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	1.398	1.538	1.678
A1	0.250	0.350	0.450
A2	0.678	0.758	0.838
A3	0.380	0.430	0.480
D	14.950	15.000	15.050
E	14.950	15.000	15.050
D1		13.600	
E1		13.600	
b		Refer to Note 4.	
e		0.800	
f		0.700	
g		0.700	
aaa		0.20	
ccc		0.20	
ddd		0.15	
eee		0.15	
fff		0.10	
N		324	

NOTES:

1. DIMENSIONS ARE IN MILLIMETERS.
2. All DIMENSIONS AND TOLERANCE CONFORM TO ASME Y14.5M-2009.
3. TERMINAL POSITIONS DESIGNATION PER JESD 95.
4. BEFORE SOLDER BALL ATTACH REFLOW, THE SOLDER BALL DIAMETER IS 0.450 NOMINAL;
   AFTER SOLDER BALL ATTACH REFLOW, THE SOLDER BALL DIAMETER IS 0.468±0.05.

图 15 CSG324 封装规格图

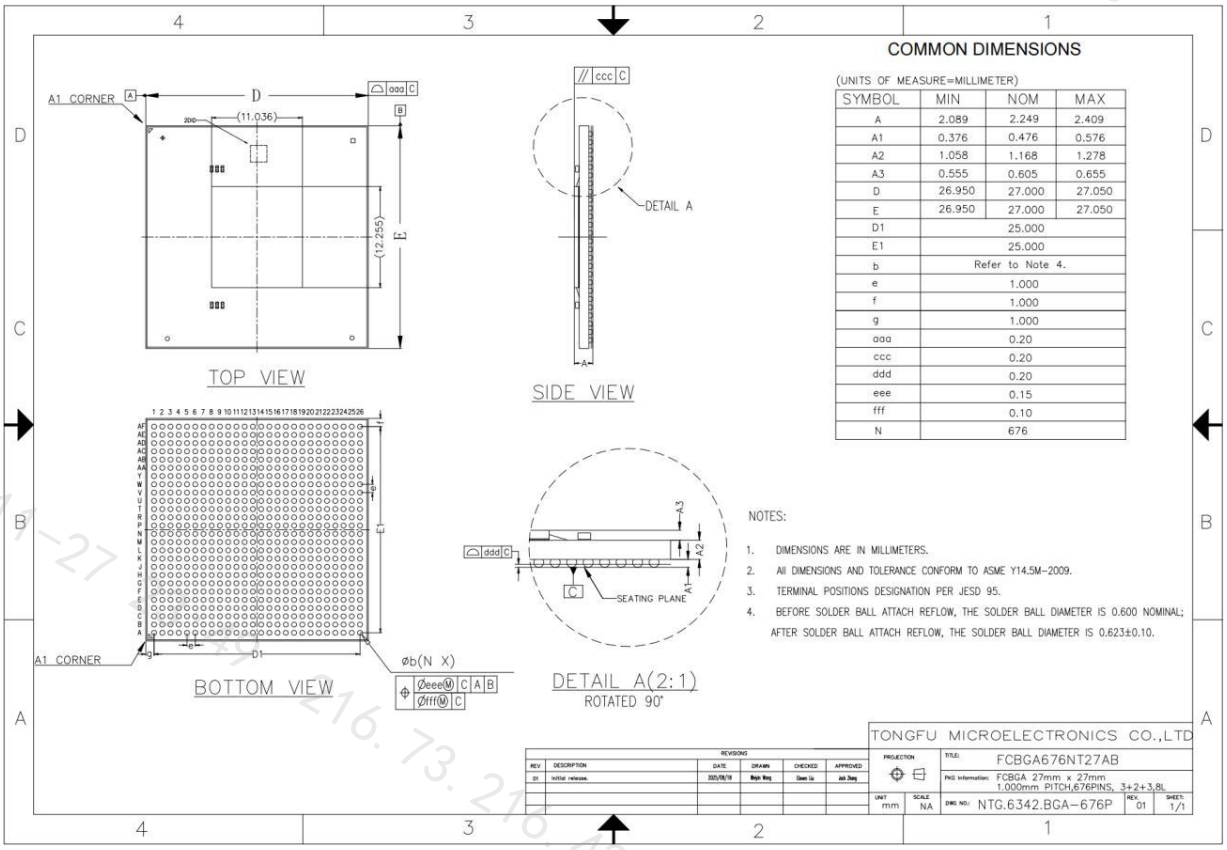


图 16 FGG676 封装规格图

12. 热阻特性

表 41 显示了 CYF 系列器件的热阻数据。该数据包括基于标准 JEDEC 四层测量的静止空气中结到环境、结到外壳以及结到电路板的热阻数据。

注意：表 41 中的数据仅用于器件/封装对比。请勿直接应用于您的系统设计。尝试复现此数据时，仅采用 JESD51-14 中概述的瞬态两相测量技术是有效的。

表 41 热阻数据

封装类型	封装尺寸 (mm)	器件	θ_{JA} (°C/W)	θ_{JB} (°C/W)	θ_{JC} (°C/W)
FGG484	23X23	CYF7A100	8.695	2.054	0.3264

2026-11-27 23:49 216.73.216.43

13. 名词术语解释

表 42

Abbreviations 缩略语	Full Spelling 英文全拼	Chinese Explanation 中文
CLE	Configurable Logic Element	可配置逻辑模块
FCARRY4	Fast Carry Logic with Look Ahead	超前进位加法器
CLC	Configurable Logic Cell	可配置逻辑单元
CMU	Clock Manage Unit	时钟管理单元
$GCLK_{BUF}$	Global Clock Simple Buffer	全局时钟简单缓冲器
$GCLK_{BUFCTRL}$	Global Clock Control Buffer	全局时钟控制缓冲器
$HCLK_{BUF}$	HROW Clock Buffer for a Single Clocking Region	用于单时钟区域的 HROW 时钟缓冲器
$HCLK_{BUFCE}$	HROW Clock Buffer for a Single Clocking Region with Clock Enable	带时钟使能功能的单时钟区 HROW 时钟缓冲器
$IOCLK_{BUF}$	Local Clock Buffer for I/O	I/O 本地时钟缓冲器
$MRCLK_{BUF}$	Multi-Region Clock Buffer	多区域时钟缓冲器
$RCLK_{BUF}$	Regional Clock Buffer for I/O and Logic Resources within a Clock Region	时钟区域内 I/O 和逻辑资源的区域时钟缓冲器
PLL_{ADV}	Advanced Phase Locked Loop (PLL)	多模式锁相环
PLL_{BASE}	Base Phase Locked Loop (PLL)	基本锁相环
ERAM	Embedded RAM	嵌入式存储器
BUF_I	Input Buffer	输入缓冲器
BUF_O	Output Buffer	输出缓冲器
HADC	HybrdChip ADC	HybrdChip 模拟数字转换器
INT	Interconnection	互联资源

14. 说明

如欲了解更多的产品及及公司信息，请联系公司办公室人员或登录公司网站；

联系电话：021-33885531

网址：https://mall.ichelps.com/

15. 本文档中的信息如有变更，恕不另行通知

请使用微信扫码进入
芯片助手ICHELPS小程序

查资料 查替代 查库存 查价格

招募中国区各省代理，联系电话：021-33885531