文档版本	修订日期	内容描述
1.0	2025-11-6	初版
1.1	2026-10-12	更新部分参数

2026-11-27 23:49 216.73.216.43

CYD9253

四通道 14 位 125MSPS A/D 转换器

1. 特性

- 信噪比（SNR）：77dBFS (9.7MHz,VREF=1.3V)
- 信噪比（SNR）：75dBFS (9.7MHz,VREF=1.0V)
- 无杂散动态范围（SFDR）：85dBc（至奈奎斯特频率， VREF=1.3V ）
- 无杂散动态范围（SFDR）：91dBc（至奈奎斯特频率， VREF=1.0V ）
- 串行 LVDS 输出
- 模拟输入范围（可调）：2.0 Vp-p/2.6 Vp-p
- 1.8V 电源供电
- 低功耗：125MHz 模式每通道功耗≤195mW
- 微分非线性（DNL）：±0.6LSB
- 积分非线性（INL）：±5.0LSB
- 650MHz 全功率模拟输入带宽
- 串行端口控制：
  - 全芯片、独立通道省电模式(Power Down)
  - 内建用户自定义测试模式
  - 多芯片同步和时钟分频功能
  - 待机模式

2. 应用

- 医疗成像
- 高速成像
- 无线电接受机
- 便携式测量设备

3. 概述

本产品是一款 4 通道，14 位，125 MSPS 采样率的模数转换器 (Analog-to-Digital Converter, ADC)，专门针对低功耗、小尺寸和使用灵活性进行开发设计。该产品转换速率最高可达到 125 MSPS，具有优异的动态性能和超低功耗特性，适用多种应用场景。

该 ADC 采用 1.8 V 单电源供电和 LVPECL/CMOS/LVDS 兼容型采样时钟信号。无需外部基准电压源和驱动器即可满足需求。

支持独立关闭内部各通道功能；禁用全部通道后，典型功耗小于 14mW。该 ADC 内置多种功能，包括可编程时钟输出、数据对齐、生成数字测试码等。可获得的数字测试码包括：内置固定测试码和伪随机测试码，也支持用户通过串行端口接口 (SPI) 自定义测试码的方式。

本产品采用 48 引脚封装（QFN48），该 ADC 额定工作范围为：-40℃到+85℃。

4. 订购信息

表 1 订购信息表

物料编号	温度范围	等级类型	封装
CYD9253Q48-125I	-40℃ ~ 85℃	工业级	QFN48

5. 功能框图

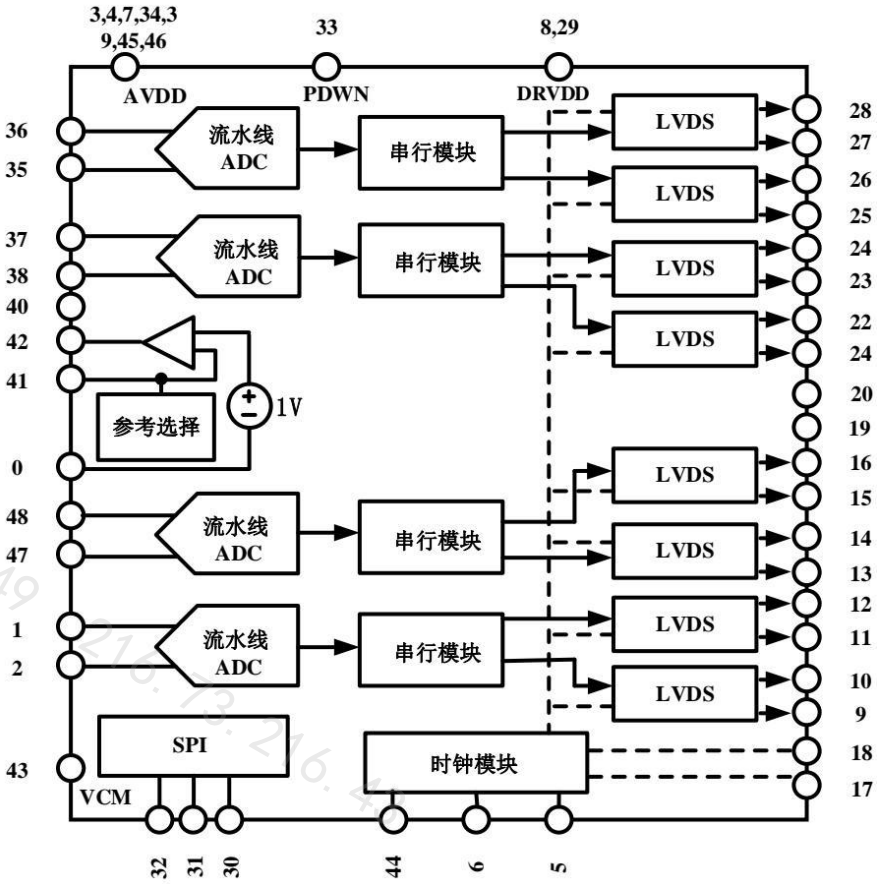

图 1 功能框图

6. 引脚定义

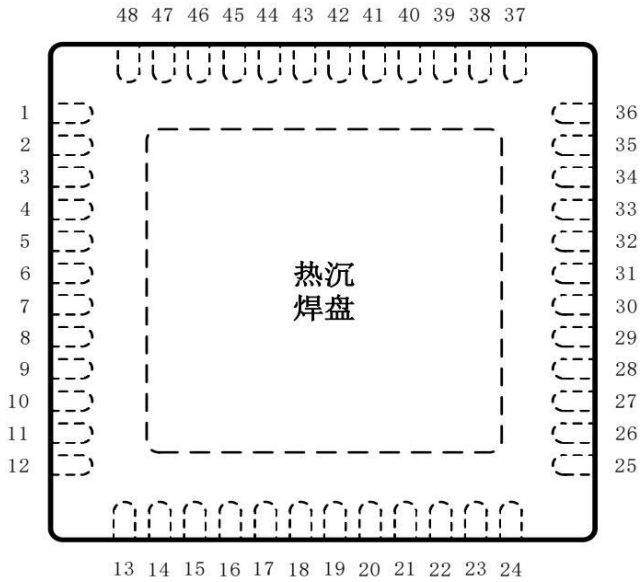

图 2 引出端排列

表 2 引出端功能符号表

引出端号	符号	名称	引出端号	符号	名称
0	AGND	模拟地	25	D_{1A-}	A 通道数字输出(-)
1	V_{IND+}	ADC D 通道模拟输入(+)	26	D_{1A+}	A 通道数字输出(+)
2	V_{IND-}	ADC D 通道模拟输入(-)	27	D_{0A-}	A 通道数字输出(-)
3	AVDD	1.8V 模拟电源引脚	28	D_{0A+}	A 通道数字输出(+)
4	AVDD	1.8V 模拟电源引脚	29	DRVDD	数字输出驱动器电源
5	CLK-	差分时钟(-)	30	SCLK/DTP	SPI 时钟输入/数字测试码
6	CLK+	差分时钟(+)	31	SDIO/OLM	SPI 数据输入和输出
7	AVDD	1.8V 模拟电源引脚	32	CSB	SPI 片选信号
8	DRVDD	数字输出驱动器电源	33	PDWN	数字输入(高电平=关断;低电平=工作)
9	D_{1D-}	D 通道数字输出(-)	34	AVDD	1.8V 模拟电源引脚
10	D_{1D+}	D 通道数字输出(+)	35	V_{INA-}	ADC A 通道模拟输入(-)
11	D_{0D-}	D 通道数字输出(-)	36	V_{INA+}	ADC A 通道模拟输入(+)
12	D_{0D+}	D 通道数字输出(+)	37	V_{INB+}	ADC B 通道模拟输入(+)
13	D_{1C-}	C 通道数字输出(-)	38	V_{INB-}	ADC B 通道模拟输入(-)
14	D_{1C+}	C 通道数字输出(+)	39	AVDD	1.8V 模拟电源引脚
15	D_{0C-}	C 通道数字输出(-)	40	RBIAS	设置模拟电流偏置
16	D_{0C+}	C 通道数字输出(+)	41	SENSE	基准电压模式选择
17	DCO-	数据时钟输出(-)	42	V_{REF}	基准电压输入和输出引脚
18	DCO+	数据时钟输出(+)	43	V_{CM}	模拟输入共模电压
19	FCO-	帧时钟输出(-)	44	SYNC	数字输入,时钟分频器的 SYNC 输入
20	FCO+	帧时钟输出(+)	45	AVDD	1.8V 模拟电源引脚
21	D_{1B-}	B 通道数字输出(-)	46	AVDD	1.8V 模拟电源引脚
22	D_{1B+}	B 通道数字输出(+)	47	V_{INC-}	ADC C 通道模拟输入(-)
23	D_{0B-}	B 通道数字输出(-)	48	V_{INC+}	ADC C 通道模拟输入(+)
24	D_{0B+}	B 通道数字输出(+)			

7. 推荐工作条件

工作频率（f_{CLK}）：≤125MHz
模拟电源电压（AVDD）：1.75V~1.9V
数字电源电压（DVDD）：1.75V~1.9V
模拟输入共模电压（V_{CM}）：0.8V~1.0V
工作环境温度（T_A）：-40°C~85°C
输入信号幅度范围（峰峰值）：($V_{IN(P-P)}$)≤2V

8. 绝对最大额定值

模拟电源电压（V_{AVDD}）：2V
数字电源电压（V_{DRVDD}）：2V
贮存温度（T_{stg}）：-65℃\~150℃
结温（T_J）：150℃

9. 性能指标

9.1. 电特性

表 3 电特性

特性	符号	条件(除另有规定外, V_{PP}=2.0V, V_{AVDD}= V_{DRVDD}=1.8V,AGND=0V, Fs=125MSPS, -40° C≤T_A≤85° C 。)	极限值		典型值	单位
			最小	最大		
分辨率	RES		14			bits
通道数	N		4			—
失调误差	Eo		-0.9	+0.3	-0.26	%FSR
增益误差	Eg		-14	+5	-4	%FSR
微分线性误差	E_{DL}	f_{IN}=10MHz	-0.99	+1.5	±0.7	LSB
积分非线性误差	E_{IL}	f_{IN}=10MHz	-15	+15	±5	LSB
内部基准电压源	V_{REF}		0.95	1.05	1	V
模拟输入共模电压范围	V_{CM}		0.8	1	0.9	V
功耗	P_W	四通道	—	630	750	mW
转换率	SR		20	125		MSPS
信噪比	SNR	-1dBFS, f_{IN}=10MHz	69	—	75.9	dBFS
信噪失真比	SINAD	-1dBFS, f_{IN}=10MHz	68	—	75.5	dBFS
有效位	ENOB	-1dBFS, f_{IN}=10MHz	11	—	12.1	bits
无杂散动态范围	SFDR	-1dBFS, f_{IN}=10MHz	82	—	89	dBFS
逻辑输入高电平(SCLK、SDIO、CSB)	V_{IH}		1.2	1.8		V
逻辑输入低电平(SCLK、SDIO、CSB)	V_{IL}		0	0.75		V

9.2. 开关规格

表 4 开关规格

AVDD=1.8 V, DRVDD=1.8 V, 如无特殊说明, AIN=-1.0dBFS

参数	温度	最小值	典型值	最大值	单位
时钟参数					
输入时钟速率	全温	20		1000	MHz
转换速率		20		125	MSPS
时钟高电平脉冲宽度 (tEH)			4.00		ns
时钟低电平脉冲宽度 (tEL)			4.00		ns
数据输出参数					
数据输出占空比	全温		50		%
唤醒时间	25°C		250		ns
待机	25°C		375		μs
流水线延迟	25°C		16		周期
传输延迟	全温		2.3		ns
输出上升时间	全温		300		ps
输出下降时间	全温		300		ps
孔径参数					
孔径延迟(tA)	25°C		1		ns
孔径不确定性(抖动,tJ)	25°C		135		fs rms
超范围恢复时间	25°C		1		周期

9.3. 时序规格

表 5 时序规格

参数	说明	限值	单位
SPI 时序要求,参见图 36			
t_{DS}	数据与 SCLK 上升沿之间的建立时间	2	ns(最小值)
t_{DH}	数据与 SCLK 上升沿之间的保持时间	2	ns(最小值)
t_{CLK}	SCLK 周期	40	ns(最小值)
t_S	CSB 与 SCLK 之间的建立时间	2	ns(最小值)
t_H	CSB 与 SCLK 之间的保持时间	2	ns(最小值)
t_{HIGH}	SCLK 高电平脉冲宽度	10	ns(最小值)
t_{LOW}	SCLK 低电平脉冲宽度	10	ns(最小值)
t_{EN_SDIO}	相对 SCLK 下降沿,SDIO 引脚从输入状态切换到输出状态需要时间	10	ns(最小值)
t_{DIS_SDIO}	相对 SCLK 下降沿,SDIO 引脚从输出状态切换到输入状态需要时间	10	ns(最小值)

9.4. 时序图

SPI 寄存器设置参见 “存储器映射寄存器表” 部分

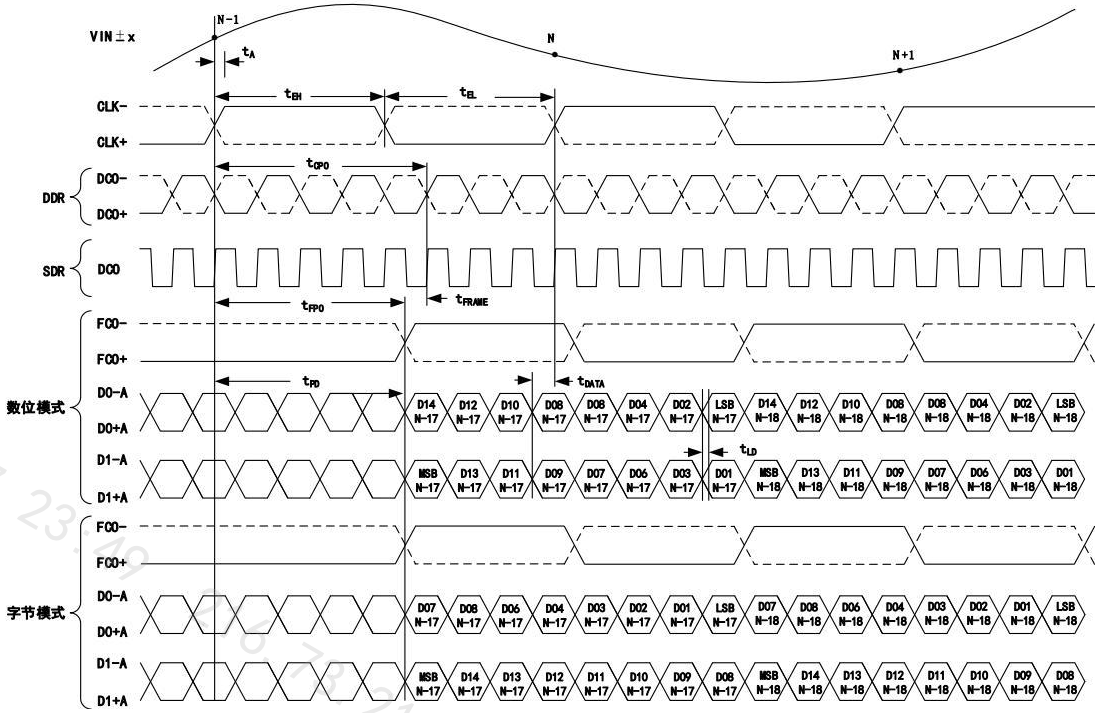

图 3 数据输出时序(默认)

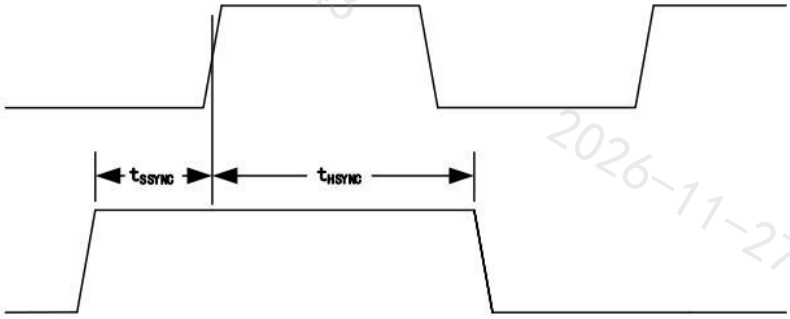

图 4 SYNC 信号要求

10. 典型特性曲线

10.1. 特性曲线

V_{REF} = 1.0 V

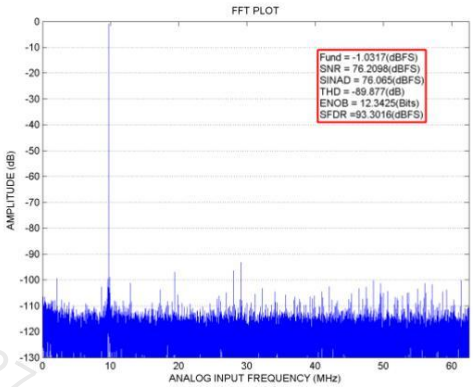

图 5 单音 32K(f_{IN}=10MHz, f_S=125MSPS)

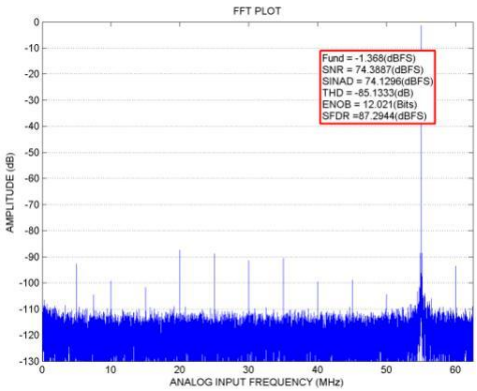

图 6 单音 32K(f_{IN}=70MHz, f_S=125MSPS)

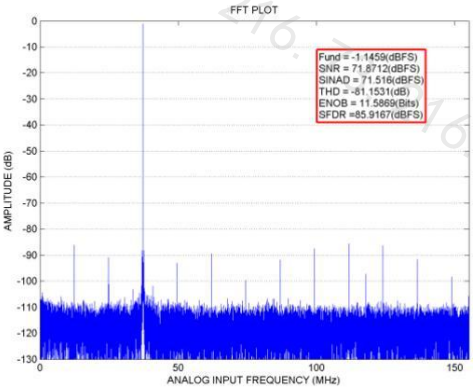

图 7 单音 32K(f_{IN}=140MHz, f_S=125MSPS)

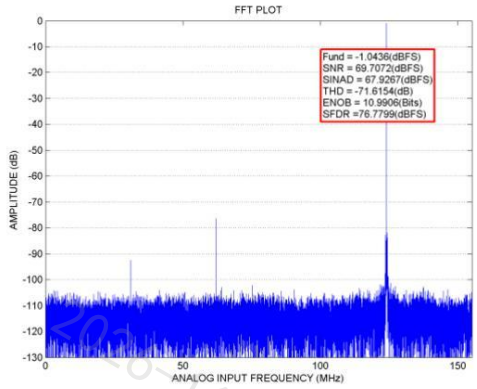

图 8 单音 32K (f_{IN}=200MHz, f_S=125MSPS)

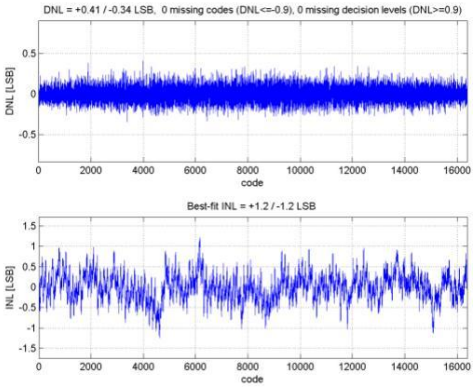

图 9 DNL/INL (f_{IN}=10MHz, f_s=125MSPS)

10.2. 等效电路

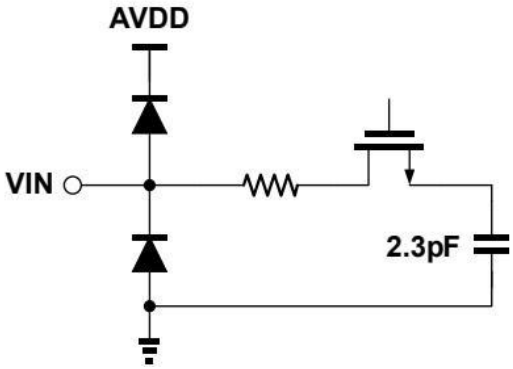

图 10 等效模拟输入电路

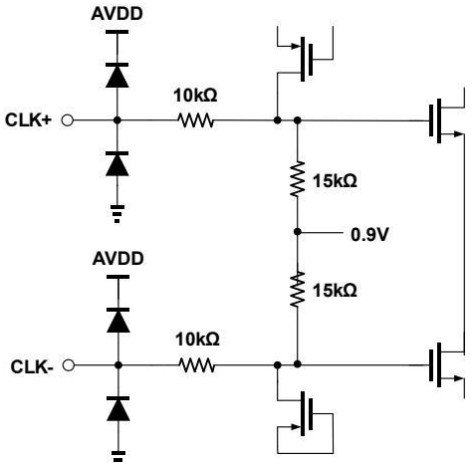

图 11 等效时钟输入电路

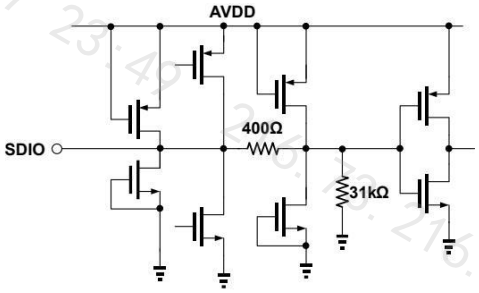

图 12 等效 SDIO 输入电路

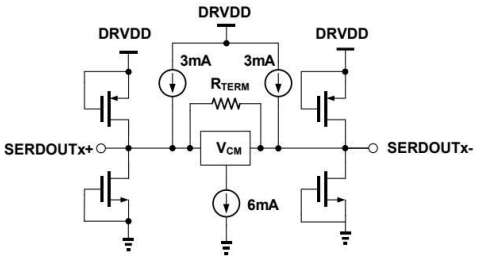

图 13 等效 SERDOUT±电路

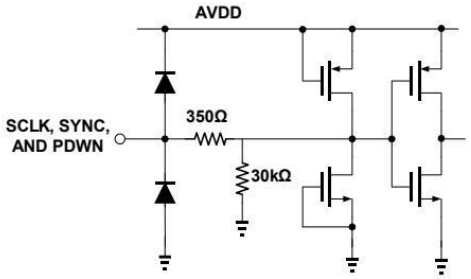

图 14 等效 SCLK，SYNC，PDWN 电路

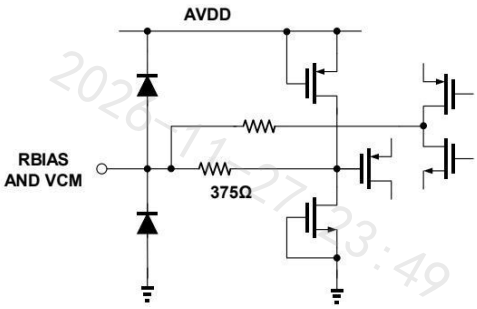

图 15 等效 RBIAS, V_{CM} 电路

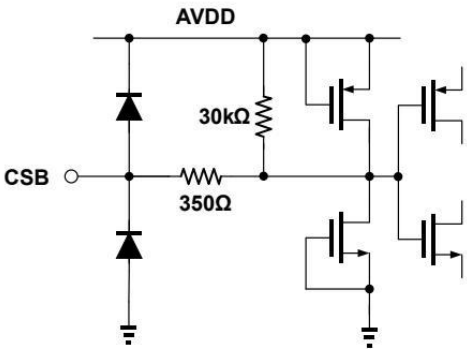

图 16 等效 CSB 输入电路

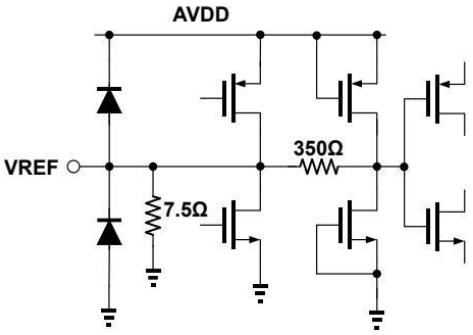

图 17 等效 V_{REF} 电路

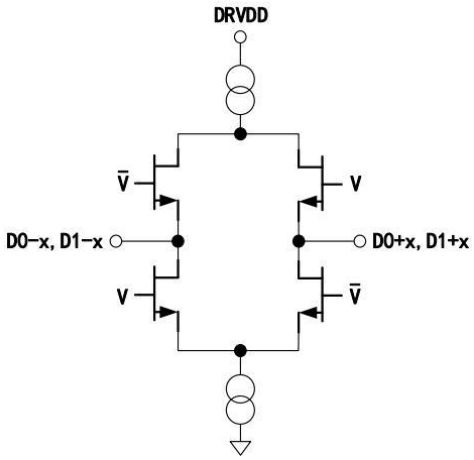

图 18 等效输出电路

11. 典型应用线路图

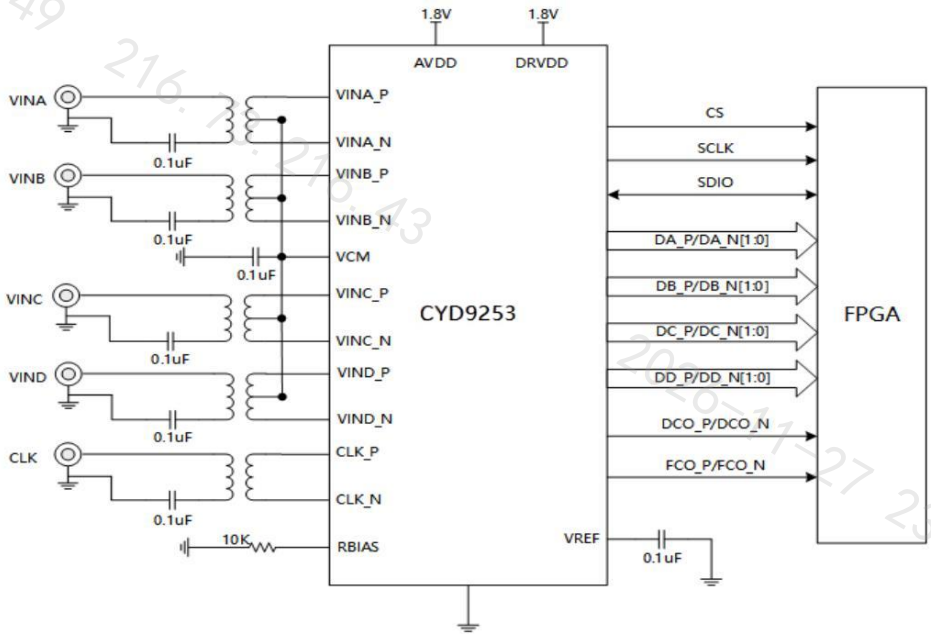

图 19 CYD9253 典型应用路线（ 2Vpp 模式）

12. 工作原理

本产品内核使用多级流水线型 ADC 架构，各级提供一位冗余位消除粗量化比较器的失调误差。各级流水线量化结构在数字域由移位加法器重构形成 14 位转换结果。串化器以十四位输出格式发送该转换结果。

除最后一级以外，流水线的每一级都由一个低分辨率 Flash 型 ADC、与之相连的一个开关电容 DAC 和一个级间余量放大器(例如乘法数模转换器[MDAC])组成。余量放大器放大重构 DAC 输出与 Flash 型输入之差，以便提供给流水线的下一级。为了帮助对 Flash 误差进行数字校正，每一级设定了一位的冗余量。最后一级仅由一个 Flash 型 ADC 组成。

12.1. 模拟输入端

本产品的模拟输入端为一个差分开关电容电路，设计用于处理差分输入信号。该电路支持宽共模范围，同时能保持出色的性能。当输入共模电压为中间电源电压时，信号相关误差最小，并且能实现最佳性能。

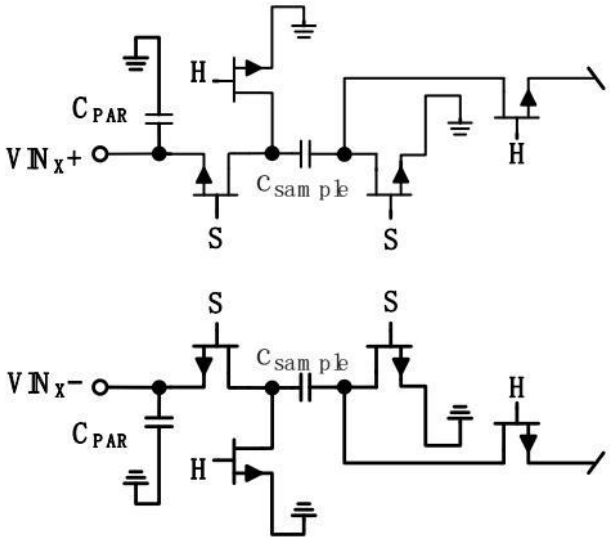

图 20 开关电容输入电路

输入电路根据时钟信号在采样模式和保持模式之间切换(见图 20)。当输入电路切换到采样模式时，信号源必须能够对采样电容充电，并且在半个时钟周期内完成建立。每个输入端都串联一个小电阻，帮助降低从驱动源输出级注入的峰值瞬态电流。此外，输入端的每一侧可以使用低 Q 电感或铁氧体磁珠，以减小模拟输入端的高差分电容，从而实现 ADC 的最大带宽。在高中频(IF)下驱动转换器前端时，必须使用低 Q 电感或铁氧体磁珠。输入端可以使用一个差分电容或两个单端电容，以提供匹配的无源网络。这最终会在输入端形成一个低通滤波器，用来限制无用的宽带噪声。

12.2. 输入共模电平

本产品的模拟输入端无内部直流偏置，在交流耦合应用中，用户必须提供外部偏置。为了获得最佳的动态性能，用户必须对器件进行配置，使输入共模电平 V_{CM}=AVDD/2。

本产品通过引脚 VCM 提供片内基准电压，必须使用一个 0.1F 电容将 V_{CM} 引脚旁路到地。

在差分配置中，将器件输入设置为最大范围可以实现最高的信噪比(SNR)性能，对于本产品输入范围取决于基准电压，超过输入范围性能将急剧恶化。

12.3. 差分输入配置

有多种有源和无源方式可以有效驱动本产品，通过差分方式驱动可以抑制偶次谐波从未获得最佳性能。

在基带应用中,利用差分巴伦配置驱动本产品能够为 ADC 提供出色的性能和灵活接口（参考图 21）。

在 SNR 为关键参数的应用中,因为绝大部分放大器的噪声性能不足以满足本产品的真实性能,所以输入配置要求采用差分变压器耦合(参考图 22)。

以上两种应用中的电容 C1 的选值需要和输入频谱配合选择，建议转换高频模拟输入信号时减小该电容容值或者移除该电容。

不建议单端输入方式驱动本产品。

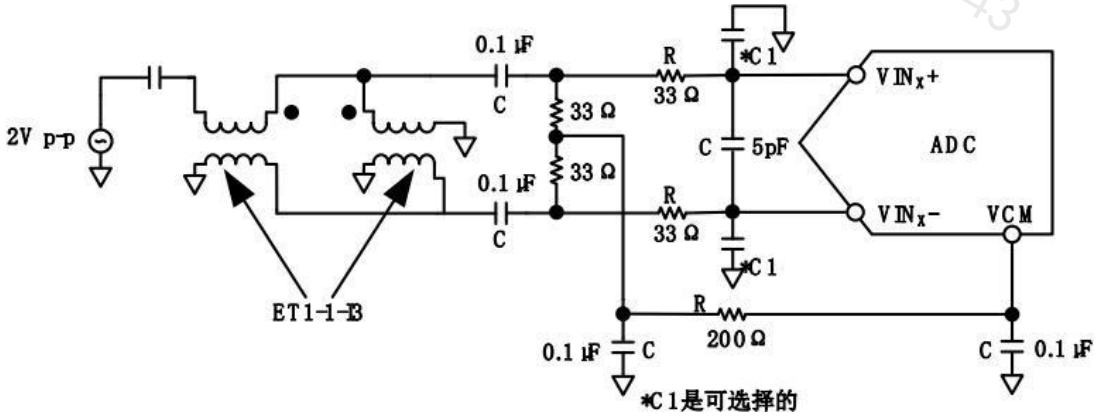

图 21 差分双巴伦配置

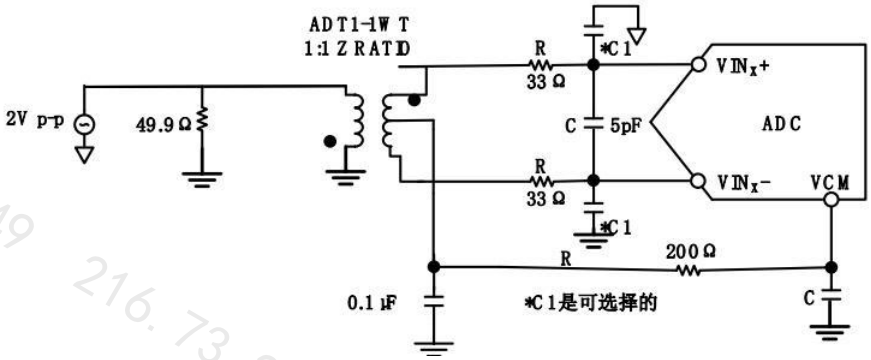

图 22 差分变压器耦合

12.4. 基准电压

本产品内置稳定、精确的基准电压源。V_{REF} 可以利用内部 1.0 V 基准电压、外部施加的 1.0 V 至 1.3 V 基准电压或作用于内部基准电压的外部电阻分压器来配置，产生用户可选的基准电压。基准电压源模式说明参见“内部基准电压连接”部分和“外部基准电压”部分。V_{REF} 引脚应通过外部一个低等效串联电阻(ESR)1.0μF 电容和一个低 ESR 0.1μF 陶瓷电容的并联旁路至地。

本产品的内置比较器可检测出 SENSE 引脚的电压，从而将基准电压配置成三种可能的模式之一。如果 SENSE 引脚接地，则基准电压放大器开关与内部电阻分压器相连（见图 23），因而将 V_{REF} 引脚电压 V 设为 1.0 V。如果 SENSE 引脚连接到外部电阻分压器（见图 24），则 V_{REF} 定义为：

V_{REF}=0.5 x(1+R2/R1)

其中,7 kΩ≤(R1+R2)≤10 kΩ

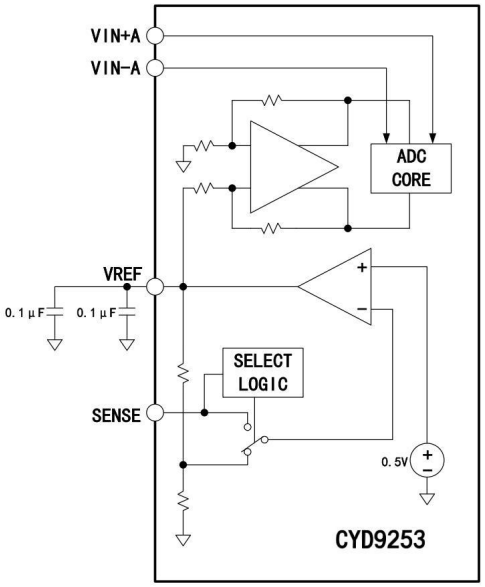

图 23 1.0V 基准电压配置

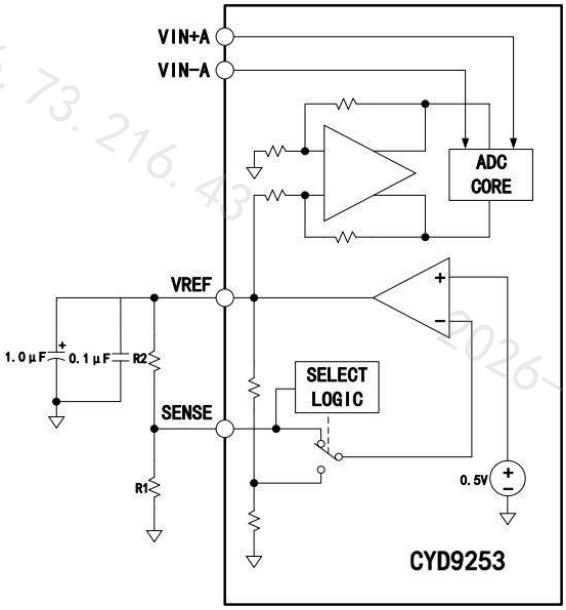

图 24 外基准电压配置

如需利用本产品的内部基准电压来驱动多个转换器，从而提高增益的匹配度，则必须考虑到其它转换器对基准电压的负载。图 25 和图 26 显示负载如何影响内部基准电压。

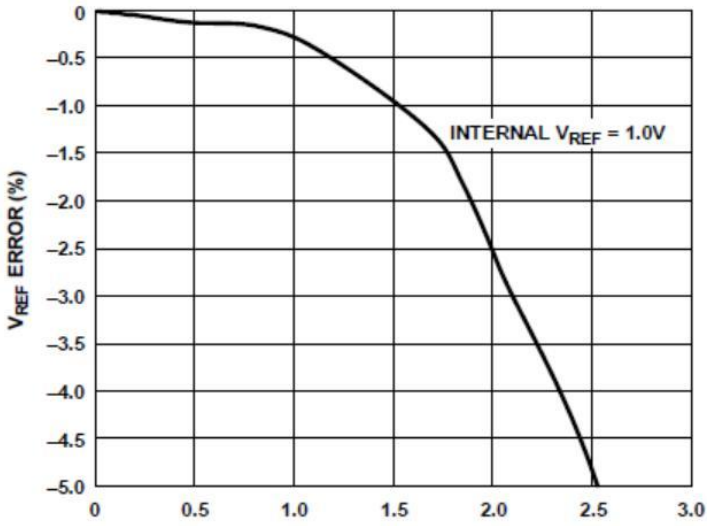

图 25 VREF 误差(内部 VREF=1.0 V)与负载电流的关系

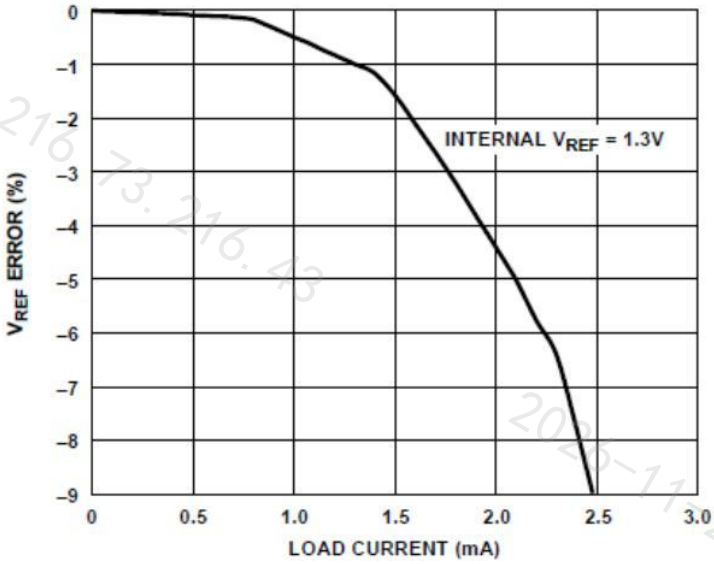

图 26 VREF 误差(内部 VREF=1.3 V)与负载电流的关系

12.5. 外部基准电压

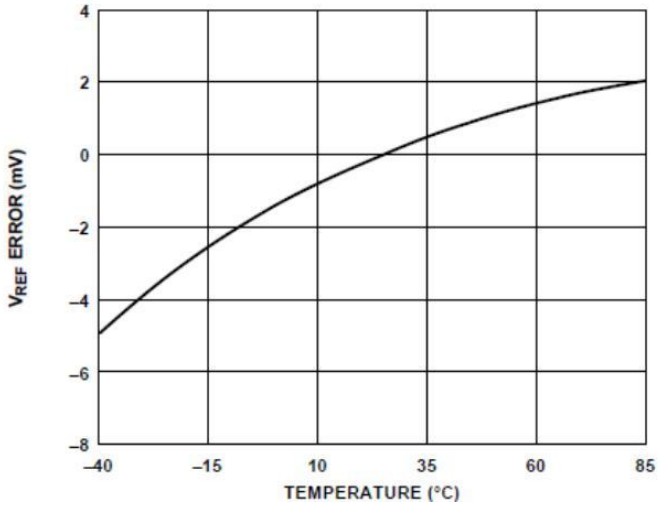

图 27 VREF 误差与温度的关系(VREF=1.0 V 典型漂移)

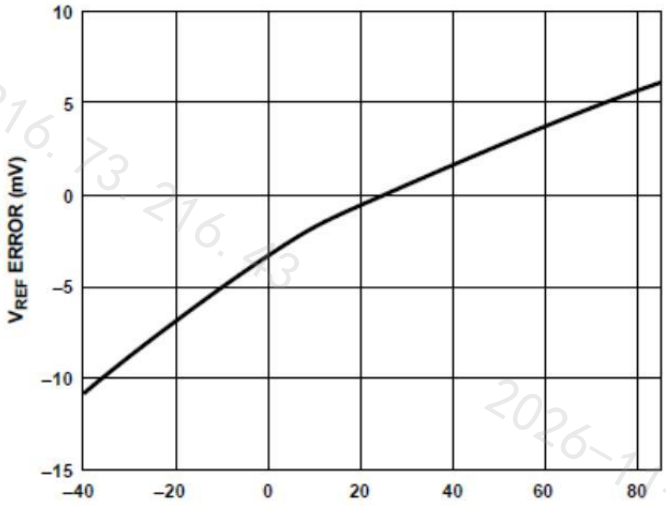

图 28 VREF 误差与温度的关系(VREF=1.3 V 典型漂移)

必须采用外部基准电压才可能进一步提高 ADC 增益精度、改善热漂移特性。图 27 和图 28 显示内部基准电压源分别在 1.0 V 模式和 1.3 V 模式下的典型漂移特性。将 SENSE 引脚与 AVDD 相连时，可以禁用内部基准电压源，从而允许使用外部基准电压源。内部基准电压缓冲器对外部基准电压源的负载相当于 7.5 kΩ负载。内部缓冲器为 ADC 内核生成正、负满量程基准电压。不建议悬空 SENSE 引脚。

12.6. 时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为本产品采样时钟输入端(CLK+和 CLK-)的时钟信号。该信号通常使用变压器或电容器交流耦合到 CLK+和 CLK-引脚内。这两个引脚有内部偏置，无需外部偏置。

12.7. 时钟输入选项

本产品具有灵活的时钟输入结构。CMOS、LVDS、LVPECL 或正弦波信号均可作为其时钟输入信号。无论采用哪种信号，都必须考虑到时钟源抖动(见抖动考虑部分说明)。利用射频变压器或射频巴伦，可将低抖动时钟源的单端信号转换成差分信号。对于 125 MHz 至 1GHz 的时钟频率，建议采用射频巴伦配置；对于 40 MHz 至 200 MHz 的时钟频率，建议采用射频变压器配置。跨接在变压器/巴伦次级绕组上的肖特基二极管可以将输入到本产品中的时钟信号限制为约差分 0.8V 峰峰值(见图 29 和图 30)。

这样，既可以防止时钟的大电压摆幅馈通至本产品的其它部分，还可以保留信号的快速上升和下降时间，这一点对实现低抖动性能来说非常重要。但是，当频率高于 500 MHz 时，二极管电容会产生影响。必须小心选择适当的信号限幅二极管。

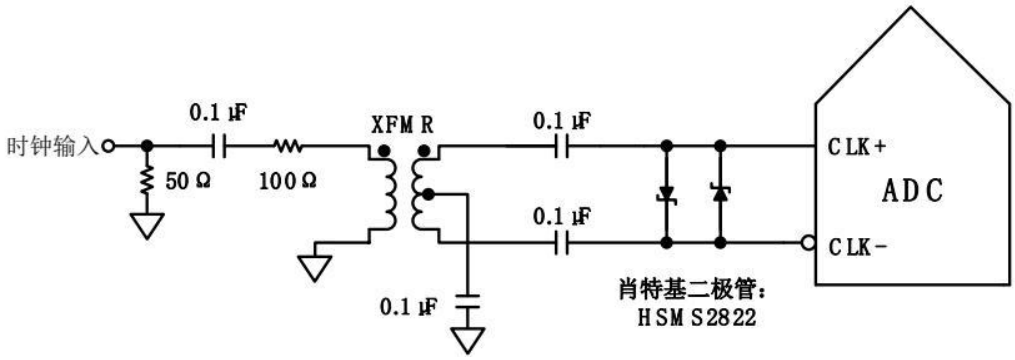

图 29 变压器耦合差分时钟(频率可达 200 MHz)

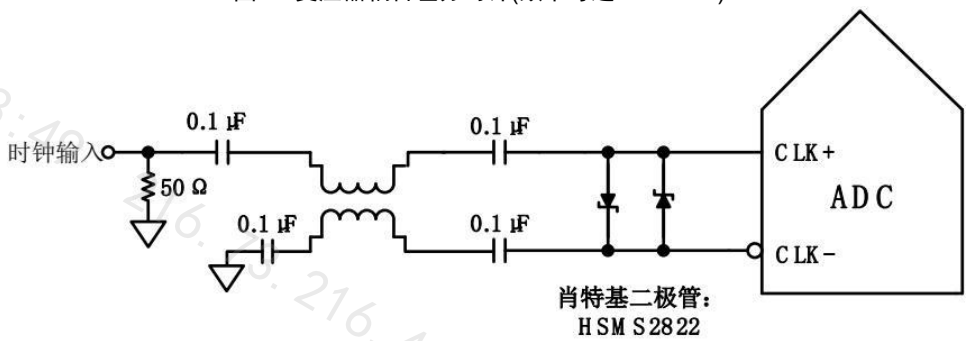

图 30 巴伦耦合差分时钟(频率可达 1 GHz)

如果没有低抖动的时钟源，那么，另一种方法是对差分 PECL 信号进行交流耦合，并传输至采样时钟输入引脚(如图 31 所示)。

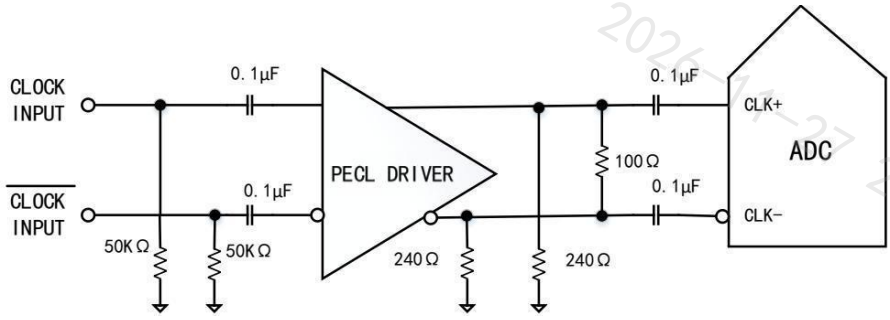

图 31 差分 PECL 采样时钟(频率可达 1 GHz)

另一种方法是将差分 LVDS 信号交流耦合至采样时钟输入引脚(如图 32 所示)。

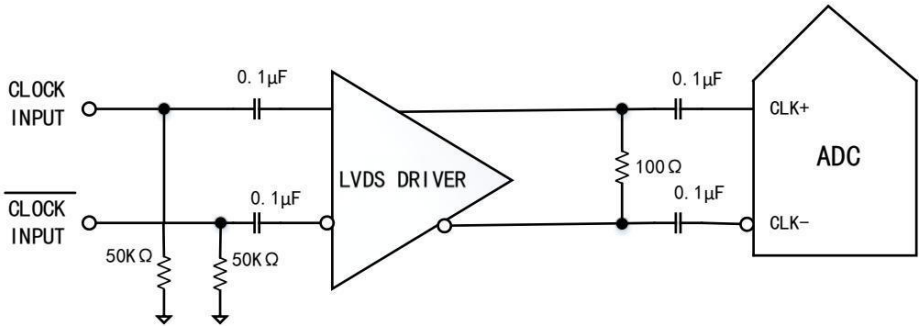

图 32 单端 1.8 V CMOS 输入时钟(频率可达 200 MHz)

12.8. 输入时钟分频器

本产品内置一个输入时钟分频器，可对输入时钟进行 1 至 8 整数倍分频。利用外部 SYNC 输入信号，可同步本产品时钟分频器。通过对寄存器 0x109 的位 0 和位 1 进行写操作，可以设置每次收到 SYNC 信号或者仅第一次收到 SYNC 信号后对时钟分频器再同步。有效 SYNC 可使分频器复位至初始状态。该同步特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样。

12.9. 时钟占空比

典型的高速 ADC 利用两个时钟边沿产生不同的内部定时信号，因此，它对时钟占空比非常敏感。通常，为保持 ADC 的动态性能，时钟占空比容差应为±5%.

本产品内置一个占空比稳定器(DCS)，可对非采样边沿(下降沿)进行重新定时，并提供标称占空比为 50%的内部时钟信号。当时钟输入占空比偏离标称 50%占空比的幅度大于±5%额定值时，该特性可最大程度减少性能的下降。使能 DCS 功能可显著改善 30%至 45%和 55%至 70%的时钟输入占空比的噪声和失真性能。

输入上升沿的抖动依然值得关注，且无法借助内部稳定电路来轻易减少这种抖动。在时钟速率动态改变的应用中，必须考虑与该环路相关的时间常量。在 DCS 环路重新锁定输入信号前，都需要等待 1.5μs 至 5μs 的时间。

12.10. 抖动考虑

高速、高分辨率 ADC 对时钟输入信号的质量非常敏感。中频欠采样应用对抖动尤其敏感(见图 33)。

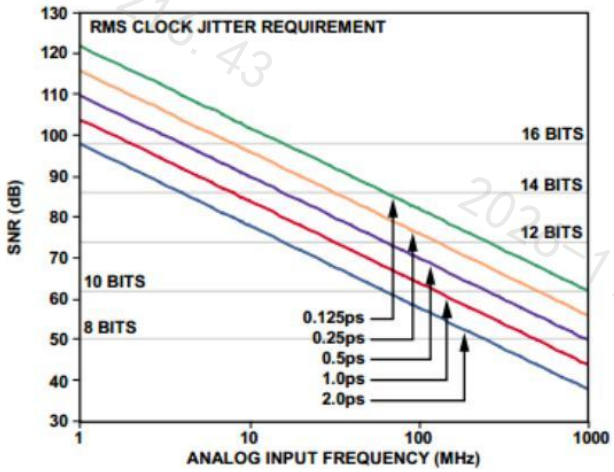

图 33 理想信噪比与模拟输入频率和抖动的关系

当孔径抖动可能影响本产品的动态范围时，应将时钟输入信号视为模拟信号。将时钟驱动器电源与 ADC 输出驱动器电源分离，以免在时钟信号内混入数字噪声。低抖动的晶体控制振荡器可提供最佳时钟源。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法)，则需要在最后一步中利用原始时钟进行重定时。

12.11. 功耗和省电模式

如图 34 所示，本产品的功耗与其采样速率成比例关系。通过 SPI 端口或将 PDWN 引脚置位高电平，可使本产品进入省电模式。在省电模式下，ADC 的典型功耗为 2 mW。省电模式下，输出驱动器处于高阻抗状态。将 PDWN 引脚置位低电平时，本产品返回正常工作模式。注意，PDWN 以数据输出驱动器电源电压(DRVDD)为基准，且不得高于该电源电压。

在省电模式下，通过关闭基准电压源、基准电压缓冲器、偏置网络以及时钟，可实现低功耗。进入省电模式时，内部电容放电；返回正常工作模式时，内部电容必须重新充电。因此，唤醒时间与处于省电模式的时间有关；处于省电模式的时间越短，则相应的唤醒时间越短。使用 SPI 端口接口时，用户可将 ADC 置于省电模式

或待机模式。如需较短的唤醒时间，可以使用待机模式，该模式下内部基准电压电路处于通电状态。有关使用这些功能的更多信息，请参见“存储器映射”部分。

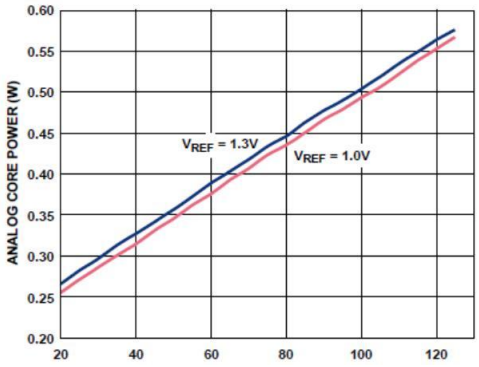

图 34 总功耗与 fSAMPLE 的关系

12.12. 数字输出

本产品数字输出采用 ANSI-644 LVDS 标准，输出电流为 3.5mA，负载 100 欧姆的端电阻，摆幅 350mV。默认模式下，输出的时序关系如图 35 所示。

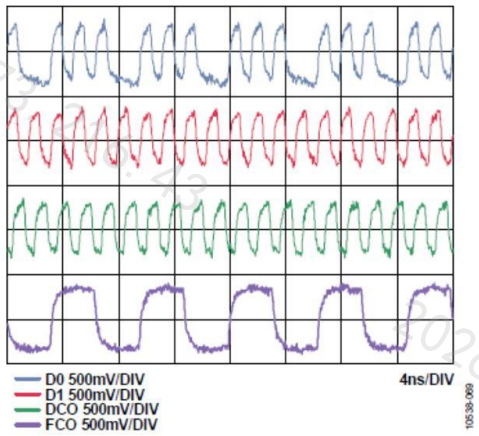

图 35 LVDS 输出时序示例

12.13. SPI 控制

本产品 SPI 为三线控制，SPI 的时序控制图如图 36 所示。

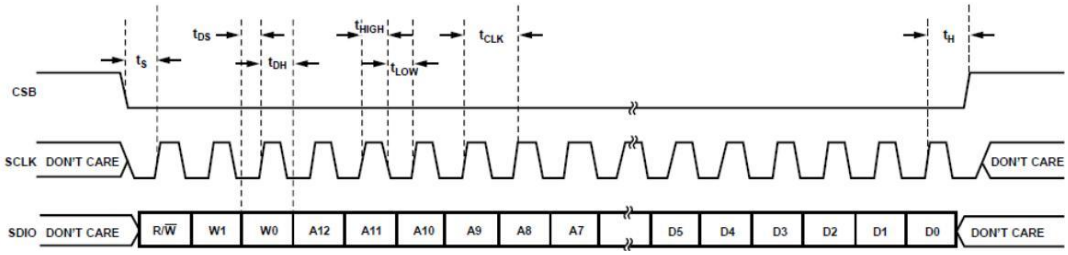

图 36 SPI 时序

表 6 给出了本产品的寄存器地址列表。上电后，请先完成寄存器复位操作。

表 6 SPI 地址

地址(十六进制)	参数名称	位 7(MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0(LSB)	默认值(十六进制)	注释
芯片配置寄存器											
0x00	SPI 端口配置	0=SDO 有效	LSB 优先	软复位	1=16 位地址	1=16 位地址	软复位	LSB 优先	0=SDO 有效	0x18	半字节之间是镜像关系,使得 LSB 优先或 MSB 优先模式寄存器均能正确记录数据。ADC 的默认值为 16 位模式。
0x01	芯片 ID(全局)	8 位芯片 ID,位[7:0]0xB5=四通道、14 位、125 MSPS 串行 LVDS								0xB5	唯一芯片 ID,用来区分器件;只读。
0x02	芯片等级(全局)	禁用	速度等级 ID[6:4]110=125 MSPS			禁用	禁用	禁用	禁用		唯一速度等级 ID,用来区分器件等级;只读。
器件索引和传送寄存器											
0x05	器件索引	禁用	禁用	时钟通道 DCO	时钟通道 FCO	时钟通道 D	时钟通道 C	时钟通道 B	时钟通道 A	0x3F	设置这些位以决定片内哪个器件接收下一个写命令。默认为片内所有器件。
0xFF	传输	禁用	禁用	禁用	禁用	禁用	禁用	禁用	启动覆盖	0x00	设置采样速率覆盖。
全局 ADC 功能寄存器											
0x08	功耗模式(全局)	禁用	禁用	外部掉电引脚功能 0=完全掉电 1=待机	禁用	禁用	禁用	功耗模式 00=芯片运行 01=完全掉电 10=待机 11=复位		0x00	决定芯片的一般工作模式。
0x09	时钟(全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	占空比稳定 0=开 1=关	0x01	打开或关闭占空比稳定器。

地址(十六进制)	参数名称	位 7(MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0(LSB)	默认值(十六进制)	注释
0x0B	时钟分频(全局)	禁用	禁用	禁用	禁用	禁用	时钟分频比[2:0]000=1 分频 001=2 分频 010=3 分频 011=4 分频 100=5 分频 101=6 分频 110=7 分频 111=8 分频			0x00	
0x0C	禁用	禁用	禁用	禁用	禁用	禁用	斩波模式 0=关 1=开	禁用	禁用	0x00	使能/禁用斩波模式。
0x0D	测试模式(局部,PN 序列复位除外)	用户输入测试模式 00=单一 01=交替 10=单一一次 11=交替一次(仅影响用户输入测试模式,位[3:0]=1000)		产生复位 PN 长序列	产生复位 PN 短序列	输出测试模式[3:0](局部) 0000=关(默认) 0001=中间电平短序列 0010=正 FS 0011=负 FS 0100=交替棋盘形式 0101=PN23 序列 0110=PN9 序列 0111=1/0 字反转 1000=用户输入 1001=1/0 位反转 1010=1×同步 1011=1 位高电平 1100=混合位频率			0x00	置 1 时,测试数据将取代正常数据被置于输出引脚上。
0x10	失调调整(局部)	8 位器件失调调整,位[7:0](局部) 失调调整以 LSB 为单位,从+127 到-128(二进制补码格式)								0x00	器件失调调整。
0x14	输出模式	禁用	LVDS-ANSI/LVDS-IEEE 选项 0=LVDS-ANSI 1=LVDS-IEEE 缩小范围链路(全局);	禁用	禁用	禁用	输出反向(局部)	禁用	输出格式 0=偏移二进制 1=二进制补码(全局)	0x01	配置输出和数据格式。
0x15	输出调整	禁用	禁用	输出驱动器端接[1:0]00=无 01=200Ω10=100Ω11=100Ω		禁用	禁用	禁用	输出驱动 0=1×驱动 1=2×驱动	0x00	决定 LVDS 或其它输出属性。
0x16	输出相位	禁用	输入时钟相位调整[6:4] (值为相位延迟的输入时钟周期数)			输出时钟相位调整[3:0](0000 至 1011)				0x03	在利用全局时钟分频的器件上,决定使用分频器输出的哪个相位提供输出时钟。内部锁存不受影响。

地址(十六进制)	参数名称	位 7(MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0(LSB)	默认值(十六进制)	注释
0x18	V_{REF}	禁用	禁用	禁用	禁用	禁用	V_{REF} 调节 数字方案[2:0] 000=1.0 Vp-p(1.3 Vp-p) 001=1.14 Vp-p(1.48 Vp-p) 010=1.33 Vp-p(1.73 Vp-p) 011=1.6 Vp-p(2.08 Vp-p) 100=2.0 Vp-p(2.6 Vp-p)			0x04	选择内部 V_{REF}。显示值针对 V_{REF}=1.0 V(1.3 V)。
0x19	$USER_{PATT1}$ _LSB(全局)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码 1 LSB。
0x1A	$USER_{PATT1}$ _MSB(全局)	B15	B14	B13	B12	B11	B10	B9	B0	0x00	用户定义的测试码 1 MSB。
0x1B	$USER_{PATT2}$ _LSB(全局)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码 2 LSB。
0x1C	$USER_{PATT2}$ _MSB(全局)	B15	B14	B13	B12	B11	B10	B9	B0	0x00	用户定义的测试码 2MSB。
0x21	串行输出数据控制(全局)	LVDS 输出 LSB 优先	SDR/DDR 单通道/双通道、逐位/逐字节[6:4] 000=SDR 双通道、逐位 001=SDR 双通道、逐字节 010=DDR 双通道、逐位 011=DDR 双通道、逐字节 100=DDR 单通道、逐字			禁用	选择 2×帧	串行输出位数 00=16 位		0x30	串行流控制。默认为 MSB 优先、原有位流。
0x22	串行通道状态(局部)	禁用	禁用	禁用	禁用	禁用	禁用	通道输出复位	通道掉电	0x00	用来关断转换器的各个部分。
0x100	采样速率覆盖	禁用	采样速率覆盖使能	Always write=01		禁用	采样速率 000=20 MSPS 001=40 MSPS 010=50 MSPS 011=65 MSPS 100=80 MSPS 101=105 MSPS 110=125 MSPS			0x00	需要上电配置寄存器(需要传输寄存器,0xFF)。
0x101	用户 I/O 控制 2	禁用	禁用	禁用	禁用	禁用	禁用	禁用	SDIO 下拉	0x00	禁用 SDIO 下拉电阻。
0x102	用户 I/O 控制 3	禁用	禁用	禁用	禁用	V_{CM} 掉电	禁用	禁用	禁用	0x00	V_{CM} 控制。
0x109	同步	禁用	禁用	禁用	禁用	禁用	禁用	仅与下一同步脉冲同步	使能同步	0x00	

13. 应用信息

13.1. 设计指南

在进行本产品的系统级设计和布局之前，建议设计人员先熟悉下述设计指南，其中探讨了某些引脚所需的特殊电路连接和布局布线要求。

13.2. 电源和接地建议

当连接电源至本产品时，建议使用两个独立的 1.8 V 电源：一个电源用于模拟输出(AVDD)，另一个电源用于数字输出(DRVDD 和 DVDD)。设计人员可以使用多个不同的去耦电容以适用于高频和低频。去耦电容应放置在接近印刷电路板(PCB)入口点和接近器件引脚的位置，并尽可能缩短走线长度。

本产品仅需要一个 PCB 接地层。对 PCB 模拟、数字和时钟模块进行合理去耦和巧妙分隔，可以轻松获得最佳性能。

13.3. 时钟稳定性考虑

上电时，本产品进入初始相位，内部状态机设置偏置和寄存器，以便器件能正常工作。在初始化过程中，本产品需要稳定的时钟。若 ADC 时钟源不存在，或在 ADC 上电期间不稳定，则会打断状态机，进而导致 ADC 上电至未知状态。要校正这一状态，必须在 ADC 时钟稳定后重新调用初始序列。可通过寄存器 0x08 发起数字复位来完成该操作。在默认配置中(内部 V_{REF}，交流耦合输入)，V_{REF} 和 V_{CM} 由 ADC 自身提供，因此上电时具有足够稳定的时钟。当 V_{REF} 和/或 V_{CM} 由外部源提供时，它们在上电时也必须是稳定的；否则，需要通过寄存器 0x08 进行序列数字复位。数字复位的伪代码序列如下所示：

SPI_{Write}(0x08,0x03);#Digital Reset SPI_{Write}(0x08,0x00);#Normal Operation

13.4. 裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将 ADC 底部的裸露焊盘连接至模拟地(AGND)。PCB 上裸露(无阻焊膜)的连续铜平面必须与本产品的裸露焊盘(引脚 0)匹配。

铜平面上必须有多个通孔，获得尽可能低的热阻路径以通过 PCB 底部进行散热。应采用绝缘环氧化物来填充或堵塞这些通孔。

为了最大化地实现 ADC 与 PCB 之间的覆盖与连接，应在 PCB 上覆盖一个丝印层，以便将 PCB 上的连续平面划分为多个均等的部分。这样，在回流焊过程中，便可防止焊料堆积并在 ADC 与 PCB 之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在 ADC 与 PCB 之间有一个连接点。PCB 布局范例可以参考评估板。

13.5. VCM

利用一个 0.1μF 电容将 V_{CM} 引脚去耦至地。

13.6. 基准电压源去耦

V_{REF} 引脚应通过外部一个低 ESR 0.1μF 陶瓷电容和一个低 ESR 1.0μF 电容的并联去耦至地。

13.7. SPI 端口

当需要转换器充分发挥其全部动态性能时，应禁用 SPI 端口。通常 SCLK 信号、CSB 信号和 SDIO 信号与 ADC 时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上 SPI 总线，则可能需要在该总线与本产品之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入引脚端发生变化。

14. 注意事项

14.1. 产品安装注意事项：

1) 要求应用对象电路板有一个完整干净的地。
2) 要求应用对象为多层布线板且内含独立的地层。
3) 要求应用对象电路板的数字地和模拟地尽量分离，不要将数字线布于模拟线旁边或于 ADC 底下。
4) VCC，VDD 要接高质量的陶瓷旁路电容 CL，且旁路电容要尽量靠近管脚，连接管脚和旁路电容的连线越短越宽越好。

14.2. 产品使用注意事项：

1) 差分输入应尽量靠近且相互平行。
2) 输入连线应尽量短以最小化寄生电容和噪声引入。
3) 为了更好的散热并获得更好的电性能，芯片的底板应焊接到 PCB 板的一个大的地端，从而最大限度发挥封装的热性能。
4) 很重要的是，芯片的地应该通过尽量多的渠道和足够多的面积与 PCB 板的地层相连。
5) 推荐上电后首先对电路进行复位，再进行使用。

14.3. 产品防护注意事项：

1) 静电电荷很容易在人体和测试设备上累积，并可能在没有察觉的情况下放电。尽管本产品具有专用 ESD 保护电路，但在遇到高能量静电放电时，可能会发生永久性器件损坏。因此，建议采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。
2) 超出绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本产品手册中所示的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。
3) 塑封电路易吸潮导致分层，使用时应注意保持周围环境干燥，存储时应真空包装储存于常温、干燥环境下。

15. 电装要求

1) 本产品潮湿敏感等级为 MSL3，将产品从防潮袋中取出、进行干燥储存或烘干后到回流焊前所暴露在外部环境的允许时间为：≤t30°C/60RH\%,168h;
2) 若器件储存条件无法控制或追溯，请在电装前严格执行 125°C，8h 烘烤，以去除内部湿气；
3) 产品烘烤后，极易产生静电，所有操作过程需要注意 ESD 防护；
4) 若电装环境温湿度无法保证≤t30°C/60RH\%，请在烘烤后 12h 内完成焊接；
5) 板级组装采用有铅回流焊（Sn63Pb37）时，推荐峰值温度范围 210°C~220°C，最大峰值温度不建议超过 235°C，峰值温度±5°C 以内停留时间≤20s，液相线以上停留时间 60~90s。升温速率 2~4°C/s，降温速率 2°C~6°C;
6) 板级组装采用无铅回流焊（SAC305）时，推荐峰值温度范围 230°C~245°C，最大峰值温度不建议超过 260°C，峰值温度±5°C 以内停留时间≤20s，液相线以上停留时间 60~90s。升温速率 2~4°C/s，降温速率 2°C~6°C;
7) 若混合电装工艺需要温度升高，应保证器件本体温度最高不超过 260°C；（器件本体温度测量点位于回流焊时器件上表面）
8) 本产品焊接端镀层为电镀锡。

16. 常见故障及处理办法

1) 无信号输出：检查电源电压、输入信号、时钟是否正确加载。
2) 出现溢出信号：检查基准是否正常工作，输入信号幅度是否正确。
3) 器件工作不稳定：检查电源，保证电源电压稳定。

17. 封装信息

产品外形图和尺寸

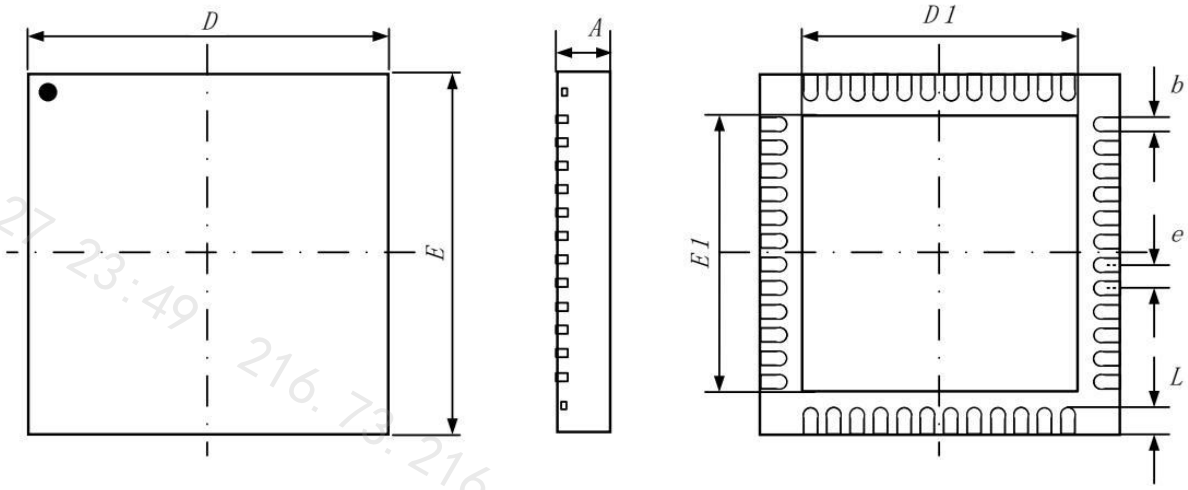

图 37 外壳特性

表 7 外壳特性表

单位 mm

尺寸符号	数值			尺寸符号	数值		
	最小	公称	最大		最小	公称	最大
A	0.70	—	0.80	D	6.90	—	7.10
b	0.18	—	0.30	D1	5.30	—	5.50
e	—	0.50	—	E	6.90	—	7.10
L	0.35	—	0.45	E1	5.30	—	5.50

18. 说明

如欲了解更多的产品及及公司信息，请联系公司办公室人员或登录公司网站；
联系电话：021-33885531
网址：https://mall.ichelps.com/

19. 本文档中的信息如有变更，恕不另行通知

请使用微信扫码进入
芯片助手 ICHELPS 小程序

查资料 查替代 查库存 查价格

招募中国区各省代理，联系电话：021-33885531