文档版本	修订日期	内容描述
1.0	2025-5-22	初版
1.1	2026-1-8	修正了照片和产品标识说明
1.2	2026-10-10	细节勘误

2026-11-27 23:49 216.73.216.43

CYR9361

双收双发 56MHz 捷变频收发 SoC 芯片

1. 特性

- 模拟电源电压：3.3V 1.8V 1.3V
- 数字电源电压：1.3V
- 集成12位DAC和ADC的RF 2×2收发器
- 频段：70MHz至6.0GHz
- 支持TDD和FDD
- 可调谐通道带宽：<200 kHz至56 MHz
- TX EVM：−40 dB
- 电路接口：CMOS/LVDS数字接口
- ESD等级：HBM 500V
- 重量：0.32g±0.02g

2. 应用

- 点对点通信系统
- 微蜂窝基站
- 通用无线电系统

3. 概述

CYR9361 是一款面向 3G 和 4G 基站应用的高性能、高集成度的射频(RF)捷变收发器。该器件的可编程性和宽带能力使其成为多种收发器应用的理想选择。该器件集 RF 前端与灵活的混合信号基带部分为一体，集成频率合成器，为处理器提供可配置数字接口，从而简化设计导入。CYR9361 工作频率范围为 70 MHz 至 6.0 GHz，涵盖大部分特许执照和免执照频段，支持的通道带宽范围为不到 200kHz 至 56MHz。两个独立的直接变频接收器拥有首屈一指的噪声系数和线性度。每个接收(RX)子系统都拥有独立的自动增益控制(AGC)、直流失调校正、正交校正和数字滤波功能，从而消除了在数字基带中提供这些功能的必要性。CYR9361 还拥有灵活的手动增益模式，支持外部控制。每个通道搭载两个高动态范围 ADC，先将收到的 I 信号和 Q 信号进行数字化处理，然后将其传过可配置抽取滤波器和 128 抽头有限脉冲响应(FIR)滤波器，结果以相应的采样率生成 12 位输出信号。

发射器采用直接变频架构，可实现较高的调制精度和超低的噪声。这种发射器设计带来了较低的 TX EVM，其数值<– 40 dB，可为外部功率放大器的选择留出可观的系统裕量。板载发射(TX)功率监控器可以用作功率检测器，从而实现高度精确的 TX 功率测量。完全集成的锁相环(PLL)可针对所有接收和发射通道提供低功耗的小数 N 分频频率合成。设计中集成了频分双工(FDD)系统需要的通道隔离。还集成了所有 VCO 和环路滤波器器件。

该电路采用 10mm×10mm、144 引脚芯片级球栅阵列封装(CSP_BGA)。

4. 订购信息

表 1

物料编号	温度范围	等级类型	封装
CYR9361B144I	-40℃-85℃	工业级	CSP_BGA-144

5. 功能框图

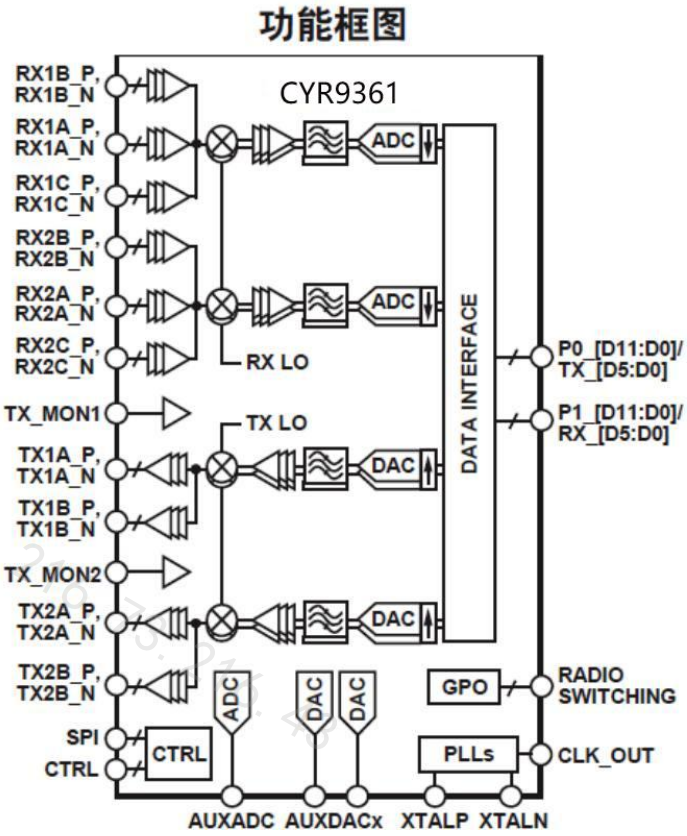


图 1 功能框图

注意事项：

RX 和 TX 基带带宽校准

基带带宽校正的时钟由主时钟分频得到，RX 的分频系数由 Reg1F87:0 决定，TX 由 Reg0D6[7:0]决定，该分频系数不能为奇数，即 Reg1F8[0]和 Reg0D6[0]不能设置为 1。此分频系数由 BBPLL 的频率和基带带宽共同确定，公式如下：

$$\text{BBF Tune Divide}[8:0]=\text{ceil}((\text{BBPLL Freq}*\ln(2))/(\text{BBBW}*1.4*2*\pi))$$

有两种方法来避免这个问题：

1，初始化后确认这两个寄存器的值，如果值为 1，调节基带带宽，并重新初始化芯片，因为基带带宽的变化会导致分频比的变化，所以能够将会出现错误的奇数分频比改变为偶数分频比，并避免这个问题。

2，如果可以修改初始化过程中写入的寄存器的值，那么可以直接将 Reg1F8[0]和 Reg0D6[0]的值设置为 0，然后初始化芯片，也能够避免这个问题。

6. 引出端功能定义

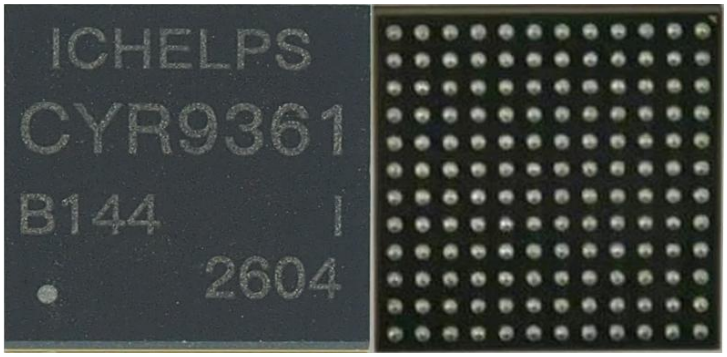


图 2 产品外形尺寸图和实物照片

	1	2	3	4	5	6	7	8	9	10	11	12
A	RX2A_N	RX2A_P	NC	VSSA	TX_MON2	VSSA	TX2A_N	TX2A_P	TX2B_N	TX2B_P	VDDA1P1_TX_VCO	TX_EXT_LO_IN
B	VSSA	VSSA	AUXDAC1	GPO_3	GPO_2	GPO_1	GPO_0	VDD_GPO	VDDA1P3_TX_LO	VDDA1P3_TX_VCO_LDO	TX_VCO_LDO_OUT	VSSA
C	RX2C_P	VSSA	AUXDAC2	TEST/ENABLE	CTRL_IN0	CTRL_IN1	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA
D	RX2C_N	VDDA1P3_RX_RF	VDDA1P3_RX_TX	CTRL_OUT0	CTRL_IN3	CTRL_IN2	P0_D9/TX_D4_P	P0_D7/TX_D3_P	P0_D5/TX_D2_P	P0_D3/TX_D1_P	P0_D1/TX_D0_P	VSSD
E	RX2B_P	VDDA1P3_RX_LO	VDDA1P3_TX_LO_BUFFER	CTRL_OUT1	CTRL_OUT2	CTRL_OUT3	P0_D11/TX_D5_P	P0_D8/TX_D4_N	P0_D6/TX_D3_N	P0_D4/TX_D2_N	P0_D2/TX_D1_N	P0_D0/TX_D0_N
F	RX2B_N	VDDA1P3_RX_VCO_LDO	VSSA	CTRL_OUT6	CTRL_OUT5	CTRL_OUT4	VSSD	P0_D10/TX_D5_N	VSSD	FB_CLK_P	VSSD	VDDD1P3_DIG
G	RX_EXT_LO_IN	RX_VCO_LDO_OUT	VDDA1P1_RX_VCO	CTRL_OUT7	EN_AGC	ENABLE	RX_FRAME_N	RX_FRAME_P	TX_FRAME_P	FB_CLK_N	DATA_CLK_P	VSSD
H	RX1B_P	VSSA	VSSA	TXNRX	SYNC_IN	VSSA	VSSD	P1_D11/RX_D5_P	TX_FRAME_N	VSSD	DATA_CLK_N	VDD_INTERFAC
J	RX1B_N	VSSA	VDDA1P3_RX_SYNTH	SPI_DI	SPI_CLK	CLK_OUT	P1_D10/RX_D5_N	P1_D9/RX_D4_P	P1_D7/RX_D3_P	P1_D5/RX_D2_P	P1_D3/RX_D1_P	P1_D1/RX_D0_P
K	RX1C_P	VSSA	VDDA1P3_TX_SYNTH	VDDA1P3_BB	RESETB	SPI_ENB	P1_D8/RX_D4_N	P1_D6/RX_D3_N	P1_D4/RX_D2_N	P1_D2/RX_D1_N	P1_D0/RX_D0_N	VSSD
L	RX1C_N	VSSA	VSSA	RBIAS	AUXADC	SPI_DO	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA
M	RX1A_P	RX1A_N	NC	VSSA	TX_MON1	VSSA	TX1A_P	TX1A_N	TX1B_P	TX1B_N	XTALP	XTALN

ANALOG I/O　DC POWER
DIGITAL I/O　GROUND
NO CONNECT

图 3 引出端排列

表 2

引脚编号	类型 [1]	引脚名称	说明
A1,A2	I	RX2A_N,RX2A_P	接收通道 2 差分输入 A。或者,每个引脚都可作为单端输入或者结合形成差分对。将未使用的引脚接地。
A3,M3	NC	NC	不连接。请勿连接到这些引脚。
A4,A6,B1,B12,C2,C7C12,F3,H2,H3,H6,J2,L2,L3,L7 toL12,M4,M6	I	VSSA	模拟地。将这些引脚直接连接至印刷电路板上的 VSSD 数字地(一个接地层)。
A5	I	TX_MON2	发射通道 2 功率监控输入。若未使用此引脚,则将其接地。

引脚编号	类型 [1]	引脚名称	说明
A7,A8	O	TX2A_N,TX2A_P	发射通道 2 差分输出 A。将未使用的引脚连接至 1.3V。
A9,A10	O	TX2B_N,TX2B_P	发射通道 2 差分输出 B。将未使用的引脚连接至 1.3V。
A11	I	VDDA1P1_TX_VCO	发射 VCO 电源输入。连接至 B11。
A12	I	TX_EXT_LO_IN	外部发射 LO 输入。若未使用此引脚,则将其接地。
B3	O	AUXDAC1	辅助 DAC1 输出。
B4 至 B7	O	GPO_3 to GPO_0	支持 3.3V 的通用输出。
B8	I	VDD_GPO	2.5V 至 3.3V 电源,支持 AUXDAC 和通用输出引脚。不使用 VDD_GPO 电源时,必须将该电源设为 1.3V。
B9	I	VDDA1P3_TX_LO	发射 LO1.3V 电源输入。
B10	I	VDDA1P3_TX_VCO_LDO	发射 VCOLDO1.3V 电源输入。连接至 B9。
B11	O	TX_VCO_LDO_OUT	发射 VCOLDO 输出。连接至 A11,将一个 1μF 旁路电容与一个 1Ω电阻串联接地。
C1,D1	I	RX2C_P,RX2C_N	接收通道 2 差分输入 C。每个引脚都可作为单端输入或者结合形成差分对。这些输入在 3GHz 以上时性能会下降。将未使用的引脚接地。
C3	O	AUXDAC2	辅助 DAC2 输出。
C4	I	测试/使能	测试输入。正常工作时,将该引脚接地。
C5,C6,D5,	I	CTRL_IN0 至 CTRL_IN3	控制输入。用于手动 RX 增益和 TX 衰减控制。
D2	I	VDDA1P3_RX_RF	接收器 1.3V 电源输入。连接至 D3。
D3	I	VDDA1P3_RX_TX	1.3V 电源输入。
D4,E4 至 F4 至 F6,	O	CTRL_OUT0,CTRL_OUT3,CTRL_OUT4,	控制输出。这些引脚是多功能输出,具有可编程功能。
D7	I/O	P0_D9/TX_D4_P	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D9,它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者,该引脚(TX_D4_P)也可作为 LVDS6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
D8	I/O	P0_D7/TX_D3_P	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D7,它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者,该引脚(TX_D3_P)也可作为 LVDS6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
D9	I/O	P0_D5/TX_D2_P	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D5,它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者,该引脚(TX_D2_P)也可作为 LVDS6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
D10	I/O	P0_D3/TX_D1_P	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D3,它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者,该引脚(TX_D1_P)也可作为 LVDS6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
D11	I/O	P0_D1/TX_D0_P	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D1,它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者,该引脚(TX_D0_P)也可作为 LVDS6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
D12,F7,F9,F11,G12,H10,K12	I	VSSD	数字地。将这些引脚直接连接至印刷电路板上的 VSSA 模拟地(一个接地层)。
E1,F1	I	RX2B_P,RX2B_N	接收通道 2 差分输入 B。每个引脚都可作为单端输入或者相结合从而形成差分对。这些输入在 3GHz 以上时性能会下降。将未使用的引脚接地。
E2	I	VDDA1P3_RX_LO	接收 LO1.3V 电源输入。
E3	I	VDDA1P3_TX_LOUFFE	1.3V 电源输入。
E7	I/O	P0_D11/TX_D5_P	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D11,它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者,该引脚(TX_D5_P)也可作为 LVDS6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
E8	I/O	P0_D8/TX_D4_N	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D8,它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者,该引脚(TX_D4_N)也可作为 LVDS6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
E9	I/O	P0_D6/TX_D3_N	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D6,它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者,该引脚(TX_D3_N)也可作为 LVDS6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。

引脚编号	类型 [1]	引脚名称	说明
E10	I/O	P0_D4/TX_D2_N	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D4,它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者,该引脚(TX_D2_N)也可作为 LVDS 6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
E11	I/O	P0_D2/TX_D1_N	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D2,它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者,该引脚(TX_D1_N)也可作为 LVDS 6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
E12	I/O	P0_D0/TX_D0_N	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D0,它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者,该引脚(TX_D0_N)也可作为 LVDS 6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
F2	I	VDDA1P3_RX_VCO_LDO	接收 VCO LDO 1.3V 电源输入。连接至 E2。
F8	I/O	P0_D10/TX_D5_N	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D10,它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者,该引脚(TX_D5_N)也可作为 LVDS6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
F10,G10	I	FB_CLK_P,FB_CLK_N	反馈时钟。这些引脚接收作为 TX 数据时钟的 FB_CLK 信号。在 CMOS 模式中,以 FB_CLK_P 为输入,将 FB_CLK_N 接地。
F12	I	VDDD1P3_DIG	1.3V 数字电源输入。
G1	I	RX_EXT_LO_IN	外部接收 LO 输入。若未使用此引脚,则将其接地。
G2	O	RX_VCO_LDO_OUT	接收 VCO LDO 输出。将该引脚直接连至 G3,将一个 1μF 旁路电容与一个 1Ω电阻串联接地。
G3	I	VDDA1P1_RX_VCO	接收 VCO 电源输入。将该引脚只直接连至 G2。
G5	I	EN_AGC	用于自动增益控制(AGC)的手动控制输入。
G6	I	使能	控制输入。该引脚使器件在各种运行状态之间移动。
G7,G8	O	RX_FRAME_N,RX_FRAME_P	接收数字数据帧输出信号。这些引脚发射 RX_FRAME 信号,用于指示 RX 输出数据是否有效。在 CMOS 模式下,以 RX_FRAME_P 为输出,使 RX_FRAME_N 保持断开状态。
G9,H9	I	TX_FRAME_P,TX_FRAME_N	发射数字数据帧输入信号。这些引脚接收用于指示 TX 数据何时有效的 TX_FRAME 信号。在 CMOS 模式中,以 TX_FRAME_P 为输入,将 TX_FRAME_N 接地。
G11,H11	O	DATA_CLK_P,IDATA_CLK_N	接收数据时钟输出。这些引脚发射 DATA_CLK 信号,BBP 用这些信号为 RX 数据提供时钟。在 CMOS 模式下,以 DATA_CLK_P 为输出,使 DATA_CLK_N 保持
H1,J1	I	RX1B_P,RX1B_N	接收通道 1 差分输入 B。另外,每个引脚均可用作单端输入。这些输入在 3GHz 以上时性能会下降。将未使用的引脚接地。
H4	I	TXNRX	使能状态机控制信号。该引脚控制数据端口总线方向。逻辑低电平选择 RX 方向,逻辑高电平选择 TX 方向。
H5	I	SYNC_IN	用于同步多个 GS3303PPB 器件之间数字时钟的输入。若未使用此引脚,则将其接地。
H8	I/O	P1_D11/RX_D5_P	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D11,它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者,该引脚(RX_D5_P)也可作为 LVDS6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
H12	I	VDD_INTERFACE	数字 I/O 引脚,1.2V 至 2.5V 电源(LVDS 模式下为 1.8V 至 2.5V)。
J3	I	VDDA1P3_RX_SYNTH	1.3V 电源输入。
J4	I	SPI_DI	SPI 串行数据输入。
J5	I	SPI_CLK	SPI 时钟输入。
J6	O	CLK_OUT	输出时钟。可将该引脚配置为输出缓冲版外部输入时钟 DCXO,或者输出分频版内部 ADC_CLK。
J7	I/O	P1_D10/RX_D5_N	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D10,它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者,该引脚(RX_D5_N)也可作为 LVDS6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
J8	I/O	P1_D9/RX_D4_P	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D9,它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者,该引脚(RX_D4_P)也可作为 LVDS6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
J9	I/O	P1_D7/RX_D3_P	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D7,它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者,该引脚(RX_D3_P)也可作为 LVDS6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
J10	I/O	P1_D5/RX_D2_P	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D5,它充当 12 位

引脚编号	类型 [1]	引脚名称	说明
			双向并行 CMOS 电平数据端口 1 的一部分。或者,该引脚(RX_D2_P)也可作为 LVDS6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
J11	I/O	P1_D3/RX_D1_P	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D3,它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者,该引脚(RX_D1_P)也可作为 LVDS6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
J12	I/O	P1_D1/RX_D0_P	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D1,它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者,该引脚(RX_D0_P)也可作为 LVDS6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
K1,L1	I	RX1C_P,RX1C_N	接收通道 1 差分输入 C。另外,每个引脚均可用作单端输入。这些输入在 3GHz 以上时性能会下降。将未使用的引脚接地。
K3	I	VDDA1P3_TX_SYNTH	1.3 V 电源输入。
K4	I	VDDA1P3_BB	1.3 V 电源输入。
K5	I	RESETB	异步复位。逻辑低电平复位器件。
K6	I	SPI_ENB	SPI 使能输入。将该引脚设为逻辑低电平,以使能 SPI 总线。
K7	I/O	P1_D8/RX_D4_N	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D8,它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者,该引脚(RX_D4_N)也可作为 LVDS6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
K8	I/O	P1_D6/RX_D3_N	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D6,它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者,该引脚(RX_D3_N)也可作为 LVDS6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
K9	I/O	P1_D4/RX_D2_N	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D4,它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者,该引脚(RX_D2_N)也可作为 LVDS6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
K10	I/O	P1_D2/RX_D1_N	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D2,它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者,该引脚(RX_D1_N)也可作为 LVDS6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
K11	I/O	P1_D0/RX_D0_N	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D0,它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者,该引脚(RX_D0_N)也可作为 LVDS6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
L4	I	RBIAS	偏置输入参考。通过一个 14.3kΩ(1%容差)电阻将此引脚接地。
L5	I	AUXADC	辅助 ADC 输入。若未使用此引脚,则将其接地。
L6	O	SPI_DO	4 线模式的 SPI 串行数据输出,或者 3 线模式下的高 Z。
M1,M2	I	RX1A_P,RX1A_N	接收通道 1 差分输入 A。另外,每个引脚均可用作单端输入。将未使用的引脚接地。
M5	I	TX_MON1	发射通道 1 功率监控输入。未使用此引脚时,将其接地。
M7,M8	O	TX1A_P,TX1A_N	发射通道 1 差分输出 A。将未使用的引脚连接至 1.3V。
M9,M10	O	TX1B_P,TX1B_N	发射通道 1 差分输出 B。将未使用的引脚连接至 1.3V。
M11,M12	I	XTALP,XTALN	参考频率晶振连接。使用晶振时,将其连接于这两个引脚之间。使用外部时钟源时,将其连接至 XTALN,使 XTALP 保持断开。

注 1： I 为输入，O 为输出，I/O 为输入/输出，NC 为未连接。

7. 产品标识



图 4 产品标识图

8. 推荐工作条件

VDD_GPO=3.3V
VDD_INTERFACE=1.8V
所有其他 VDDx 引脚=1.3V
温度：25°C
输入参考时钟：40MHz

9. 绝对最大额定值

表 3

参数	绝对最大额定值
VDDx 至 VSSx	-0.3 V 至+1.4 V
VDD_INTERFACE 至 VSSx	-0.3 V 至+3.0 V
VDD_GPO 至 VSSx	-0.3 V 至+3.9 V
逻辑输入和输出至 VSSx	-0.3 V 至 VDD_INTERFACE+
输入电流至除电源引脚外的任何引脚	±10 mA
RF 输入(峰值功率)	2.5 dBm
TX 监控器输入功率(峰值功率)	9 dBm
封装功耗	$(TJMAX-T_A)/\theta_{JA}$
最大结温(TJMAX)	110°C
工作温度范围	-40°C 至+85°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

10. 性能指标

表 4

参数 [1]	符号	最小值	典型值	最大值	单位	测试条件/注释
接收器,一般						
中心频率		70		6000	MHz	
增益						
最小值			0		dB	
最大值			71.5		dB	800 MHz
			70		dB	2300 MHz(RX1A,RX2A)

参数 [1]	符号	最小值	典型值	最大值	单位	测试条件/注释
			70		dB	2300 MHz(RX1B,RX1C,RX2B,RX2C)
			62		dB	5500 MHz(RX1A,RX2A)
增益步进	RSSI		1		dB	
接收信号强度指示器						
档位			95		dB	
准确度			±2.5		dB	
接收器,800 MHz						
噪声系数	NF		2.8		dB	最大 RX 增益
三阶输入交调载点	IIP3		-11		dBm	最大 RX 增益
二阶输入交调载点	IIP2		55		dBm	最大 RX 增益
本振(LO)泄漏			-82		dBm	RX 前端输入
正交						
增益误差			0.2		%	
相位误差			0.2		度	
RX1 至 RX2 隔离						
RX1A 至 RX2A,RX1C 至			68		dB	
RX1B 至 RX2B			55		dB	
RX2 至 RX1 隔离						
RX2A 至 RX1A,RX2C 至			68		dB	
RX2B 至 RX1B			55		dB	
接收器,2.4 GHz						
噪声系数	NF		3.5		dB	最大 RX 增益
三阶输入交调载点	IIP3		-10		dBm	最大 RX 增益
二阶输入交调载点	IIP2		48		dBm	最大 RX 增益
本振(LO)泄漏			-82		dBm	接收器前端输入
正交						
增益误差			0.2		%	
相位误差			0.2		度	
RX1 至 RX2 隔离						
RX1A 至 RX2A,RX1C 至			55		dB	
RX1B 至 RX2B			50		dB	
RX2 至 RX1 隔离						
RX2A 至 RX1A,RX2C 至			55		dB	
RX2B 至 RX1B			50		dB	
接收器,5.5 GHz						
噪声系数	NF		4		dB	最大 RX 增益
三阶输入交调载点	IIP3		-4		dm	最大 RX 增益
二阶输入交调载点	IIP2		58		dm	最大 RX 增益
本振(LO)泄漏			-75		dm	RX 前端输入
正交						
增益误差			0.2		%	

参数 [1]	符号	最小值	典型值	最大值	单位	测试条件/注释
相位误差			0.2		度	
RX1A 至 RX2A 隔离			50		dB	
RX2A 至 RX1A 隔离			37		dB	
发射器,一般						
中心频率		70		6000	MHz	
功率控制范围			90		dB	
功率控制分辨率			0.25		dB	
发射器,800 MHz						
最大输出功率			8		dBm	1 MHz 信号音(50 Ω 负载)
调制精度(EVM)			-45		dB	19.2 MHz 参考时钟
三阶输出交调载点	OIP3		17		dBm	
载波泄漏			-50		dBc	0 dB 衰减
			-40		dBc	40 dB 衰减
本底噪声			-148		dBm/Hz	90 MHz 偏移
隔离						
TX1 至 TX2			50		dB	
TX2 至 TX1			50		dB	
发射器,2.4 GHz						
最大输出功率			7		dBm	1 MHz 信号音(50 Ω 负载)
调制精度(EVM)			-40		dB	40 MHz 参考时钟
三阶输出交调载点	OIP3		17.5		dBm	
载波泄漏			-50		dBc	0 dB 衰减
			-44		dBc	40 dB 衰减
本底噪声			-138		dBm/Hz	90 MHz 偏移
隔离						
TX1 至 TX2			50		dB	
TX2 至 TX1			50		dB	
发射器,5.5 GHz						
最大输出功率			4.2		dBm	77 MHz 信号音(50 Ω 负载)
调制精度(EVM)			-34.5		dB	40 MHz 参考时钟(针对 RF 频率合成器内部加倍)
三阶输出交调载点	OIP3		13		dBm	
载波泄漏			-50		dBc	0 dB 衰减
			-42		dBc	40 dB 衰减
本底噪声			-137		dBm/Hz	90 MHz 偏移
隔离						
TX1 至 TX2			50		dB	
TX2 至 TX1			50		dB	

11. 特性曲线图（电特性测试图）

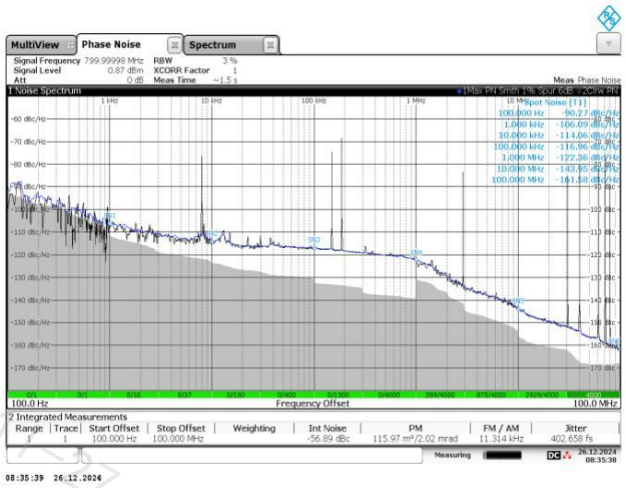


图 5 LO 相位噪声（800MHz 频段）

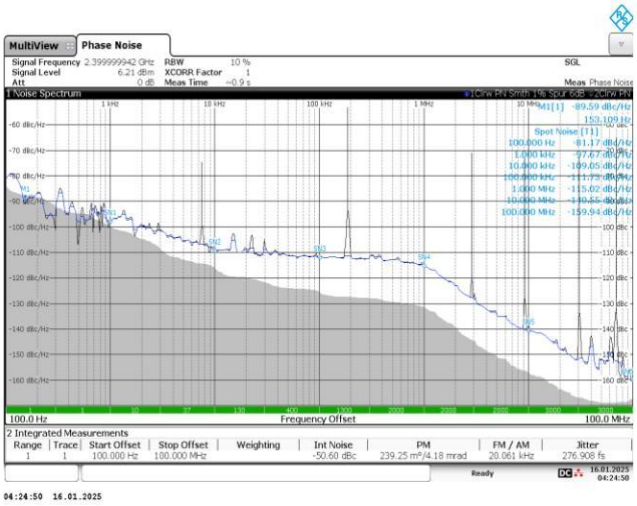


图 6 LO 相位噪声（2.4GHz 频段)

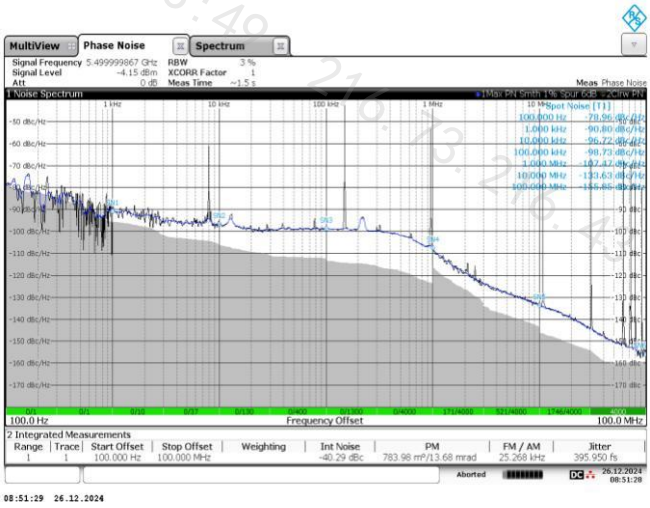


图 7 LO 相位噪声（5.5GHz 频段）

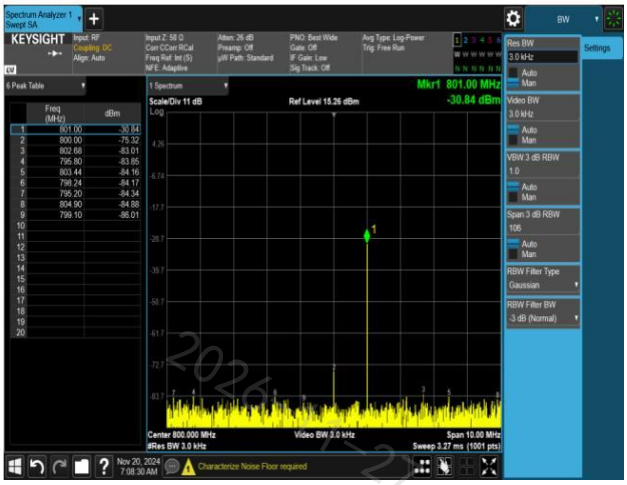


图 8 TX 40dB 衰减输出（800MHz 频段）



图 9 TX EVM（800MHz 频段）

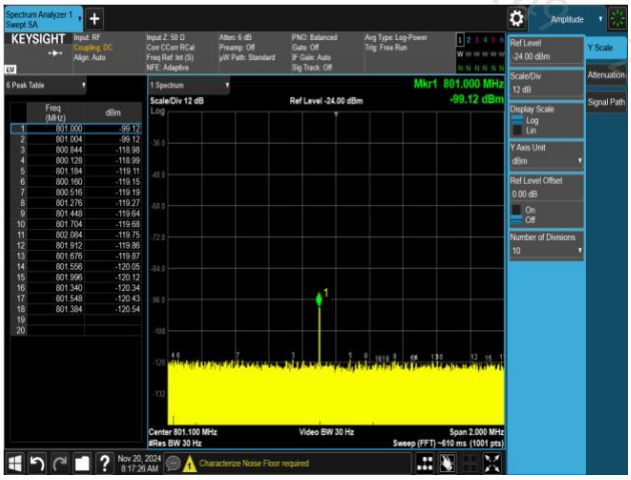


图 10TX 隔离（800MHz 频段）

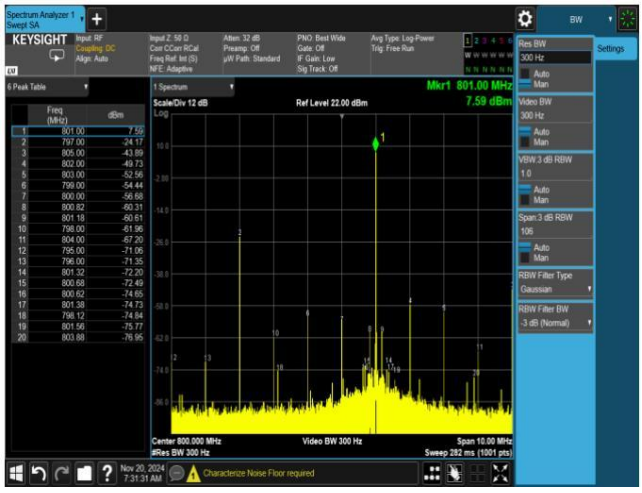


图 11 TX Max_output（800MHz 频段）

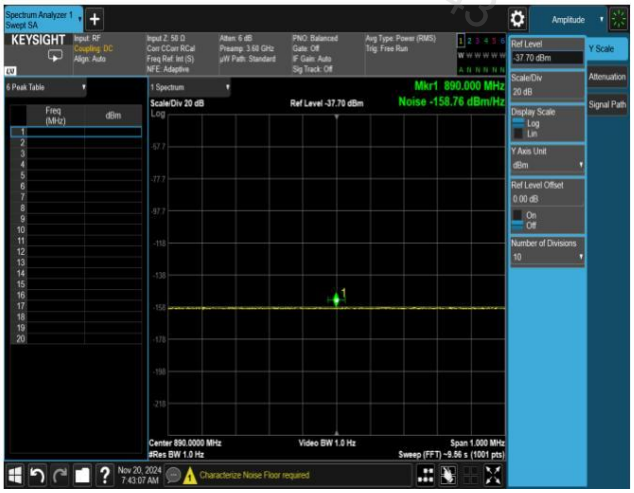


图 12 TX Noise_Floor（800MHz 频段）

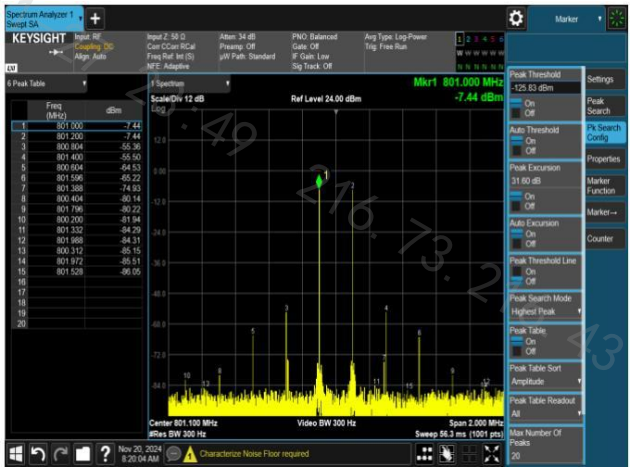


图 13 TX OIP3（800MHz 频段）



图 14 TX 40dB 衰减输出（2.4GHz 频段）



图 15 TX EVM（2.4GHz 频段）

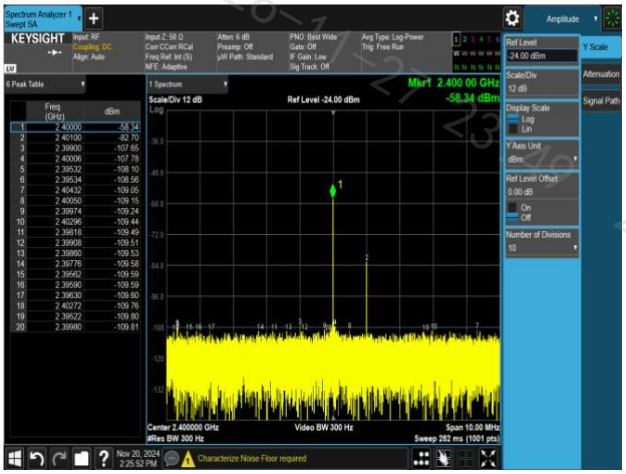


图 16 TX 隔离（2.4GHz 频段）

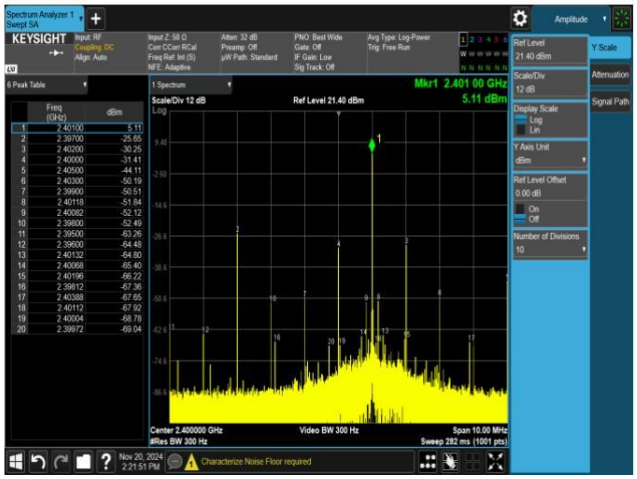


图 17 TX Max_output（2.4GHz 频段）

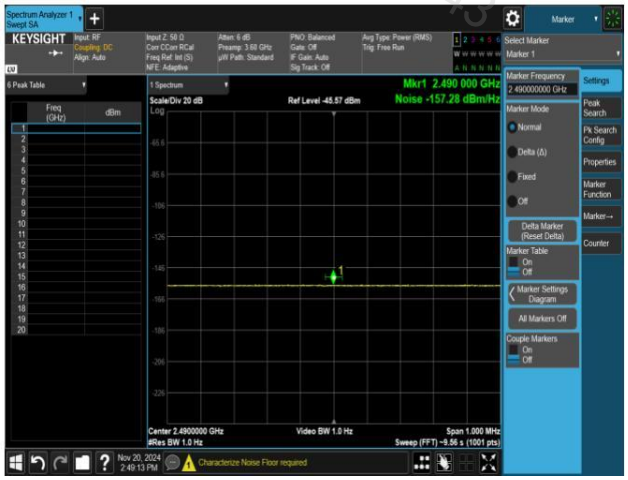


图 18 TX Noise_Floor（2.4GHz 频段）



图 19 TX OIP3（2.4GHz 频段）

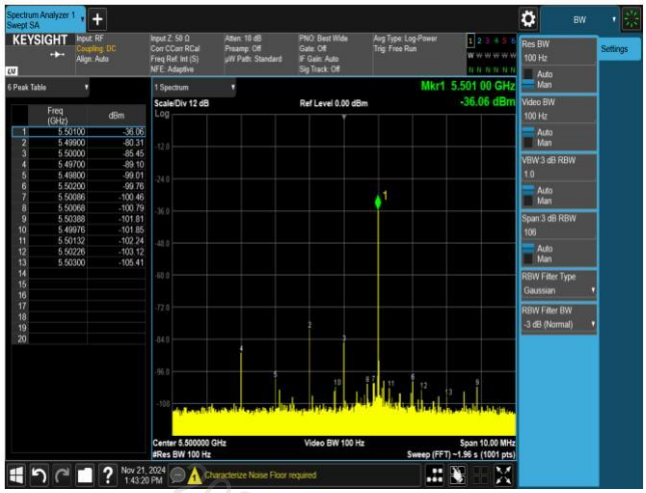


图 20 TX 40dB 衰减输出（5.5GHz 频段）

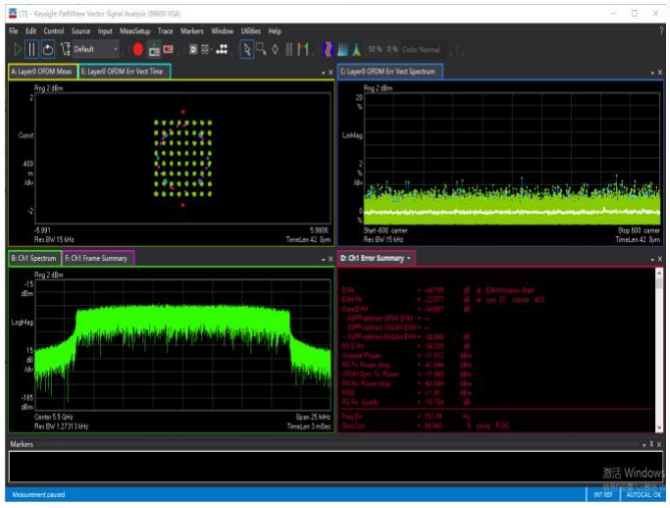


图 21 TX EVM（5.5GHz 频段）

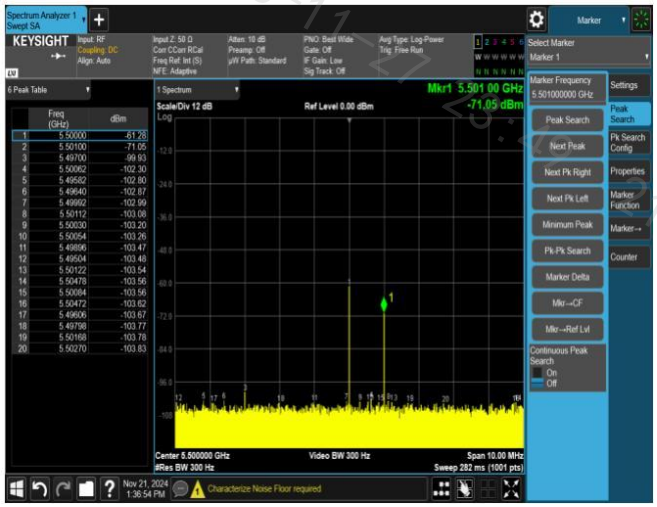


图 22 TX 隔离（5.5GHz 频段）

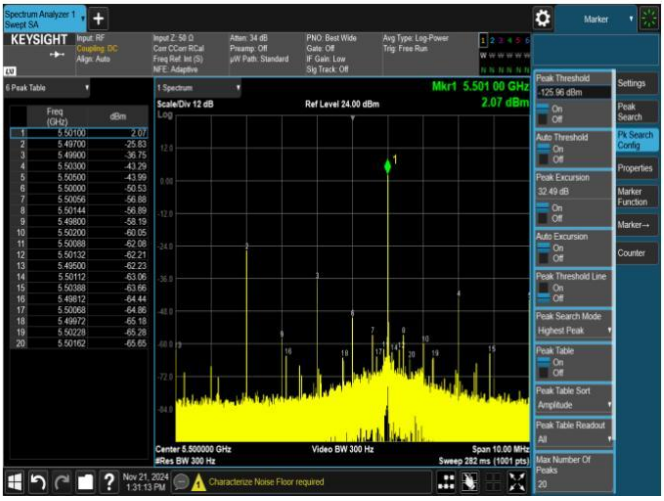


图 23 TX Max output（5.5GHz 频段）



图 24 TX Noise_Floor（5.5GHz 频段）

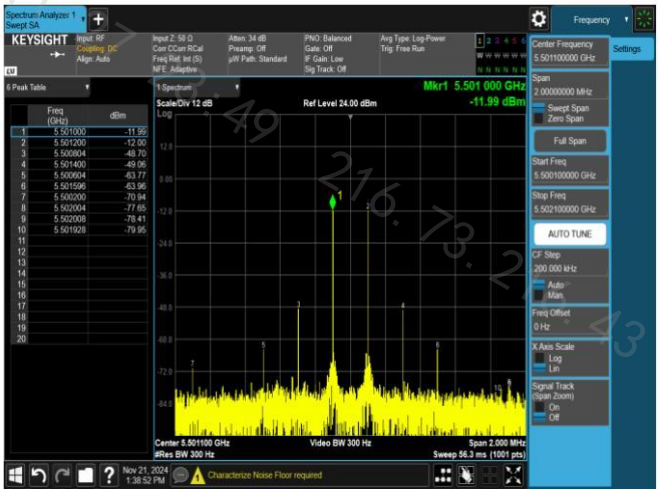


图 25 TX OIP3（5.5GHz 频段）

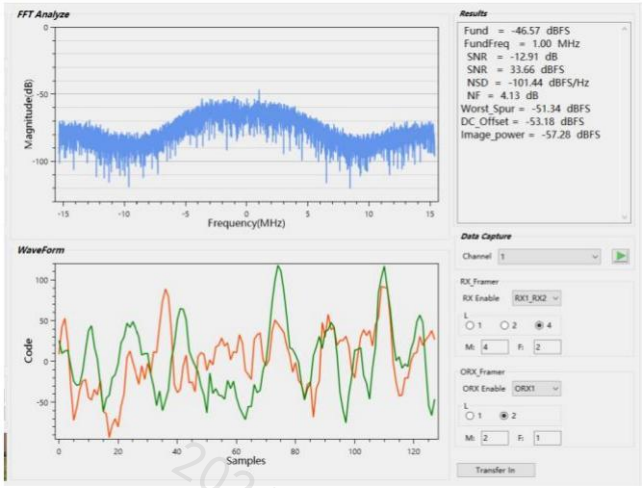


图 26 RX NF（800MHz 频段）

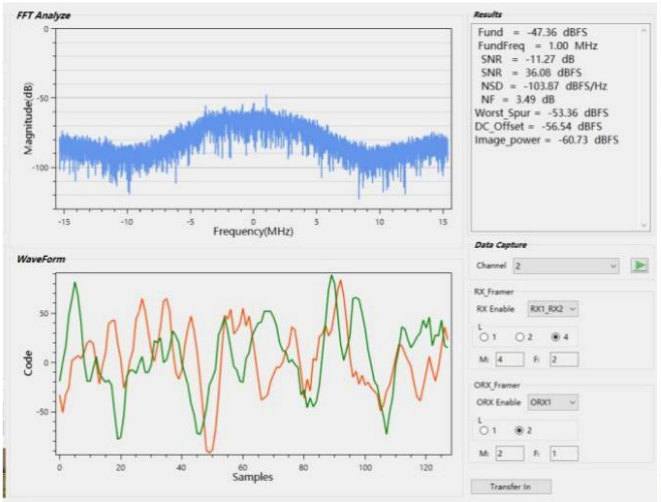


图 27 RX NF（2400MHz 频段）

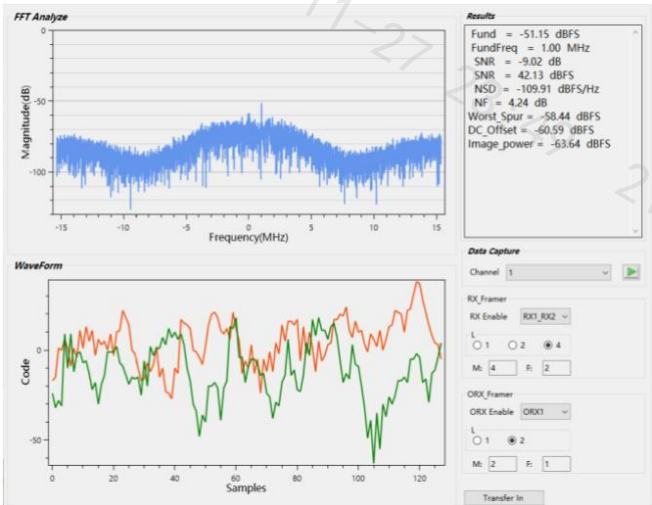


图 28 RX NF（5500MHz 频段）

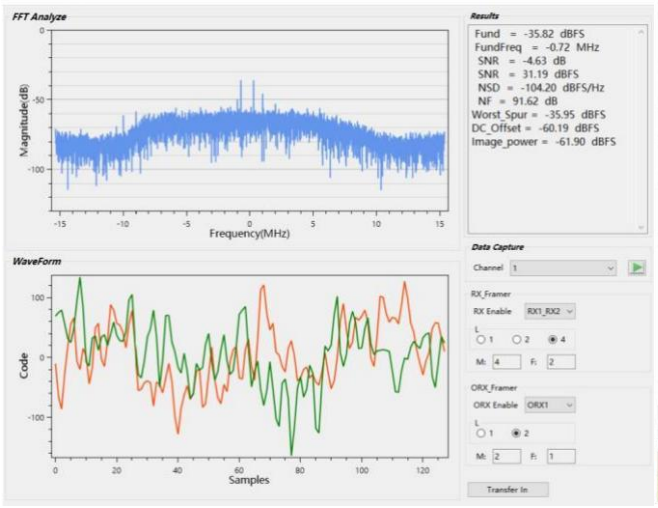


图 29 RX IIP2（800MHz 频段）

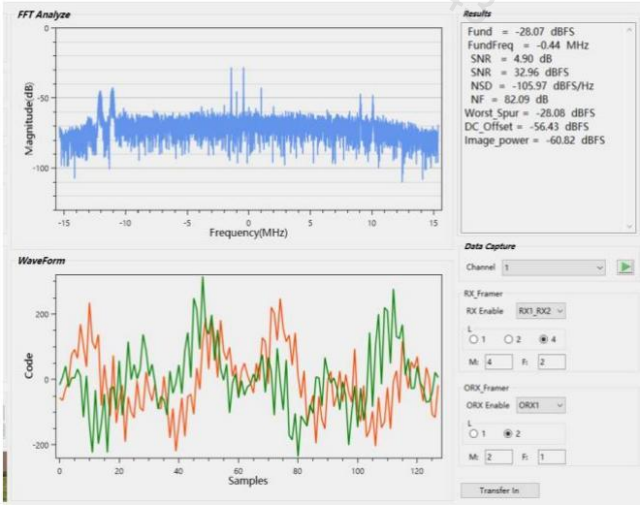


图 30 RX IIP2（2400MHz 频段）

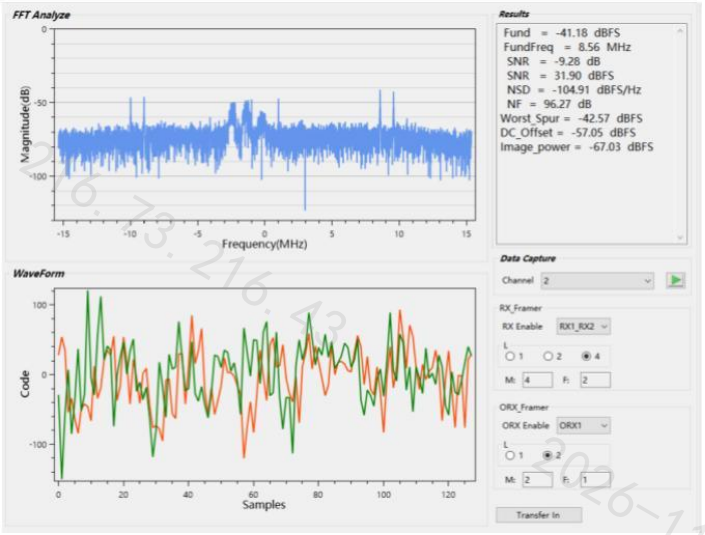


图 31 RX IIP2（5500MHz 频段）

注：IIP2 测试，800MHz 输入双音频率为 830MHz 和 831MHz，此时带宽为 10MHz，二阶交调频率位于基带±1MHz 处，2400MHz 输入双音频率为 2460MHz 和 2461MHz，此时带宽为 20MHz，二阶交调频率位于基带±1MHz 处，5500MHz 输入双音频率为 5570MHz 和 5571MHz，此时带宽为 50MHz，二阶交调频率位于基带±1MHz 处。

12. 典型应用线路图

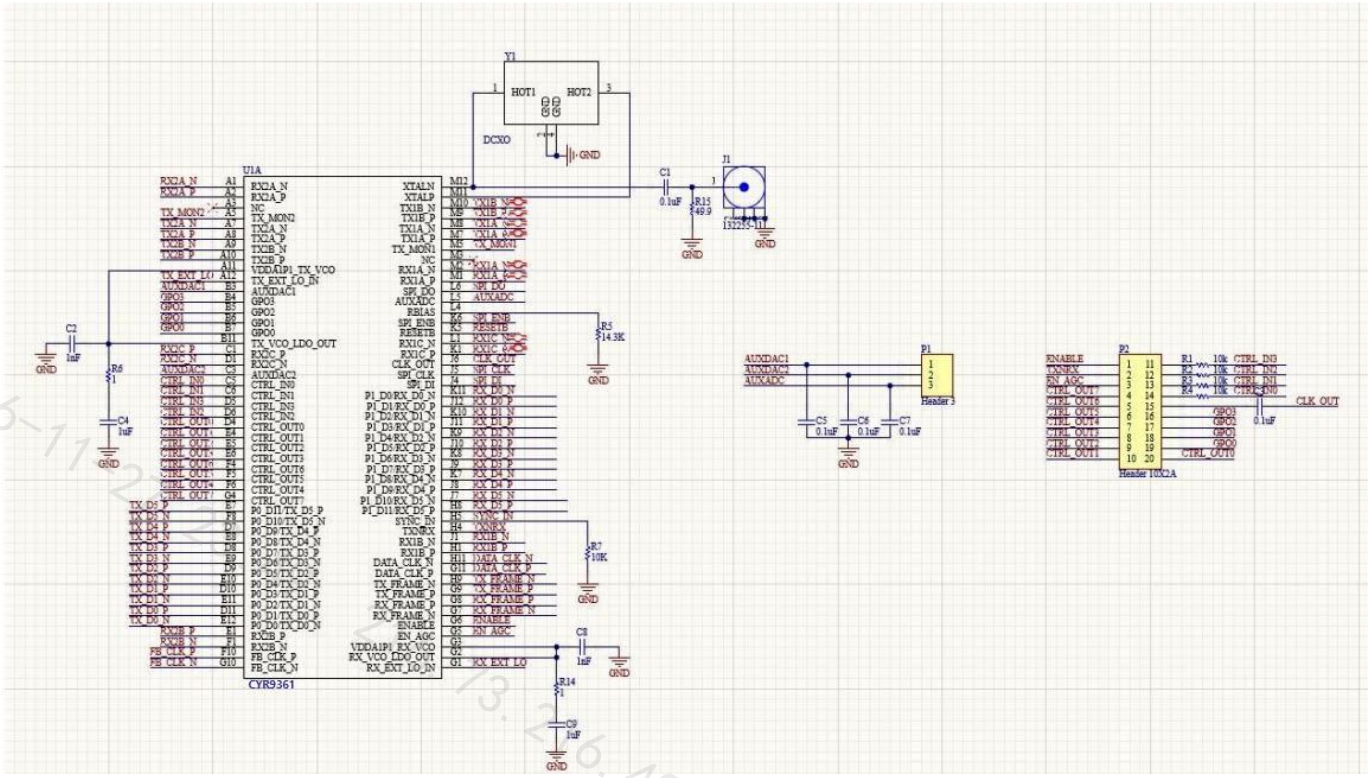


图 32 CYR9361 线路图

13. 注意事项

13.1. 产品安装注意事项：

1) 焊接时请注意器件方向，以免焊错。
2) 调试电路所用的仪器、仪表一定要有良好的统一接地。PCB 板设计请务必保持接地良好、电源去耦。
3) 应注意不要将电源接反及输入输出端与电源短路，易造成电路损坏。
4) 电装说明：
   a. 本产品潮湿敏感等级为 MSL3，将产品从防潮袋中取出、进行干燥储存或烘干后到回流焊前所暴露在外部环境的允许时间为：≤ 30°C/60RH%，168h；
   b. 若器件储存条件无法控制或追溯，请在电装前严格执行 125℃，8h 烘烤；
   c. 若电装环境温湿度无法保证≤ 30°C/60RH%，请在烘烤后 12h 内完成焊接；
   d. 产品烘烤后，极易产生静电，所有操作过程需要注意 ESD 防护；
   e. 板级组装采用有铅回流焊（CYR9361）时，推荐峰值温度范围 210°C ~ 235°C，最大峰值温度不建议超过 235℃，峰值温度±5℃以内停留时间≤ 20s，液相线以上停留时间 60~90s，升温速率 2 ~ 4°C/s，降温速率 2 ~ 6°C/s；
   f. 板级组装采用无铅回流焊（SAC305）时，推荐峰值温度范围 230°C ~ 245°C，最大峰值温度不建议超过 260℃，峰值温度±5℃以内停留时间≤ 20s，液相线以上停留时间 60~90s，升温速率 2 ~ 4°C/s，降温速率 2 ~ 6°C/s
   g. 若混合电装工艺需要温度升高，应保证器件本体温度最高不超过 260℃（器件本体温度测量点位于回流焊时器件上表面）；
   h. 本产品采用无铅/有铅焊球。

13.2. 产品使用注意事项：

1) 上电要求：推荐模拟电源、数字电源同时上电或模拟电源先上电
2) LDO 输出端的去耦电容采用 ESR 较小的电容。
3) 应用中，建议 PCB 大面积接地。这样可以消除由于接地点的不同而可能存在的电位不同，同时可以降低电路板产生的电容对电路的影响。
4) 每个电源引脚需要就近接 1 个 1μF 或 0.1μF 的电容。
5) 模拟输入部分，如果采取差分输入，差分输入部分走线必须等长。
6) 数字电源和模拟电源需要分开。

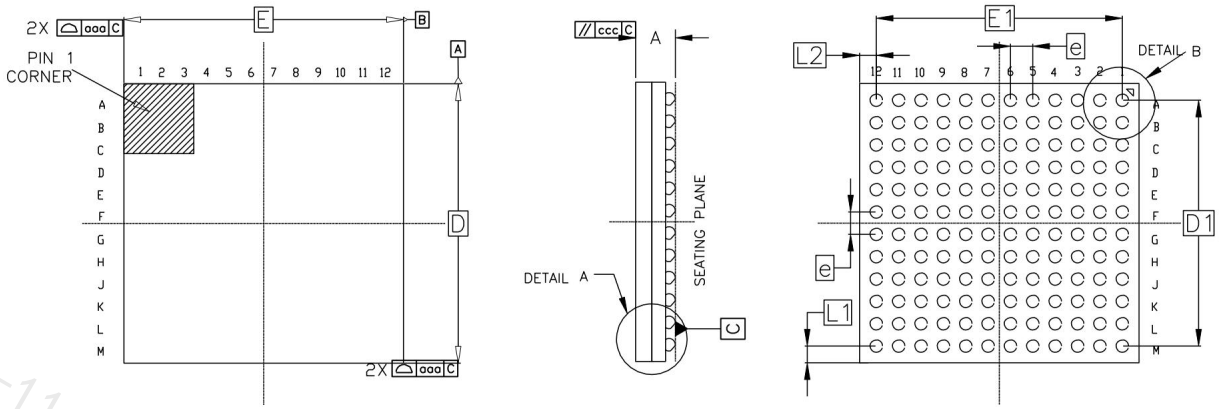
13.3. 产品防护注意事项：

该电路所有引出端均设计有静电保护结构，不过大能量电脉冲仍然可能损坏电路，因此在测试、搬运、储藏过程中，应注意静电防护。

14. 常见故障及处理办法

1. 无输出信号：检查时钟引出端是否有时钟输入，检查电源、地信号连接是否正常，保证输入电压、基准电压准确；
2. 输出数据抖动：检查外部电路和连接，保证基准电压稳定。
3. 器件工作不稳定：检查电源，保证电源电压稳定。

15. 封装信息



TOP VIEW　　SIDE VIEW　　BOTTOM VIEW

单位为毫米

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	1.270	1.420	1.570
A1	0.300	0.350	0.400
A2	0.440	0.490	0.540
A3		0.58 BASIC	
D	9.9	10.0	10.1
D1		8.8 BASIC	
E	9.9	10.0	10.1
E1		8.8 BASIC	
e		0.80 BASIC	
b	0.40	0.45	0.50
L1		0.60 REF	
L2		0.60 REF	
aaa		0.15	
ccc		0.20	
ddd		0.20	
eee		0.15	
fff		0.08	

16. 说明

如欲了解更多的产品及及公司信息，请联系公司办公室人员或登录公司网站：

联系电话：021-33885531

网址：https://mall.ichelps.com/

17. 本文档中的信息如有变更，恕不另行通知

请使用微信扫码进入
芯片助手ICHELPS小程序

查资料 查替代 查库存 查价格

招募中国区各省代理，联系电话：021-33885531