文档版本	修订日期	内容描述
1.0	2026-1-28	初版
1.1	2026-1-29	细节描述修正
1.2	2026-10-14	细节描述修正

2026-11-27 23:49 216.73.216.43

CYD9653L

4 通道 16 位 125MSPS 模数转换器

1. 特性

- 信噪比（SNR）：77dBFS（9.7MHz，VREF=1.3V）
- 信噪比（SNR）：75dBFS（9.7MHz，VREF=1.0V）
- 无杂散动态范围（SFDR）：85dBc（至奈奎斯特频率，VREF=1.3V）
- 无杂散动态范围（SFDR）：91dBc（至奈奎斯特频率，VREF=1.0V）
- 串行 LVDS 输出
- 模拟输入范围（可调）：2.0Vp-p/2.6Vp-p
- 1.8V 电源供电
- 低功耗：125MHz 模式每通道功耗≤195mW
- 微分非线性（DNL）：±0.6LSB
- 积分非线性（INL）：±5.0LSB
- 650MHz 全功率模拟输入带宽
- 串行端口控制：
- 全芯片、独立通道省电模式
- （Power Down）
- 内建、用户自定义测试模式
- 多芯片同步和时钟分频功能
- 待机模式

2. 应用

- 医疗成像
- 高速成像
- 测试设备
- 卫星、无线电接收机

3. 产品概述

CYD9653L 是一款 4 通道 16 位 125MSPS 采样率的模数转换器（Analog-to-Digital Converter，ADC），专门针对低功耗、小尺寸和使用灵活性进行开发设计。该产品最高转换速率可以达到 125MSPS，具有优异的动态性能和超低功耗特性，适用于多种应用场景。

本产品采用 1.8V 单电源供电和 LVPECL/CMOS/LVDS 兼容型采样时钟信号，无需外部基准电压源和驱动器即可满足多种应用需求。

本产品采用 48 引脚封装（QFN48）。

4. 订购信息

物料编号	温度范围	等级类型	封装
CYD9653LQ48I	-40℃- 85℃	工业级	QFN48

5. 功能框图

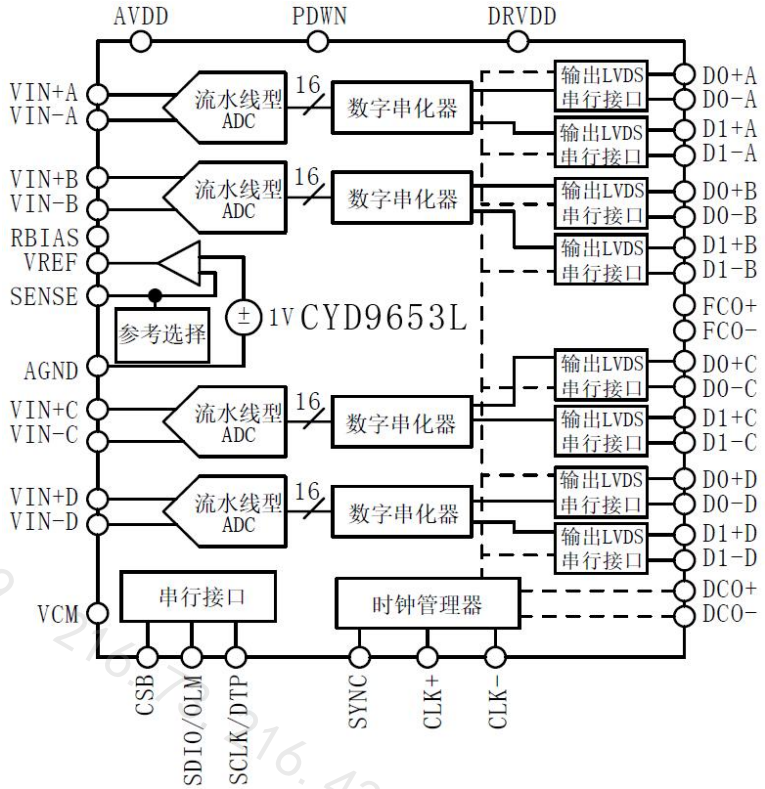

图 1 CYD9653L 功能框图

6. 引脚定义

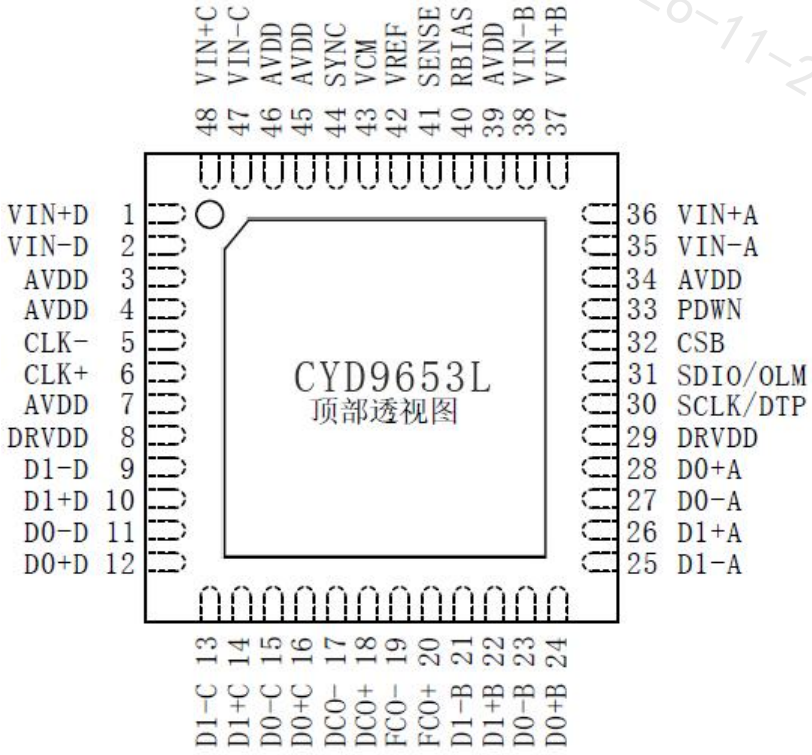

图 2 CYD9653L 引脚示意图

表 1 引脚定义

引出端号	符号	名称	引出端号	符号	名称
0	GND_A	模拟地、裸露焊盘			
1	VIN+D	ADC D 通道模拟输入(+)	25	D1-A	A 通道输出 1(-)
2	VIN-D	ADC D 通道模拟输入(-)	26	D1+A	A 通道输出 1(+)
3	AVDD	1.8V 模拟电源引脚	27	D0-A	A 通道输出 0(-)
4	AVDD	1.8V 模拟电源引脚	28	D0+A	A 通道输出 0(+)
5	CLK-	差分时钟(-)	29	DRVDD	数字输出驱动电源引脚
6	CLK+	差分时钟(+)	30	SCLK/DTP	SPI 时钟输入
7	AVDD	1.8V 模拟电源引脚	31	SDIO/OLM	SPI 数据输入和输出
8	DRVDD	数字输出驱动电源引脚	32	CSB	SPI 片选信号，低电平有效使能，内置 30kΩ上拉电阻
9	D1-D	D 通道输出 1(-)	33	PDWN	数字输入(高电平=关断；低电平=工作)
10	D1+D	D 通道输出 1(+)	34	AVDD	1.8V 模拟电源引脚
11	D0-D	D 通道输出 0(-)	35	VIN-A	ADC A 通道模拟输入(-)
12	D0+D	D 通道输出 0(+)	36	VIN+A	ADC A 通道模拟输入(+)
13	D1-C	C 通道输出 1(-)	37	VIN+B	ADC B 通道模拟输入(+)
14	D1+C	C 通道输出 1(+)	38	VIN-B	ADC B 通道模拟输入(-)
15	D0-C	C 通道输出 0(-)	39	AVDD	1.8V 模拟电源引脚
16	D0+C	C 通道输出 0(+)	40	RBIAS	模拟电路偏置
17	DCO-	数据时钟输出(-)	41	SENSE	基准电压模式选择
18	DCO+	数据时钟输出(+)	42	VREF	基准电压输入和输出引脚
19	FCO-	帧时钟输出(-)	43	VCM	模拟输入共模电压
20	FCO+	帧时钟输出(+)	44	SYNC	数字输入，时钟分频器的同步输入
21	D1-B	B 通道输出 1(-)	45	AVDD	1.8V 模拟电源引脚
22	D1+B	B 通道输出 1(+)	46	AVDD	1.8V 模拟电源引脚
23	D0-B	B 通道输出 0(-)	47	VIN-C	ADC C 通道模拟输入(-)
24	D0+B	B 通道输出 0(+)	48	VIN+C	ADC C 通道模拟输入(+)

7. 推荐工作条件

- 工作频率（f_{CLK}）：≤125MHz
- 模拟电源电压（A_{VDD}）：1.75V~1.9V
- 数字电源电压（D_{VDD}）：1.75V~1.9V
- 模拟输入共模电压（V_{CM}）：0.7V~1.1V
- 工作环境温度（T_A）：-40℃~85℃
- 输入信号幅度范围（峰峰值）：$V_{IN(P-P)}$≤2V~2.6V

8. 绝对最大额定值

表 2 绝对最大额定值

参数	额定值
电气	
AVDD至AGND	−0.3V ~ +2.0V
DRVDD至AGND	−0.3V ~ +2.0V
数字输出（D0±x，D1±x，DCO+，DCO−，FCO+，FCO−）至AGND	−0.3V ~ +2.0V
CLK_P、CLK_N至AGND	−0.3V ~ +2.0V
VINx+、VINx−至AGND	−0.3V ~ +2.0V
SCLK/DTP、SDIO/OLM、CSB至AGND	−0.3V ~ +2.0V
SYNC、PDWN至AGND	−0.3V ~ +2.0V
RBIAS、VCM至AGND	−0.3V ~ +2.0V
VREF、SENSE至AGND	−0.3V ~ +2.0V
环境	
工作温度范围（环境温度，V_{REF} = 1.0 V）	−40°C ~ +85°C
工作温度范围（环境温度，V_{REF} = 1.3 V）	−40°C ~ +85°C
最高结温	150°C
引脚温度（焊接，10秒）	280°C
存储温度范围（环境温度）	−65°C ~ +150°C

注意：超出表 2 所述绝对最大额定值可能会导致器件永久性损坏，长期在绝对最大额定值条件下工作会影响器件可靠性。

9. ESD 敏感器件

本产品为 ESD 敏感器件，实验室条件下人体模型可以满足 2000V ESD 防护要求。由于带电器件、电路板可能会在没有察觉情况下放电，尽管本产品具有专利或专有保护电路，但在遇到高能量 ESD 时可能会引发器件损坏。因此，应当采取适当的 ESD 防范措施避免器件性能下降或功能丧失。

10. 性能指标

10.1 直流规格

除非另外说明，AVDD=1.8V，DRVDD=1.8V，2.0Vp-p 满量程差分输入，幅度−1.0dBFS，VREF=1.0V，DCS 关闭。

表 3 直流性能规格

参数	温度	最小值	典型值	最大值	单位
分辨率	25°C		16		Bits
精度					
无失码	全温		设计保证		
失调误差	全温		−0.3		%FSR
失调匹配	全温		+0.2		%FSR
增益误差	全温		−5		%FSR
增益匹配	全温		1.1		%FSR
微分非线性（DNL）	全温	−0.99		+1.5	LSB
	25°C		±0.7		LSB
积分非线性（INL）	25°C		±5.0		LSB
	全温	−15		15	LSB
温度漂移					
失调误差	全温		3.5		ppm/°C
内部基准电压					
输出电压（1.0V 模式）	全温	0.95	1.0	1.05	V
负载调整 1.0mA（V_{REF} = 1.0V）	全温		2		mV
输入电阻	25°C		7.5		kΩ
输入等效噪声					
V_{REF} = 1.0V	25°C		2.7		LSB rms
模拟输入					
差分输入电压（V_{REF} = 1.0V）	全温		2		Vp-p
共模电压	全温		0.9		V
共模范围	25°C	0.7		1.1	V
差分输入电压	25°C		2.6		kΩ
差分输入电容	25°C		7		pF
电源					
AVDD	全温		1.8		V
DRVDD	全温		1.8		V
I_{AVDD}	全温		303		mA
I_{DRVDD}（ANSI-644 模式）	全温		61		mA
I_{DRVDD}（缩小范围模式）	25°C		46		mA
总功耗					
直流输入	全温		600		mW
正弦输入（四通道，包括输出驱动器，ANSI-	全温		660		mW
正弦输入（四通道，包括输出驱动器，缩小范	25°C		630		mW
省电模式	25°C		8		mW
待机模式	全温		360		mW

10.2 交流规格

除非另外说明，AVDD = 1.8V，DRVDD = 1.8V，2.0Vp-p 满量程差分输入，幅度−1.0dBFS，VREF = 1.0V，DCS 关闭。

表 4 交流性能规格

参数	温度	最小值	典型值	最大值	单位
信噪比（SNR）					
f_{IN} = 9.7MHz	25°C		76		dBFS
f_{IN} = 15MHz	25°C		75		dBFS
f_{IN} = 70MHz	全温	70	73		dBFS
f_{IN} = 128MHz	25°C		70		dBFS
f_{IN} = 200MHz	25°C		68		dBFS
信噪失真比（SINAD）					
f_{IN} = 9.7MHz	25°C		75		dBFS
f_{IN} = 15MHz	25°C		74		dBFS
f_{IN} = 70MHz	全温	69	72		dBFS
f_{IN} = 128MHz	25°C		69		dBFS
f_{IN} = 200MHz	25°C		67		dBFS
有效位数（ENOB）					
f_{IN} = 9.7MHz	25°C		12.3		Bits
f_{IN} = 15MHz	25°C		12.1		Bits
f_{IN} = 70MHz	全温	11.3	11.8		Bits
f_{IN} = 128MHz	25°C		11.3		Bits
f_{IN} = 200MHz	25°C		11.0		Bits
无杂散动态范围（SFDR）					
f_{IN} = 9.7MHz	25°C		90		dBc
f_{IN} = 15MHz	25°C		84		dBc
f_{IN} = 70MHz	全温	78	82		dBc
f_{IN} = 128MHz	25°C		81		dBc
f_{IN} = 200MHz	25°C		77		dBc
最差谐波（二阶或三阶）					
f_{IN} = 9.7MHz	25°C		−90		dBc
f_{IN} = 15MHz	25°C		−84		dBc
f_{IN} = 70MHz	全温	−78	−82		dBc
f_{IN} = 128MHz	25°C		−81		dBc
f_{IN} = 200MHz	25°C		−77		dBc
最差其他谐波（二阶三阶除外）					
f_{IN} = 9.7MHz	25°C		−88		dBc
f_{IN} = 15MHz	25°C		−86		dBc
f_{IN} = 70MHz	全温		−84	−81	dBc
f_{IN} = 128MHz	25°C		−82		dBc
f_{IN} = 200MHz	25°C		−80		dBc
串扰	25°C		−80		dB

串扰（超量程情况）	25°C		−77		dB
全功率模拟输入带宽	25°C		650		MHz

10.3 数字规格

除非另外说明，AVDD = 1.8V，DRVDD = 1.8V

表 5 数字规格

参数	温度	最小值	典型值	最大值	单位
时钟输入（CLK+、CLK-）					
逻辑兼容			CMOS/ LVDS/ LVPECL		
差分输入电压范围	全温	0.2		3.6	V_{p-p}
输入电压范围	全温	AGND-0.2		AVDD+ 0.2	V
输入共模电压	全温		0.9		V
输入电阻（差分）	25℃		15		kΩ
输入电容	25℃		4		pF
逻辑输入（PDWN、SYNC、SCLK）					
逻辑 1 电压范围	全温	1.2		AVDD+ 0.2	V
逻辑 0 电压范围	全温	0		0.75	V
输入电阻	25℃		30		kΩ
输入电容	25℃		2		pF
逻辑输入（CSB）					
逻辑 1 电压范围	全温	1.2		AVDD+ 0.2	V
逻辑 0 电压范围	全温	0		0.75	V
输入电阻	25℃		26		kΩ
输入电容	25℃		2		pF
逻辑输入（SDIO）					
逻辑 1 电压范围	全温	1.2		AVDD+0.2	V
逻辑 0 电压范围	全温	0		0.75	V
输入电阻	25℃		26		kΩ
输入电容	25℃		5		pF
逻辑输出（SDIO）					
逻辑 1 电压（I_{OH} = 800μA）	全温		1.79		V
逻辑 0 电压（I_{OL} = 50 μA）	全温			0.05	V
数字输出（D0±x、D1±x），ANSI-644					
逻辑兼容			LVDS		
差分输出电压（V_{OD}）	全温	290	345	400	mV
输出失调电压（V_{OS}）	全温	1.15	1.25	1.35	V
输出码值（默认值）			二进制 补码		

数字输出（D0±x、D1±x），低功耗，减少信号选项					
逻辑兼容			LVDS		
差分输出电压（V_{OD}）	全温	160	200	230	mV
输出失调电压（V_{OS}）	全温	1.15	1.25	1.35	V
输出码值（默认值）			二进制补码		

10.4 开关规格

除非另外说明，AVDD = 1.8V，DRVDD = 1.8V

表 6 开关规格

参数	温度	最小值	典型值	最大值	单位
时钟参数					
输入时钟速率	全温	20		1000	MHz
转换速率	全温	40		125	MSPS
时钟高电平脉冲宽度（t_{EH}）	全温		4		ns
时钟低电平脉冲宽度（t_{EL}）	全温		4		ns
数据输出参数					
传输延迟（t_{PD}）		1.5	2.3	3.1	ns
输出上升时间（t_R）（20% ~ 80%）	全温		300		ps
输出下降时间（t_F）（20% ~ 80%）	全温		300		ps
FCO 传输延迟（t_{FCO}）	全温	1.5	2.3	3.1	ns
DCO 传输延迟（t_{CPD}）	全温		t_{FCO} + (t_{SAMPLE}/16)		ns
DCO 与数据之间延迟（t_{DATA}）	全温	(t_{SAMPLE}/16) -300	(t_{SAMPLE}/16)	(t_{SAMPLE}/16) + 300	ps
DCO 与 FCO 之间延迟（t_{FRAME}）	全温	(t_{SAMPLE}/16) -300	(t_{SAMPLE}/16)	(t_{SAMPLE}/16) + 300	ps
通道延迟（t_{LD}）	全温		90		ps
数据偏移（$t_{DATA-MAX}$ - $t_{DATA-MIN}$）			±50	±200	ps
唤醒时间（待机模式）	全温		250		ns
唤醒时间（低功耗模式）	25°C		375		μs
流水线延迟	25°C		16		时钟周期
孔径参数					
孔径延迟（t_A）	25°C		1		ns
孔径不确定性(抖动，t_J)	25°C		135		fs rms
超范围恢复时间	25°C		1		时钟周期

注：t_{SAMPLE}/16 是基于双通道 LVDS 数据输出的位数。t_{SAMPLE} = 1/f_S。

10.5 时序规格

表 7 时序规格

参数	说明	限值	单位
SPI 时序要求			
t_{DS}	数据与 SCLK 上升沿之间的建立时间	2	ns（最小值）
t_{DH}	数据与 SCLK 上升沿之间的保持时间	2	ns（最小值）
t_{CLK}	SCLK 周期	40	ns（最小值）
t_S	CSB 与 SCLK 之间的建立时间	2	ns（最小值）
t_H	CSB 与 SCLK 之间的保持时间	2	ns（最小值）
t_{HIGH}	SCLK 高电平脉冲宽度	10	ns（最小值）
t_{LOW}	SCLK 低电平脉冲宽度	10	ns（最小值）
t_{EN_SDIO}	相对 SCLK 下降沿，SDIO 引脚从输入状态切换到输出状态需要时间	10	ns（最小值）
t_{DIS_SDIO}	相对 SCLK 下降沿，SDIO 引脚从输出状态切换到输入状态需要时间	10	ns（最小值）

10.6 时序图

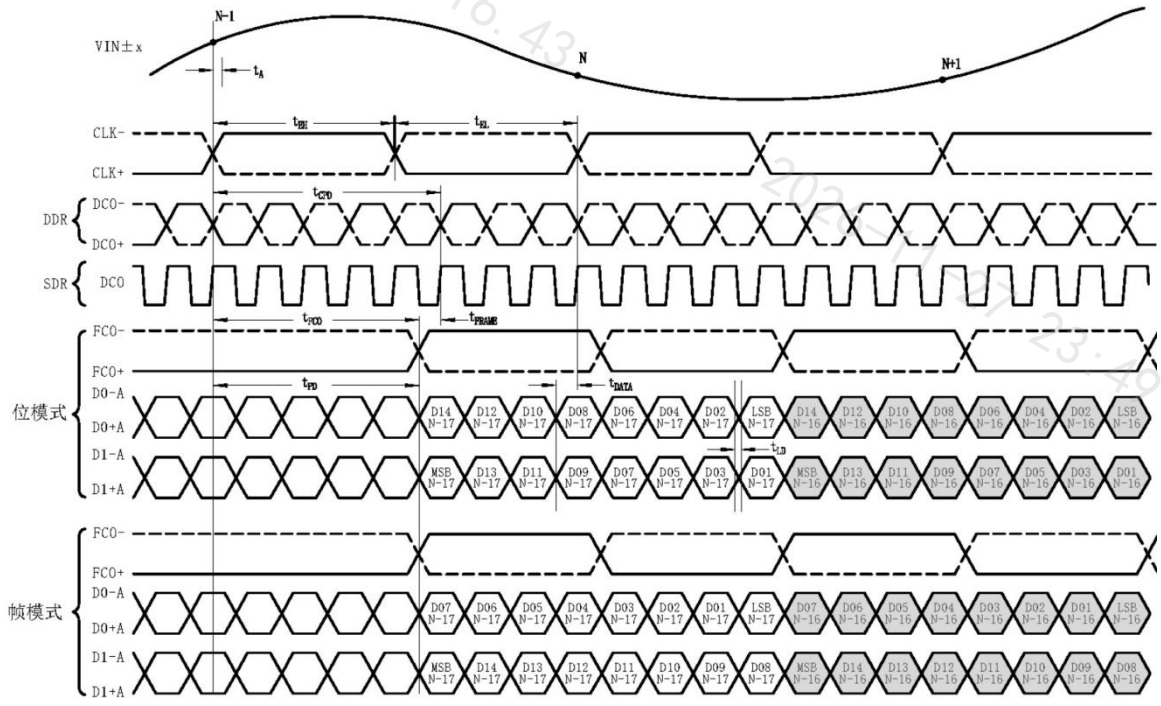

图 3 16-Bit DDR/SDR、双通道、1×帧模式（默认）

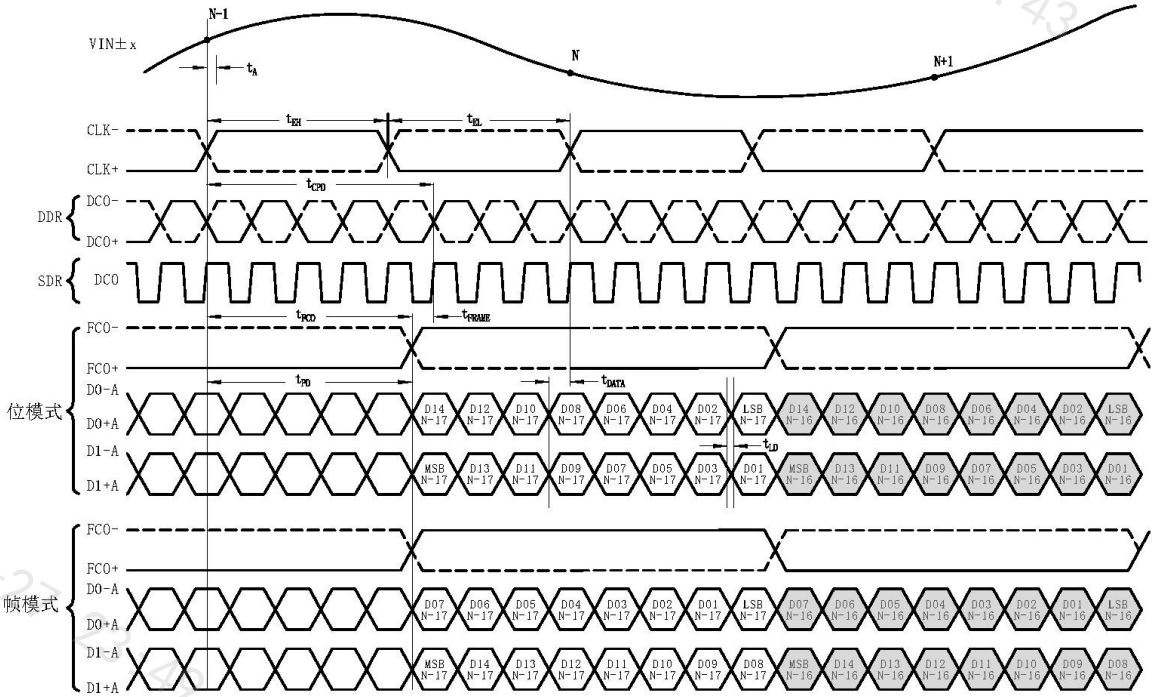

图 4 16-Bit DDR、双通道、2×帧模式

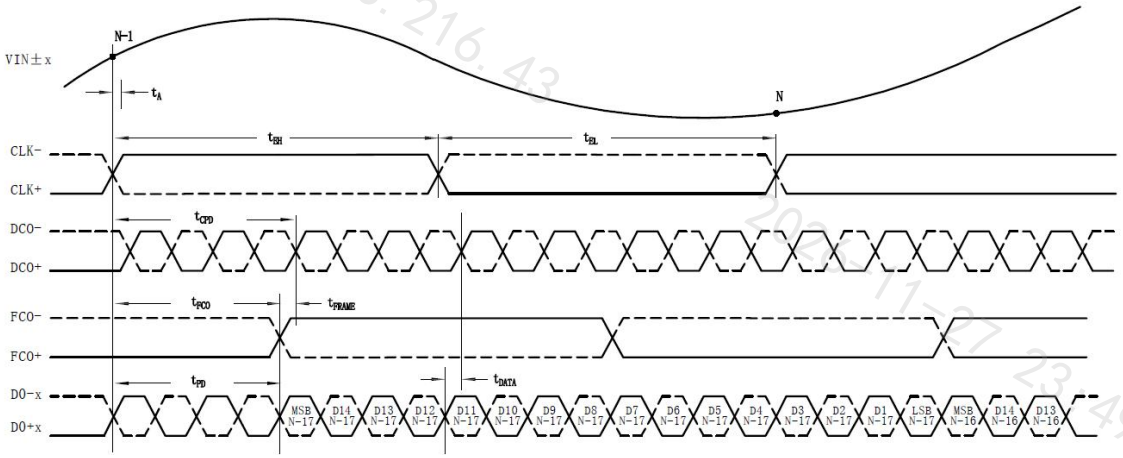

图 5 逐字 DDR、单通道、1×帧、16-Bit 输出模式

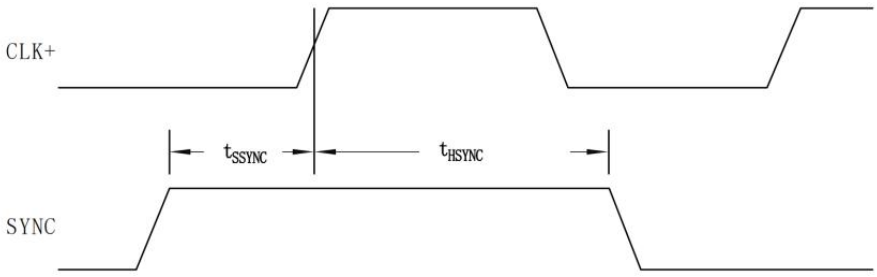

图 6 SYNC 输入时序要求

11. 典型性能参数

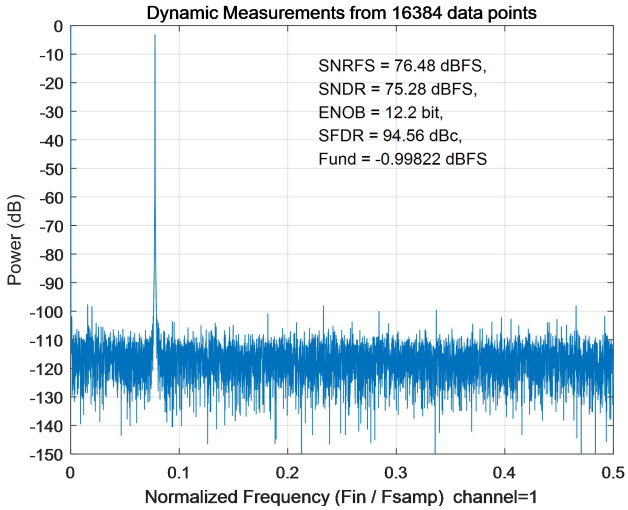

图 7 V_{AVDD} = V_{DRVDD} = 1.8V，f_{IN} = 9.7MHz，f_{SAMPLE} = 125MSPS，T_A = 25℃ FFT

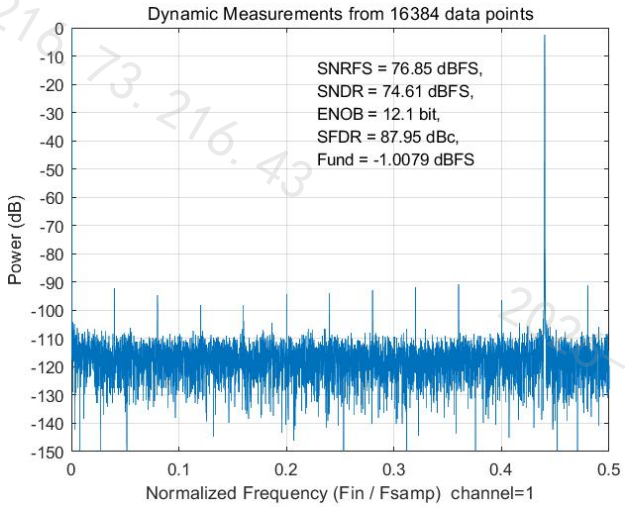

图 8 V_{AVDD} = V_{DRVDD} = 1.8V，f_{IN} =70MHz，f_{SAMPLE} = 125MSPS，T_A = 25℃ FFT

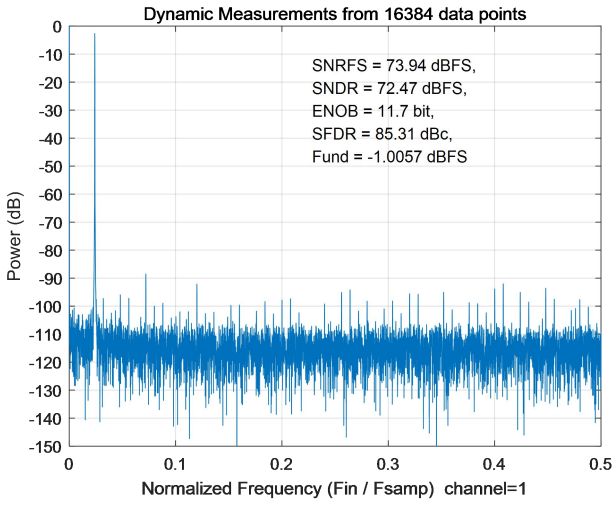

图 9 V_{AVDD} = V_{DRVDD} = 1.8V，f_{IN} =128MHz，f_{SAMPLE} = 125MSPS，T_A = 25℃ FFT

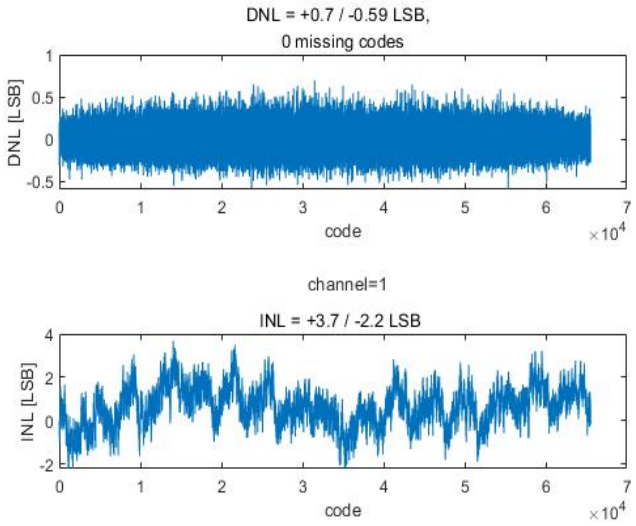

图 10 V_{AVDD} = V_{DRVDD} = 1.8V，f_{IN} =9.7MHz，f_{SAMPLE} = 125MSPS，T_A = 25℃ 静态指标

12. 等效电路

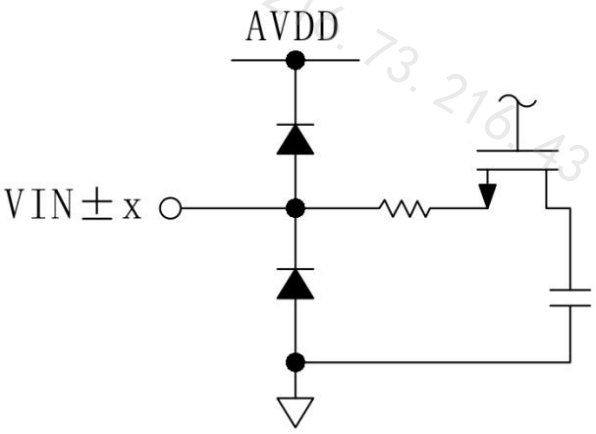

图 11 等效模拟输入电路

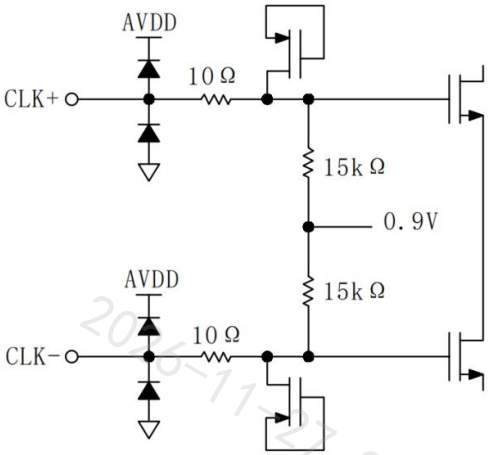

图 12 等效时钟输入电路

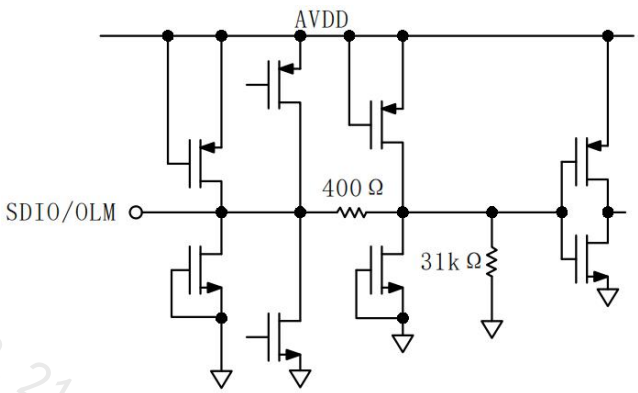

图 13 等效 SDIO/OLM 输入电路

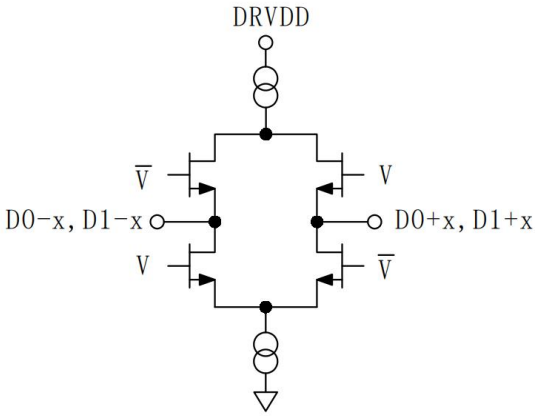

图 14 等效数字输出电路

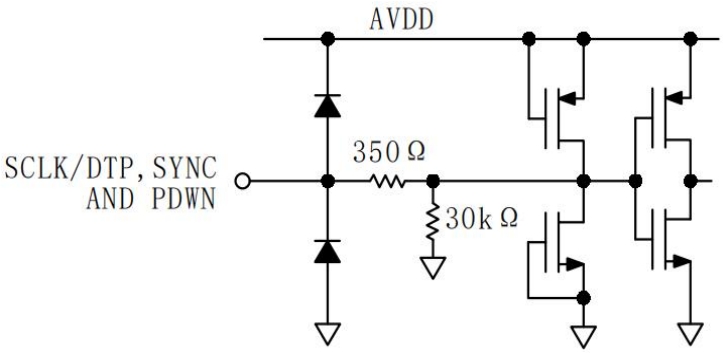

图 15 等效 SCLK/DTP,SYNC 和 PDWN 输入电路

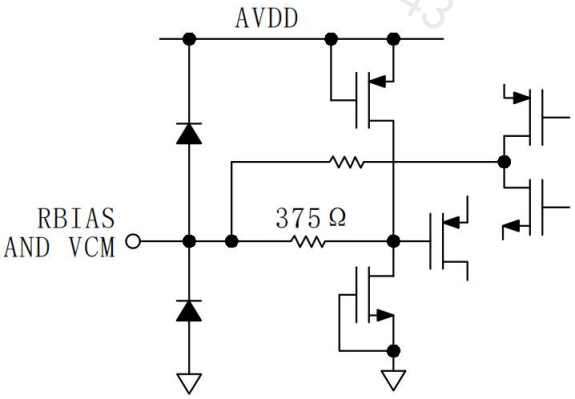

图 16 等效 RBIAS 和 VCM 电路

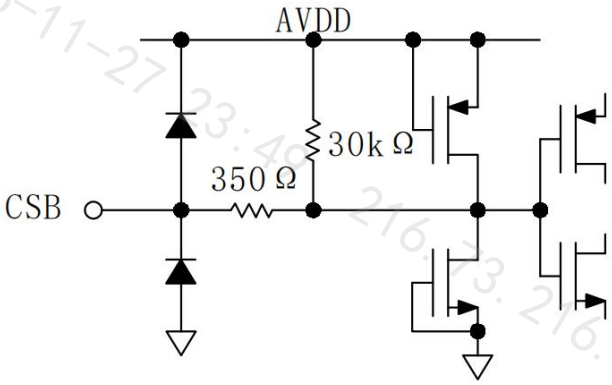

图 17 等效 CS 输入电路

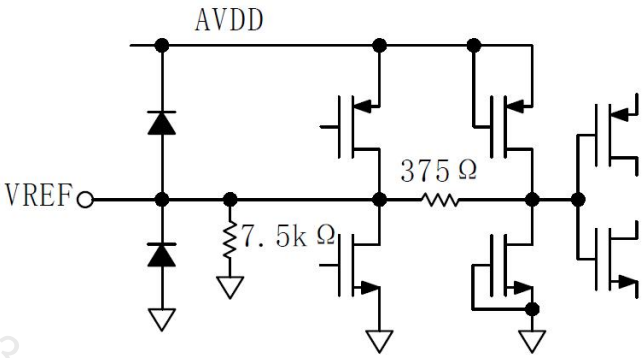

图 18 等效 VREF 电路

13. 工作原理

CYD96531L 是一款采用多级流水线式架构的模数转换器，其中每一级都具备充分的重叠，以确保对上一级的 Flash 型 ADC 的误差进行校正。各级量化输出结果组合后，通过数字校正逻辑处理，最终形成一个 16 位转换结果。该转换数据以 16 位输出格式由串行器发送。流水线式设计允许第一级在处理新输入样本同时，其他各级继续处理之前样本。采样操作在时钟信号上升沿进行。

流水线中每一级（最后一级除外）都由一个低分辨率 Flash 型 ADC、一个与之相连的开关电容 DAC 和一个级间余量放大器组成。余量放大器负责放大重构 DAC 的输出与 Flash 型 ADC 的输入差值并提供给流水线下一级。为了便于对 Flash 型 ADC 误差进行数字校正，每一级设定了一位冗余量。最后一级仅由一个 Flash 型 ADC 组成。输出级模块可以实现数据对准、错误校正，并将数据传输到输出缓冲器，之后对数据进行串行化处理并确保其与帧和数据时钟对齐。

13.1 模拟输入

CYD96531L 的模拟输入端采用了差分开关电容电路设计，专门用于处理差分输入信号。这种电路支持较宽的共模范围，同时仍能保持出色的性能。当输入共模电压为中间电源电压时，信号相关误差最小并能实现最佳性能。

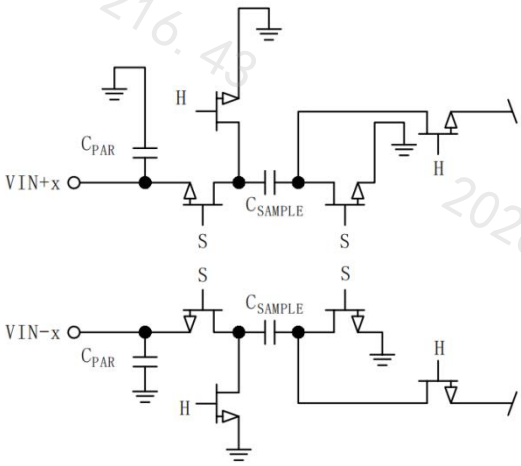

图 19 开关电容输入电路

输入电路依据时钟信号在采样与保持模式之间互相切换（参考图 19）。在采样模式下，信号源须对采样电容充电并在半个时钟周期内完成建立。每个输入端都串联了一个小电阻，有助于减少从驱动源输出级注入的瞬态峰值电流。除此之外，输入端每一侧可以使用低 Q 电感或铁氧体磁珠以减小模拟输入端高差分电容，从而实现 ADC 最大带宽。在高中频（IF）下驱动转换器前端时，必须使用低 Q 电感或铁氧体磁珠。输入端可以使用一个差分电容或两个单端电容，以提供匹配的无源网络。这样会在输入端形成一个低通滤波器，用于抑制无用的宽带噪声。

13.2 输入共模电平

CYD96531L 的模拟输入端无内部直流偏置，用户在交流耦合应用中必须为该产品模拟输入端提供外部直流偏置。为了达到最佳效果，建议用户将输入共模电平设置为 AVDD/2。该器件在更宽共模电压范围内也能表现出

良好的性能。CYD96531L 通过引脚 VCM 提供片内基准电压，必须使用一个 0.1 μF 的电容将 VCM 引脚旁路到地。在差分配置中，将器件输入设置为最大范围可实现最高 SNR 性能。

13.3 差分输入配置

实现对 CYD96531L 的驱动分为有源、无源等多种方式，通过差分方式驱动模拟输入可以获得最佳性能。在基带应用中，利用差分巴伦配置驱动 CYD96531L 能够为 ADC 提供出色的性能和灵活的接口（参考图 20）。在以 SNR 为关键参数的应用中，由于绝大部分放大器噪声性能不足实现 CYD96531L 的真实性能，输入配置需采用差分变压器耦合（参考图 21）。对于以上应用配置，分流电容值 C 需要和输入频谱配合使用，在转换高频模拟输入信号时，建议减小该电容容值或者移除该电容。不建议单端输入方式驱动本产品。

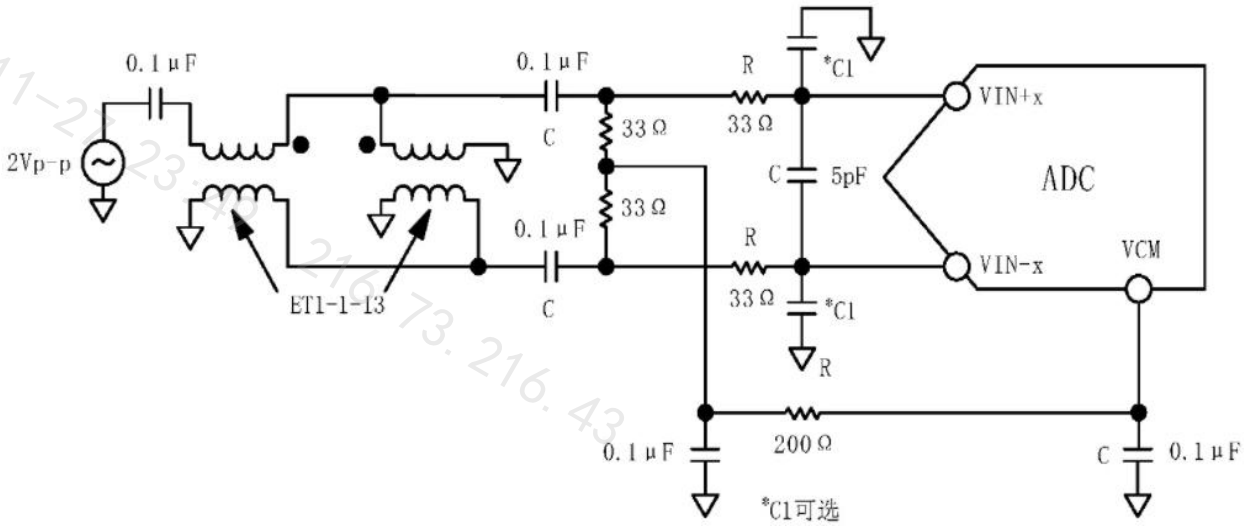

图 20 针对基带应用的差分双巴伦输入配置

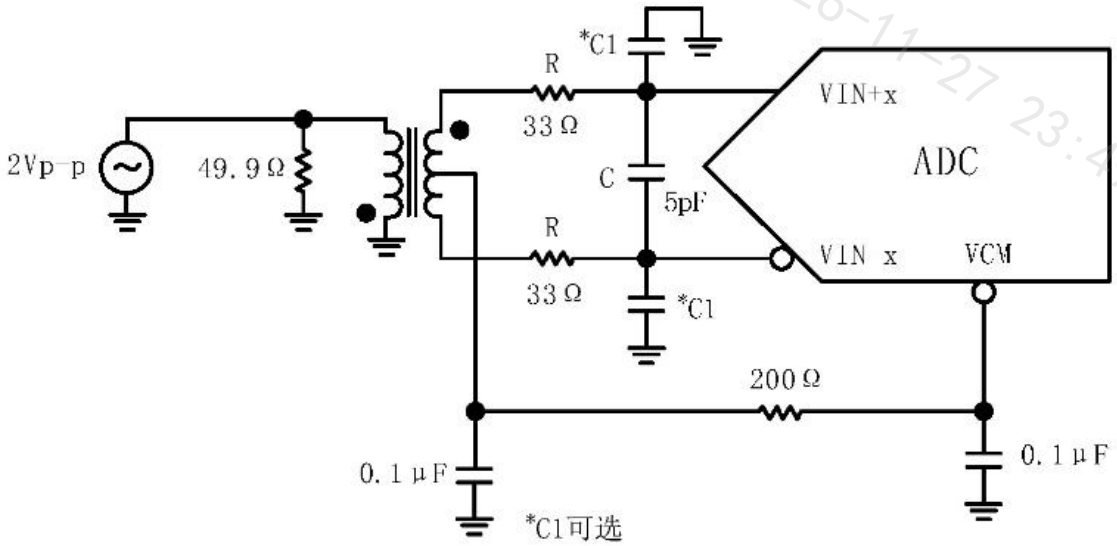

图 21 针对基带应用的差分变压器耦合配置

13.4 基准电压

CYD96531L 内部具有稳定、精确的基准电压源，可通过以下方式配置产生用户选择的基准电压：利用内部 1.0V 基准电压、外部施加的 1.0V 至 1.3V 基准电压或施加到内部基准电压的外部电阻分压器。基准电压源模式说明可参考下文“内部基准电压连接”和“外部基准电压”等章节。VREF 引脚应通过外部一个低等效串联电阻（ESR）1.0μF 电容和一个低 ESR 0.1μF 陶瓷电容的并联旁路至地。

13.5 内部基准电压连接

CYD96531L 内置比较器可检测出 SENSE 引脚电压，从而将基准电压配置成三种可能模式之一（参考表 8）。如果 SENSE 引脚接地，则基准电压放大器开关与内部电阻分压器相连（参考图 22），因而可将 VREF 引脚电压设为 1.0V。如果 SENSE 引脚连接到外部电阻分压器（参考图 23），则 VREF 定义为：

$$V_{REF} = 0.5 \times (1 + \frac{R2}{R1})$$

其中：7kΩ≤(R1+R2)≤10kΩ

表 8 基准电压配置表

选择模式	SENSE电压（V）	相应的VREF（V）	相应差分范围（Vp-p）
固定内部基准电压	AGND至0.2	1.0，内部	2.0
可编程内部基准电压源	连接外部R分频器（参考图23）	0.5×(1+R2/R1)	$2\times V_{REF}$
固定外部基准电压	AVDD	1.0至1.3，施加于外部VREF引脚	2.0至2.6

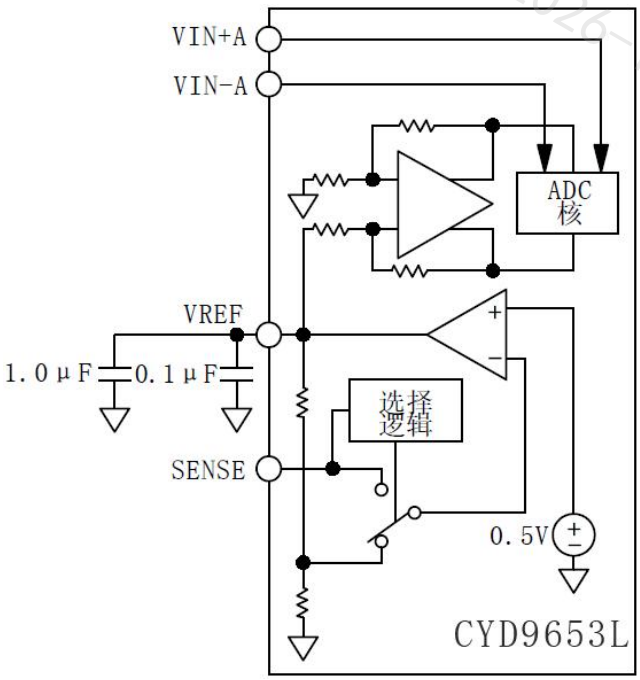

图 22 1.0V 内部基准电压配置

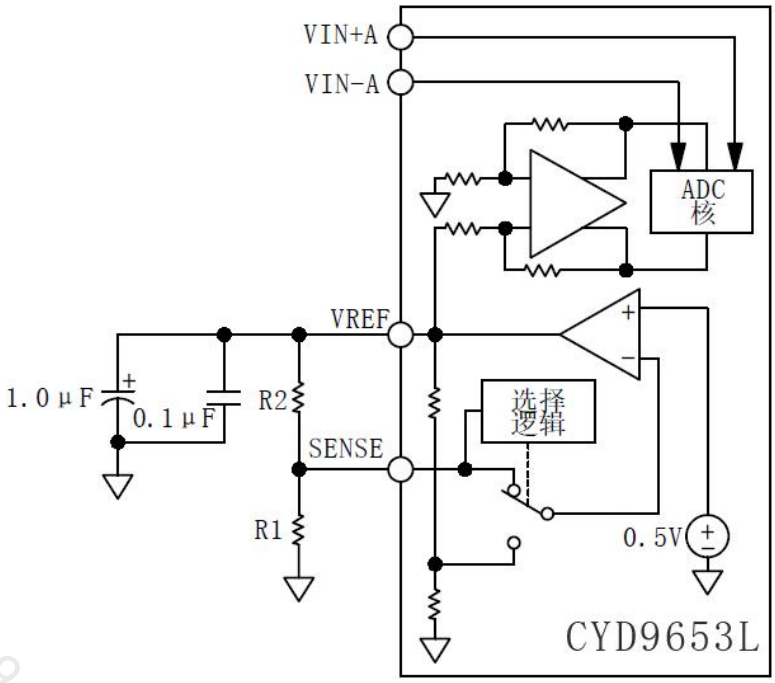

图 23 可编程内部基准电压配置

13.6 外部基准电压

使用外部基准电压可以进一步提高 ADC 的增益精度或改善热漂移特性。当 SENSE 引脚与 AVDD 相连时，内部基准电压源可以禁用，从而允许使用外部基准电压源。内部基准电压缓冲器对外部基准电压源的负载相当于 7.5kΩ的负载。内部缓冲器为 ADC 内核生成正、负满量程基准电压。不建议将 SENSE 引脚悬空。

13.7 时钟输入

CYD9653L 利用一个差分信号作为采样时钟输入端（CLK+和 CLK-）的时钟信号，因此可充分发挥芯片性能。该信号通常使用变压器或电容器交流耦合到 CLK+和 CLK-引脚内，这两个引脚有内部偏置（参考图 12），无需外部偏置。

13.8 时钟输入选项

CYD9653L 具有灵活的时钟输入结构。CMOS、LVDS、LVPECL 或正弦波信号均可作为其时钟输入信号。但是，无论使用哪种信号都需考虑时钟源的抖动（详见“抖动”章节说明）。利用射频变压器或射频巴伦可将低抖动时钟源的单端信号转换成差分信号。对于 125MHz~1GHz 时钟频率建议使用射频巴伦配置，20MHz~200MHz 时钟频率建议使用射频变压器配置。跨接在变压器/巴伦次级绕组上的肖特基二极管可以将输入到本产品中的时钟信号限制为约差分 0.8V 峰峰值（参考图 24、图 25），这样既可以防止时钟大电压摆幅馈通至本产品其它部分，还可以保持信号快速上升和下降时间，这对实现低抖动性能来说非常重要。然而，当频率高于 500MHz 时，二极管电容会产生影响，因此必须谨慎选择适当的信号限幅二极管。

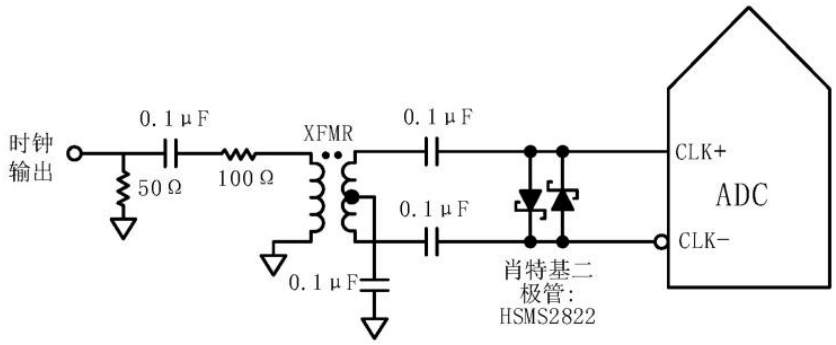

图 24 变压器耦合差分时钟（频率可达 200MHz）

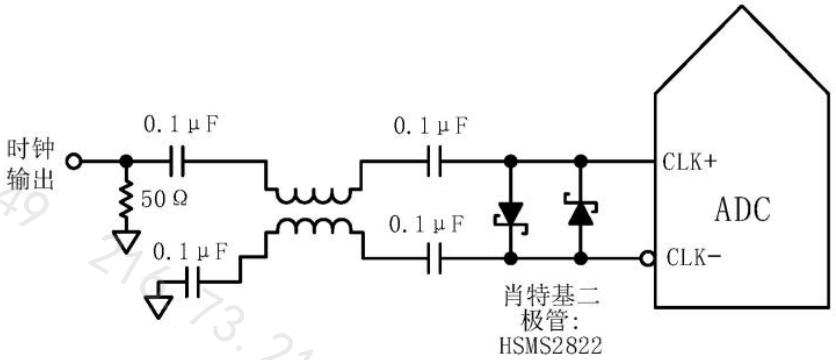

图 25 巴伦耦合差分时钟（频率可达 1GHz）

如果没有低抖动的时钟源，可对差分 PECL 信号进行交流耦合，并传输至采样时钟输入引脚（参考图 26）另一种方法是将差分 LVDS 信号交流耦合至采样时钟输入引脚（参考图 27）。

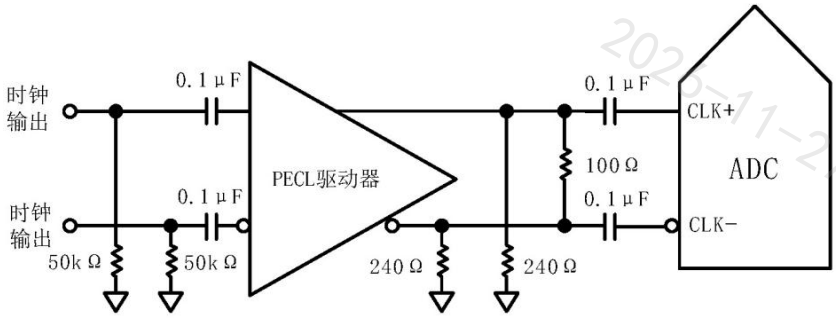

图 26 差分 PECL 采样时钟（频率可达 1GHz）

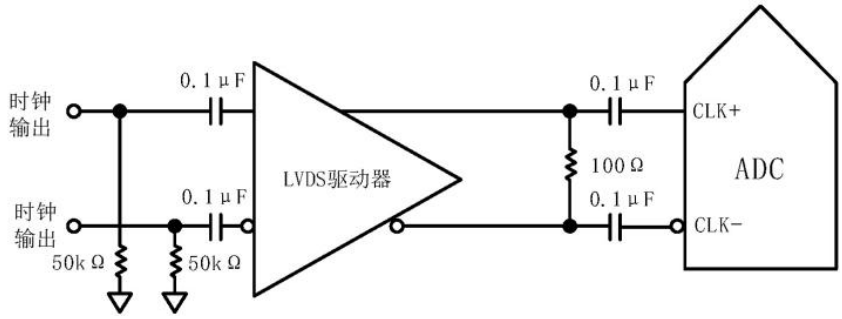

图 27 差分 LVDS 采样时钟（频率可达 1GHz）

在某些应用中，可以采用单端 1.8V CMOS 信号来驱动采样时钟输入。在此类应用中，CLK+引脚直接由 CMOS 门电路驱动，CLK−引脚则通过一个 0.1 μ F 电容旁路至地（参考图 28）。

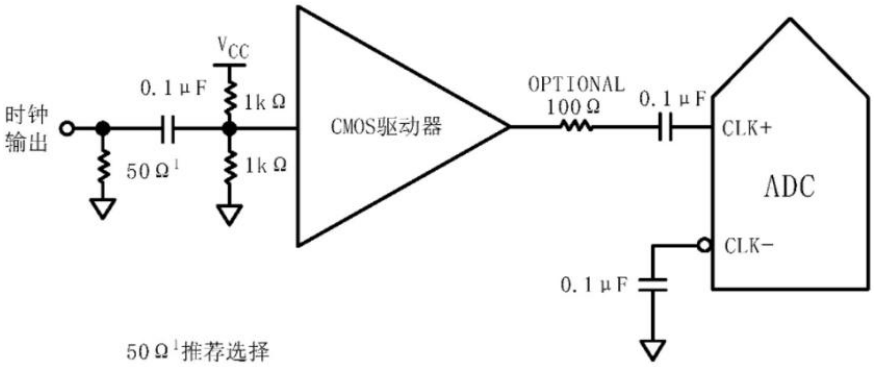

图 28 单端 1.8V CMOS 输入时钟（频率可达 200MHz）

13.9 输入时钟分频器

CYD9653L 内置一个输入时钟分频器，可对输入时钟进行 1 至 8 整数倍分频。利用外部 SYNC 输入信号可同步 CYD9653L 时钟分频器。通过对寄存器 0x109 的位 0 和位 1 进行写操作，可以设置每次收到 SYNC 信号或者仅第一次收到 SYNC 信号后对时钟分频器再同步。有效 SYNC 可使分频器复位至初始状态。该同步特性可让多个器件时钟分频器对准，从而保证同时进行输入采样。

13.10 时钟占空比

由于典型高速 ADC 利用两个时钟边沿产生不同的内部定时信号，它对时钟占空比非常敏感。为保持 ADC 的动态性能，通常时钟占空比容差应为±5%。CYD9653L 内置一个占空比稳定器（DCS），可对非采样边沿（下降沿）进行重新定时，并提供标称占空比为 50%的内部时钟信号。当时钟输入占空比偏离额定 50%占空比的幅度大于±5%时，该特性可最大程度减少性能的下降。当 DCS 处于开启状态时，在更宽的占空比范围内，噪声和失真性能几乎是平坦的。输入上升沿抖动仍然需要关注，无法轻易地通过内部稳定电路来减少这种抖动。在时钟速率动态变化的应用中，必须考虑与该环路相关的时间常数。在 DCS 环路重新锁定输入信号之前需要 1.5 μ s~5 μ s 等待时间。

13.11 抖动

高速高精度 ADC 对时钟输入信号质量非常敏感。在给定输入频率（fA）下，仅由孔径抖动（tJ）造成的信噪比下降由下面公式计算得出：

$$SNR\ 下降幅度 = 20\log_{10}\left(\frac{1}{2\pi \times f_A \times t_J}\right)$$

其中，均方根孔径抖动表示所有抖动源（包括时钟输入信号、模拟输入信号和 ADC 孔径抖动规格等）的均方根。中频欠采样应用对抖动尤其敏感（参考图 29）。

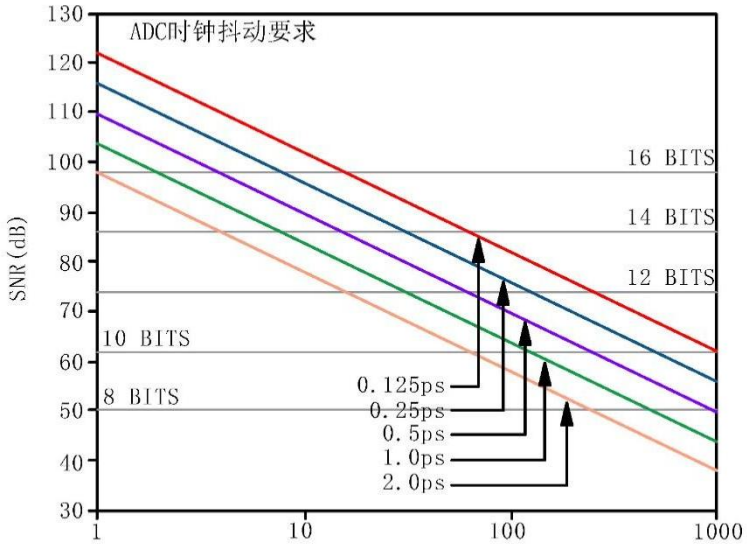

图 29 理想信噪比与模拟输入频率和抖动的关系

当孔径抖动可能对 CYD9653L 动态范围产生影响时，应将时钟输入信号视为模拟信号。此外，为避免时钟信号中混入数字噪声，应将时钟驱动器电源与 ADC 输出驱动器电源分开。低抖动的晶体控制振荡器可以提供最佳时钟源。如果时钟信号来自其他类型时钟源（如门控、分频或其他方法），那么在最后一步中需要利用原始时钟进行重新定时。

13.12 功耗和省电模式

CYD9653L 功耗与采样速率成正比。将 SPI 接口或将 PDWN 引脚设置为高电平时可让 CYD9653L 进入节能模式。在节能模式下，ADC 典型功耗为 8mW，输出驱动器处于高阻抗状态。当 PDWN 引脚设置为低电平时，CYD9653L 恢复为正常工作模式。注意，PDWN 应以数据输出驱动器电源电压（DRVDD）为基准，且不得高于该电源电压。在节能模式下，通过关闭基准电压源、基准电压缓冲器、偏置网络以及时钟可实现低功耗模式。进入节能模式时内部电容会放电，返回正常工作模式时内部电容需重新充电。因此，唤醒时间与处于节能模式的时间有关，节能模式时间越短，唤醒时间也越短。使用 SPI 接口时，用户可将 ADC 置于节能或待机模式。若需要较短唤醒时间，可以使用待机模式，在该模式下内部基准电压电路处于通电状态。有关使用这些功能的更多信息详见“存储器映射”章节。

13.13 数字输出和时序

当采用默认设置上电时，CYD9653L 差分输出符合 ANSI-644 LVDS 标准。通过 SPI 接口，可以将 CYD9653L 更改为低功耗模式并减少工作通道数量。LVDS 驱动器电流来自芯片，并将各输出端输出电流设置为标称值 3.5mA。由于 LVDS 接收器输入端有一个 100Ω 差分端接电阻，因此接收器摆幅标称值为 350mV（或 700mVp-p 差分）。当 CYD9653L 在缩小范围模式下工作时，输出电流降低至 2mA，接收器在 100Ω 端接电阻上摆幅降低至 200mV（或 400mVp-p 差分）。CYD9653L 的 LVDS 输出便于与定制 ASIC 和 FPGA 中的 LVDS 接收器连接，以保证在高噪声环境中实现良好的开关性能。在应用中推荐使用单一点到点网络拓扑结构，并将 100Ω 端接电阻尽可能设置在靠近接收器的位置。如果没有远端接收器端接电阻或者差分走线布线不佳，可能会导致时序错

误的情况。为避免产生时序错误，建议走线长度不要超过 24 英寸，差分输出走线应尽可能靠近且长度相等。当走线长度超过 24 英寸时，用户应确定波形是否满足设计的时序预算要求。附加 SPI 选项允许用户进一步提高所有四路输出的内部端接电阻（提高电流）从而驱动更长的走线。这可以通过设置寄存器 0x15 实现。虽然这会在数据边沿上产生更陡的上升和下降时间，并且更不容易发生比特错误，但使用此选项会提高 DRVDD 电源的功耗。

默认的输出数据格式为二进制补码。表 9 给出了一个输出编码格式示例。如果要将输出数据格式变为失调二进制，请参考“存储器映射”章节。在 DDR 模式下，来自各 ADC 的数据经过串行化后，通过不同的通道提供。每个串行流的数据速率等于 16 位乘以采样时钟速率，最大值为每通道 500Mbps[(16 位×125 MSPS)/(2×2)=500Mbps/通道]。典型最低转换速率为 20MSPS。有关该功能使用更多信息请参考“存储器映射”章节。

CYD9653L 提供了两个输出时钟用于捕捉数据。如采用 DCO 为输出数据定时，在默认工作模式下，它等于采样时钟（CLK）速率的 4 倍。数据逐个从 CYD9653L 输出，必须在 DCO 的上升沿和下降沿进行捕捉；DCO 支持双倍数据速率（DDR）捕捉。FCO 用于指示新输出字节的开始，在 1×帧模式下，它与采样时钟速率相等。更多信息请参考时序图。在使用 SPI 时，DCO 相位可以相对于数据边沿以 60° 增量进行调整。这样用户可根据需求优化系统时序余量。DCO+和 DCO−默认时序相对于输出数据边沿为 90° （参考图 3）。在默认模式下（参考图 3），数据输出串行流首先输出 MSB，但可以利用 SPI 将其反转使数据输出串行流首先输出 LSB。

通过 SPI 启动的数字输出测试码选项有 12 个。当验证接收器捕捉和时序时，这个功能很有用，可用的输出位序列选项参见表 10。一些测试码有两个串行序列字，可以通过各种方式进行交替，具体取决于所选的测试码。注意，有些测试码可能并不遵守数据格式选择选项。此外，可以在 0x19、0x1A、0x1B 和 0x1C 寄存器地址中指定用户定义的测试码。

表 9 数字输出编码

输入（V）	条件（V）	偏移二进制输出模式	二进制补码模式
VIN+−VIN−	<−VREF−0.5 LSB	0000 0000 0000 0000	1000 0000 0000 0000
VIN+−VIN−	−VREF	0000 0000 0000 0000	1000 0000 0000 0000
VIN+−VIN−	0V	1000 0000 0000 0000	0000 0000 0000 0000
VIN+−VIN−	+VREF−1.0 LSB	1111 1111 1111 1111	0111 1111 1111 1111
VIN+−VIN−	>+VREF−0.5 LSB	1111 1111 1111 1111	0111 1111 1111 1111

表 10 输出测试模式

输出测试模式位序列	测试码名称	数字输出字1	数字输出字2	接受数据格式选择	注释
0000	关闭(默认)	N/A	N/A	N/A	
0001	中间电平短码	1000 0000 0000 0000（16位）	N/A	是	所示为偏移二进制码
0010	+满量程短码	1000 0000 0000 0000（16位）	N/A	是	所示为偏移二进制码
0011	−满量程短码	1000 0000 0000 0000（16位）	N/A	是	所示为偏移二进制码
0100	棋盘形式	1010 1010 1010 1010（16位）	0101 0101 0101 0100(16位)	否	
0101	PN长序列	N/A	N/A	是	PN23 ITU 0.150 $X^{23}+X^{18}+1$
0110	PN短序列	N/A	N/A	是	PN9 ITU 0.150 $X^{9}+X^{5}+1$
0111	1/0字反转	111 1111 1111 1100（16位）	0000 0000 0000 0000(16位)	否	
1000	用户输入	寄存器0x19至寄存器0x1A	寄存器0x1B至寄存器0x1C	否	
1001	1/0位反转	1010 1010 1010 1000（16位）	N/A	否	
1010	1×同步	0000 0001 1111 1100（16位）	N/A	否	
1011	1位高电平	1000 0000 0000 0000（16位）	N/A	否	与外部引脚相关的测试码
1100	混合频率	1010 0001 1001 1100（16位）	N/A	否	

PN 短序列测试码产生一个伪随机位序列，每隔 29−1 或 511 位重复一次。种子值为全 1（初始值参考表 11）。输出为串行 PN9 序列的并行表示（MSB 优先格式）。第一个输出字是 PN9 序列 MSB 对齐形式的前 14 位。PN 长序列测试码产生一个伪随机位序列，每隔 223−1 或 8,388,607 位重复一次。种子值为全 1（初始值参考表 11），CYD9653L 的位流与 ITU 标准相反。输出为串行 PN23 序列的并行表示（MSB 优先格式）。第一个输出字是 PN23 序列 MSB 对齐形式的前 14 位。有关如何通过 SPI 更改这些附加数字输出时序特性的信息，请参考“存储器映射”部分。

表 11 PN 序列

序列	初始值	前三个采样输出（MSB优先）二进制补码
PN短序列	0x1FE0	0x1DF1,0x3CC8,0x294E
PN长序列	0x1FFF	0x1FE0,0x2001,0x1C00

13.14 SDIO/OLM 引脚

不需要 SPI 工作模式时，可将 CSB 引脚连接到 AVDD，SDIO/OLM 引脚依据表 12 控制输出通道模式。当 CSB 引脚连接 AVDD 时，CYD9653L DCS 默认开启并且保持开启状态，直到器件进入 SPI 模式并通过 SPI 控

制。关于 DCS 更多信息请参考“时钟占空比”章节。如果不使用 SDIO/OLM 引脚，CSB 应连接 AVDD。使用单通道模式时，转换速率不应超过 62.5MSPS 以满足 1Gbps 的最大输出速率要求。

表 12 输出通道模式引脚设置

OLM引脚电压	输出模式
AVDD（默认）	双通道1x帧，16位串行输出
GND	单通道1x帧，16位串行输出

13.15 SCLK/DTP 引脚

不需要 SPI 工作模式时，SCLK/DTP 引脚可用于选择数字测试码（DTP）。如果在器件上电期间此引脚和 CSB 引脚保持高电平，则它可以使能一个数字测试码。当 SCLK/DTP 连接到 AVDD 时，ADC 通道输出移出以下测试码：1000 0000 0000 0000。FCO 和 DCO 正常工作，同时所有通道移出重复测试码。利用此测试码，用户可以对 FCO、DCO 和输出数据执行时序对齐。此引脚通过一个内部 10kΩ 电阻连接到 GND，可将其断开。

表 13 数字测试码引脚设置

所选DTP	DTP电压	D0±x和D1±x情况
正常工作	10kΩ至AGND	正常工作
DTP	AVDD	1000 0000 0000 0000

当从 SPI 端口发出命令时，也可以观察到额外的和自定义的测试码。有关可用选项的信息，请参考“存储器映射”章节。

13.16 CSB 引脚

不需要 SPI 工作模式时，CSB 引脚应连接到 AVDD。将 CSB 接高电平后，所有 SCLK 和 SDIO 信息都会被忽略。当 CSB 引脚连接 AVDD 时，CYD9653L DCS 默认开启并且保持开启状态，直到器件进入 SPI 模式并通过 SPI 控制。有关 DCS 的更多信息，请参考“时钟占空比”章节。

13.17 RBIAS 引脚

为了设置 ADC 的内核偏置电流，应在 RBIAS 引脚上串联一个 10.0kΩ、1%容差接地电阻。

13.18 输出测试模式

输出测试选项参考表 10，由地址 0x0D 的输出测试模式位控制。当使能输出测试模式时，ADC 模拟部分与数字后端模块断开，测试码经过输出格式化模块。有些测试码需要进行输出格式化，有些则不需要。将寄存器 0x0D 的位 4 或位 5 置 1，可以将 PN 序列测试的 PN 发生器复位。执行这些测试时，可以没有模拟信号但编码时钟必不可少。

14. 串行端口接口（SPI）

CYD9653L 的串行端口接口（SPI）允许用户利用 ADC 内部一个结构化寄存器空间来配置转换器以满足特定功能和操作的需要。SPI 具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间以及对地址空间进行读写。存储空间以字节为单位进行组织，并且可以进一步细分成多个区域。

14.1 SPI 使用配置

CYD9653L 的 SPI 由 SCLK、SDIO 和 CSB 三个引脚组成（参考表 14）。其中，SCLK（串行时钟）引脚用于同步 ADC 的读取和写入数据，SDIO（串行数据输入/输出）双功能引脚允许将数据发送至内部 ADC 存储器映射寄存器或从该寄存器中读取数据，CSB（片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表 14 串行端口接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读写操作。
SDIO	串行数据输入/输出。双功能引脚，通常用作输入或输出，具体取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制引脚，用来选通读写周期。

CSB 可在多种模式下运行。一种模式是，CSB 始终维持在低电平状态，使器件一直处于使能状态。另一种模式是，CSB 在字节之间停留在高电平，以允许其他外部时序。当 CSB 引脚连接到高电平时，SPI 功能会处于高阻抗模式，此模式下可启动 SPI 引脚第二功能。在每个指令周期内会传输一条 16 位指令，在指令传输后将进行数据传输，数据长度由 W0 和 W1 位决定。除了数据长度，指令周期还决定串行帧是读操作还是写操作，这样可以通过串行端口对芯片进行编程并读取存储器中的数据。多字节串行数据传输帧中首字节第一位表示是发送读命令还是写命令。如果指令是回读操作，则执行回读操作会使串行数据输入/输出（SDIO）引脚数据传输方向在串行帧特定位置从输入改为输出。所有数据均由 8 位字组成，数据可通过 MSB 优先模式或 LSB 优先模式发送。芯片上电后，默认模式为 MSB 优先，可以通过 SPI 端口配置寄存器来更改数据发送方式。

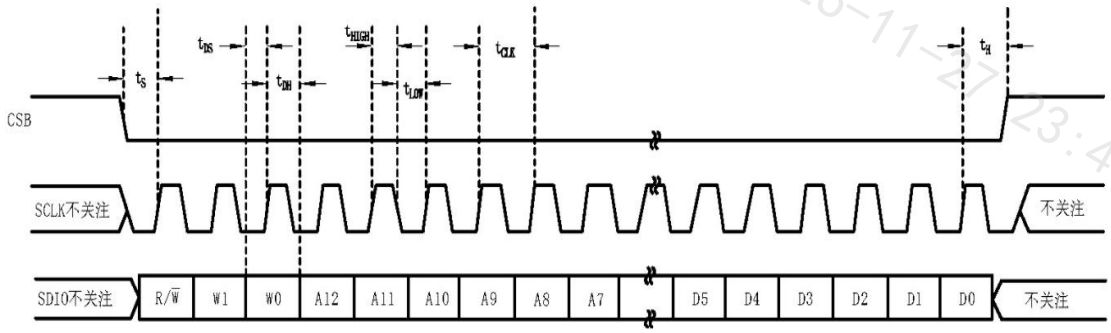

图 30 串行端口接口时序图

14.2 硬件接口

表 14 中描述的引脚是用户编程器件与 CYD9653L 串行端口之间的物理接口。使用 SPI 接口时，SCLK 和 CSB 引脚作为输入引脚。SDIO 引脚是双向引脚，在写入阶段用作输入引脚，在回读阶段用作输出引脚。当需要充分发挥转换器全部动态性能时应禁用 SPI 端口。通常，SCLK、CSB 和 SDIO 信号与 CYD9653L 的时钟是异步的，因此这些信号中的噪声会降低转换器性能。如果其他器件使用板上的 SPI 总线，需要在该总线和 CYD9653L 之间连接缓冲器，以防止这些信号在关键采样周期内在转换器输入端发生变化。在不使用 SPI 接口时有些引脚用

作第二功能。在器件上电期间，当这些引脚与 DRVDD 或地连接时，这些引脚可起到特定的作用。表 12 和表 13 说明了 CYD9653L 支持的绑定功能。

14.3 不使用 SPI 的配置

在不使用 SPI 接口时有些引脚用作第二功能。在器件上电期间，当这些引脚与 DRVDD 或地连接时，这些引脚可起到特定的作用。表 12 和表 13 说明了 CYD9653L 支持的绑定功能。在不使用 SPI 控制寄存器接口情况下，SDIO/OLM、SCLK/DTP 和 PDWN 引脚被用作独立的 CMOS 兼容控制引脚。当器件上电后，如将这些引脚用作静态控制线，分别控制输出通道模式、数字测试码和断电特性。在此模式下，CSB 应与 AVDD 相连以禁用串行端口接口。当 CSB 引脚连接 AVDD 时，CYD9653L 的 DCS 默认开启并保持开启状态，直至器件进入 SPI 模式并通过 SPI 控制。有关 DCS 的更多信息，请参考“时钟占空比”章节。当器件处于 SPI 模式时，PDWN 引脚（若使能）仍然有效。为通过 SPI 控制省电，应将 PDWN 引脚设为默认状态。

14.4 SPI 访问特性

可通过 SPI 访问的一般特性参考表 15。

表 15 可通过 SPI 访问的特性列表

特性名称	说明
功耗模式	允许用户设置省电或待机模式
时钟	允许用户设置时钟分频器，设置时钟分频器相位，以及使能同步
失调	允许用户以数字方式调整转换器失调
测试I/O	允许用户设置测试模式以便在输出位上获得已知数据
输出模式	允许用户设置输出模式
输出相位	允许用户设置输出时钟极性

15. 存储器映射

15.1 读取存储器映射寄存器表

存储器映射寄存器表每一行有 8 位。存储器映射主要分为三个部分：芯片配置寄存器（地址 0x00 至 0x02）、通道索引和传送寄存器（地址 0x05 和 0xFF），以及 ADC 功能寄存器，包括设置、控制和测试（地址 0x08 至 0x10A）。表 16 列出了每个十六进制地址及其十六进制默认值。位 7（MSB）栏为给定十六进制默认值起始位。

15.2 禁用位置

CYD9653L 不支持表 16 中未包括的所有地址和位，应向有效地址中未使用位写入 0。在一个地址仅有部分位处于禁用状态时，才可以对这些位置进行写操作。如果整个地址禁用或未在表 16 中列出，则不应对该地址进行写操作。

15.3 默认值

CYD9653L 复位后，关键寄存器将载入默认值。表 16（存储器映像寄存器表）列出了各寄存器默认值。

15.4 逻辑电平

关于逻辑电平术语说明如下：

“置位”指将某位设置为逻辑 1 或向某位写入逻辑 1；

“清除位”指将某位设置为逻辑 0 或向某位写入逻辑 0。

15.5 特定通道寄存器

每个通道的某些功能可通过编程设置为不同的值。在此情况下，可在内部为每个通道复制通道地址位置。如表 16，这些寄存器和相应的位被称为局部寄存器。通过设置寄存器 0x05 的相应数据通道位（A、B、C 或 D）时钟通道 DCO 位（位 5）和 FCO 位（位 4），可访问这些局部寄存器及相应位。如果这四个位都被置位，后续写操作将影响所有通道及 DCO/FCO 的寄存器。在一个读周期内，仅设置一个通道（A、B、C 或 D），对 4 个寄存器中的 1 个执行读操作。如果在一个 SPI 读周期内置位所有位，则器件返回通道 A 的值。表 16 给出的全局寄存器及相应位会影响整个器件和通道的特性，不允许分别设置每个通道。寄存器 0x05 中的设置不影响全局寄存器及相应位的值。

15.6 存储器映射寄存器表

CYD9653L 采用 3 线接口和 16 位寻址方式。寄存器 0x00 的位 0 和位 7 置 0，位 3 和位 4 置 1。当寄存器 0x00 的位 5 置 1 时，SPI 进入软复位，所有用户寄存器恢复默认值，位 2 自动清 0。

表 16 存储器映射寄存器

地址（十六进制）	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值（十六进制）	备注
芯片配置寄存器											
0x00	SPI端口配置	0:SDO激活	LSB先输出	软复位	1	1	软复位	LSB先输出	0:SDO激活	0x18	
0x01	芯片ID									0xB5	只读
0x02	芯片级别	禁用	速度等级ID 110=125M采样率			禁用	禁用	禁用	禁用		只读
设备索引和传输寄存器											
0x05	设备索引	禁用	禁用	时钟通道DCO	时钟通道FCO	数据通道D	数据通道C	数据通道B	数据通道A	0x3F	
0xFF	传输	禁用	禁用	禁用	禁用	禁用	禁用	禁用	启动覆盖	0x00	
全芯片功能寄存器											
0x08	低功耗模式（全局）	禁用	禁用	外部管脚低功耗模式： 0=全关断模式 1=待机模式	禁用	禁用	禁用	功耗模式： 00=正常芯片工作 01=全关断模式、 10=待机模式 11=复位		0x00	决定芯片工作模式
0x09	时钟（全局）	禁用	禁用	禁用	禁用	禁用	禁用	禁用	占空比稳定器 0=开 1=关	0x01	
0x0B	时钟分频（全局）	禁用	禁用	禁用	禁用	禁用	时钟分频比[2:0] 000=1分频 001=2分频 010=3分频 011=4分频 100=5分频 101=6分频 110=7分频 111=8分频			0x00	

地址（十六进制）	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值（十六进制）	备注
0x0C	增强控制	禁用	禁用	禁用	禁用	禁用	斩波时钟模式 0=关 1=开	禁用	禁用	0x00	
0x0D	测试模式（除了PN序列复位）	用户输入测试模式 00=单一输入 01=交替输入 10=单一输入一次 11=交替输入一次 （仅影响用户输入测试模式,位[3:0]=1000）		产生复位PN长序列	产生复位PN短序列	输出测试模式[3:0]（局部） 0000=关（默认值） 0001=中间电平短序列 0010=正端满量程 0011=负端满量程 0100=交替棋盘式 0101=PN 23序列 0110=PN 9序列 0111=1/0字切换 1000=用户输入 1001=1/0位切换 1010=1×sync 1011=1bit高电平 1100=混合位频率			0x00	
0x10	失调调整	8位器件失调调整[7:0] 失调调整从+127LSB到-128LSB（补码格式）								0x00	器件失调调整
0x14	输出模式	禁用	LVDS-ANSI/LVDS-IEEE选择 0=LVDS-ANSI 1=LVDS-IEEE 缩小连接线电压范围	禁用	禁用	禁用	输出反相	禁用	输出格式 0=原码格式 1=补码格式	0x03	
0x15	输出调整	禁用	禁用	输出驱动器端接[1:0] 00=无 01=200Ω 10=100Ω 11=100Ω		禁用	禁用	禁用	输出驱动 0=1x驱动 1=2x驱动	0x00	
0x16	输出相位	禁用	输入时钟相位调整[6:4]，参考表20			输出时钟相位调整[3:0]，（0000到1011）参考表21				0x03	

地址（十六进制）	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值（十六进制）	备注
			（数值为相位延迟的输入时钟周期数）								
0x18	V_{REF}	禁用	禁用	禁用	禁用	禁用	V_{REF}调整数字方案[2:0] 000=1.0Vp-p(1.3Vp-p) 001=1.14Vp-p(1.48Vp-p) 010=1.33Vp-p(1.73Vp-p) 011=1.6Vp-p(2.08Vp-p) 100=2.0Vp-p(2.6Vp-p)			0x04	选择内部V_{REF}
0x19	用户使用模式1 LSB（全局）	B7	B6	B5	B4	B3	B2	B1	B0	0x00	
0x1A	用户使用模式1 MSB（全局）	B15	B14	B13	B12	B11	B10	B9	B8	0x00	
0x1B	用户使用模式2 LSB（全局）	B7	B6	B5	B4	B3	B2	B1	B0	0x00	
0x1C	用户使用模式2 MSB（全局）	B15	B14	B13	B12	B11	B10	B9	B8	0x00	
0x21	串行输出数据控制（全局）	LVDS输出LSB优先	SDR/DDR单通道/双通道，逐位/逐字节[6:4] 000：SDR双通道、逐位 001：SDR双通道、逐字节 010：DDR双通道、逐位 011：DDR双通道、逐字节 100：DDR单通道、逐字节			禁用	选择2x frame	串行输出位数 00=16位		0x30	
0x22	串行通道状态（局部）	禁用	禁用	禁用	禁用	禁用	禁用	通道输出复位	通道关断	0x00	
0x100	采样率覆盖	禁用	采样率覆盖使能	0	0	禁用	采样率 000=20MSPS 001=40MSPS 010=50MSPS			0x00	

地址（十六进制）	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值（十六进制）	备注
							011=65MSPS 100=80MSPS 101=105MSPS 110=125MSPS				
0x101	用户输入/输出控制2	禁用	禁用	禁用	禁用	禁用	禁用	禁用	SDIO下拉控制	0x00	
0x102	用户输入/输出控制3	禁用	禁用	禁用	禁用	VCM关闭	禁用	禁用	禁用	0x00	
0x109	同步功能	禁用	禁用	禁用	禁用	禁用	禁用	仅下一个SYNC同步	同步功能使能	0x00	

16. 存储器映射寄存器描述

16.1 器件索引（寄存器 0x05）

对于映射中某些特性各通道可独立设置，其它特性则是全局适用。寄存器 0x05 前 4 位可以用来选择哪个数据通道受影响，输出时钟通道也可通过寄存器 0x05 选择，可以让独立特性的一个较小子集适用于该器件。

16.2 传输（寄存器 0xFF）

除寄存器 0x100 外所有其它寄存器都在写入时立刻更新，传送寄存器的位 0 置 1 时，分辨率/采样速率覆盖寄存器（地址 0x100）的设置初始化。

16.3 14.3 功耗模式（寄存器 0x08）

位[7:6] – 禁用

位 5 – 外部 PDWN 引脚功能

置 1 时外部 PDWN 引脚启动待机模式，清零时 PDWN 引脚启动完全掉电模式。

位[4:2] – 禁用

位[1:0] – 功耗模式

正常工作（位[1:0] = 00）时所有 ADC 通道均启用；

掉电模式（位[1:0] = 01）下所有 ADC 通道均掉电，数字数据路径时钟禁用，数字数据路径复位，输出禁用；

待机模式（位[1:0] = 10）下数字数据路径时钟和输出禁用；

数字复位（位[1:0] = 11）期间除 SPI 端口外，芯片所有其它数字数据路径时钟和输出（适用时）均复位。注意 SPI 始终受用户控制，从不会自动禁用或复位（除非上电复位）。

16.4 14.4 时钟控制（寄存器 0x09）

位[7:1] – 禁用

位 0 – 占空比稳定器

默认配置下位 0 置 1，占空比稳定器关闭，注意当器件不处于 SPI 模式时占空比稳定器将打开。

16.5 增强控制（寄存器 0x0C）

位[7:3] – 禁用

位 2 – 斩波模式

对于对失调电压、低频噪声敏感的应用，可以设置位 2 来使能 CYD9653L 第一级斩波特性。在频域中斩波将失调和其它低频噪声转换为 fCLK/2，可以通过滤波器进行滤除。

位[1:0] – 禁用

16.6 输出模式（寄存器 0x14）

位[7] - 禁用

位 6 - LVDS-ANSI/LVDS-IEEE 选择

此位置 1 时，选择 LVDS-IEEE 缩小范围选项，默认设置为 LVDS-ANSI。如表 17 所示，选择 LVDS-ANSI 或 LVDS-IEEE 缩小范围链路时，用户可以选择驱动器端接。器件自动选择驱动器电流，以提供适当的输出摆幅。

表 17 LVDS-ANSI/LVDS-IEEE 选项

输出模式，位60	输出模式	输出驱动器端接	输出驱动器电流
0	LVDS-ANSI	用户可选	自动选择以提供适当的摆幅
1	LVDS-IEEE 缩小范围链路	用户可选	自动选择以提供适当的摆幅

位[5:3] - 禁用

位 2 - 输出反相

此位置 1 时，输出位流反转。

位 1 - 禁用

位 0 - 输出格式

默认情况下此位置 1，数据以二进制补码格式输出。此位复位时，输出模式变为偏移二进制。

16.7 输出控制（寄存器 0x15）

位[7:6] - 禁用

位[5:4] - 输出驱动器端接

此位可让用户选择内部端接电阻值。

位[3:1] - 禁用

位 0 - 输出驱动

此位仅控制 DCO 和 FCO 的 LVDS 输出驱动强度。默认状态下为 1×驱动，而通过设置寄存器 0x05 中适当通道位可以增加到 2×驱动强度。这些功能不能与输出驱动器端接选择功能一起使用。输出驱动端接和输出驱动同时选择时，端接选择优先于驱动强度选择。

16.8 输出时钟相位控制（寄存器 0x16）

位 7 - 禁用

位[6:4] - 输入时钟相位调整

输入时钟相位控制参考表 18。

表 18 输入时钟相位控制

参数	说明
输入时钟相位控制，位[6:4]	相位延迟的输入时钟周期数
000（默认值）	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

位[3:0] - 输出时钟相位调整

表 19 输出时钟相位控制（DCO）

参数	说明
输出时钟相位控制，位[3:0]	DCO 相位控制（度数相对于 D0±x/D1±x 的边缘）
0000	0
0001	60
0010	120
0011（默认值）	180
0100	240
0101	300
0110	360
0111	420
1000	480
1001	540
1010	600
1011	660

16.9 串行输出控制（寄存器 0x21）

该寄存器用于设置 CYD9653L 各种输出数据模式，具体依据数据采集方案而定，各种串行化选项参考表 20。

16.10 采样率覆盖（寄存器 0x100）

利用该寄存器用户可以降低采样率的性能，此寄存器的设置在传送寄存器（寄存器 0xFF）的位 0 写入高电平后初始化。

16.11 用户输入/输出控制 2（寄存器 0x101）

位[7:1] - 禁用

位 0 - SDIO 下拉

可以将位 0 置 1 以禁用 SDIO 引脚内置的 30kΩ下拉电阻。当许多器件连接到 SPI 总线时，此设置可用来限制负载。

位[7:4] - 禁用

位 3 - VCM 掉电

通过将位 3 设置为高电平可关断内部 VCM 发生器，使用外部基准电压源时使用此功能。

位[2:0] - 禁用

表 20 SPI 寄存器选项

寄存器0x21内容	选择的串行化选项			DCO倍频器	时序图
	串行输出位数	帧模式	串行数据模式		
0x30	16位	1×	DDR双通道逐字节	4 × f_S	图3（默认设置）
0x20	16位	1×	DDR双通道逐位	4 ×f_S	图3
0x10	16位	1×	SDR双通道逐字节	8 ×f_S	图3
0x00	16位	1×	SDR双通道逐位	8 ×f_S	图3
0x34	16位	2×	DDR双通道逐字节	4 ×f_S	图4
0x24	16位	2×	DDR双通道逐位	4 × f_S	图4
0x40	16位	1×	DDR单通道逐字	8 × f_S	图5

17. 应用指南

在 CYD9653L 产品应用、系统设计和布局布线等方面应着重考虑以下因素：

17.1 产品烘焙与焊接

由于 CYD9653L 湿敏等级为 MSL3，在使用中烘焙与焊接要求如下：

- 贴片前需进行烘焙处理，烘焙条件为125^{+10}_{0}℃,8H，<5%RH；
- 烘焙后应在 168 小时内完成贴片及回流焊作业，注意该时限对应包装开封后作业环境条件≤30℃/60%RH；
- 168 小时内未完成贴片及回流焊作业时，应重新进行烘焙处理；
- 贴片后严禁手动返修，需采用专门返修装置进行拆除。

未按照以上烘焙与焊接要求进行作业的，可能会导致本产品由于焊接分层引发产品失效。

17.2 电源和接地

当连接电源至 CYD9653L 时建议使用两个独立的 1.8V 电源，一个电源用于模拟输出（AVDD），另一个电源用于数字输出（DRVDD）。对于 AVDD 和 DRVDD，设计人员可以使用多个不同的去耦电容以适用于高频和低频。去耦电容应放置在接近印刷电路板（PCB）入口点和器件引脚的位置，并尽可能缩短走线长度。CYD9653L 仅需要一个 PCB 接地层。对 PCB 模拟、数字和时钟模块进行合理去耦和巧妙分隔，可以获得最佳性能。

17.3 裸露焊盘散热块

为了获得最佳电气和热性能，CYD9653L 底部的裸露焊盘必须连接到模拟地（AGND）。PCB 上裸露的连续铜平面应与产品裸露焊盘匹配。铜平面上应有多个通孔以实现尽可能低的热阻路径，便于通过 PCB 底部进行散热。为了最大化实现 CYD9653L 与 PCB 之间覆盖连接，应在 PCB 上覆盖一个丝印层，以便将 PCB 上的连续铜平面划分为多个均等的部分。这样，在回流焊过程中可以防止焊料堆积，并在芯片和 PCB 之间提供多个连接点。如果使用一个连续无分割的平面，则仅能保证在芯片和 PCB 之间有一个连接点。有关 PCB 布局范例请参考评估板。

17.4 VCM

应用一个 0.1μF 电容将 VCM 引脚去耦至地。

17.5 基准电压源去耦

VREF 引脚应通过外部一个低 ESR 0.1μF 陶瓷电容和一个低 ESR 1.0μF 电容的并联组合旁路置地。

17.6 SPI 端口

当需要 CYD9653L 充分发挥其全部动态性能时应禁用 SPI 端口。通常 SCLK、CSB 和 SDIO 信号与本产品时钟是异步的，因此，这些信号中的噪声会降低 ADC 性能。如果其它器件使用板上 SPI 总线，则可能需要在该总线与 CYD9653L 之间连接缓冲器，以防止这些信号在关键采样周期内，在本产品输入引脚端发生变化。

17.7 串扰性能

CYD9653L 采用 QFN48 封装，芯片每个角落都有输入对。引脚配置参考图 2。如要最大程度提升电路板的串扰性能，可在相邻通道之间加入接地填充过孔（参考图 31）。

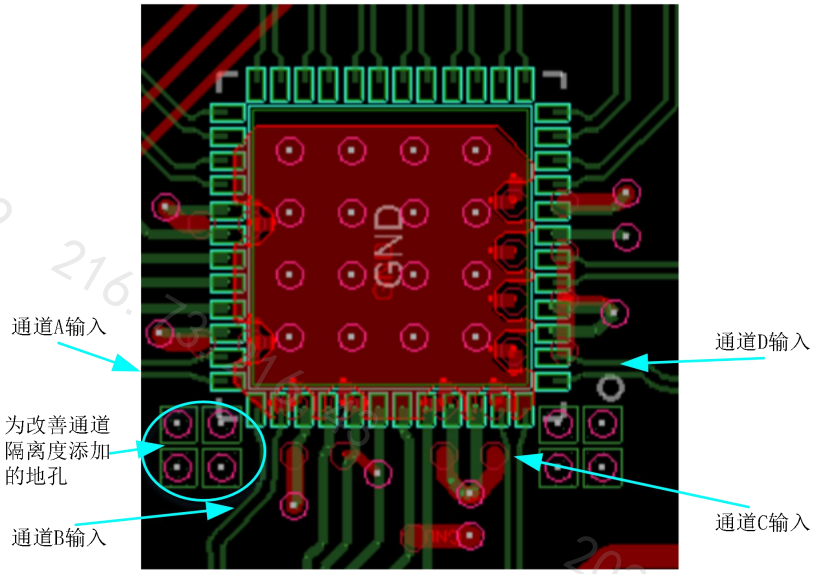

图 31 提升串扰性能的布局技巧

18. 外形图和尺寸

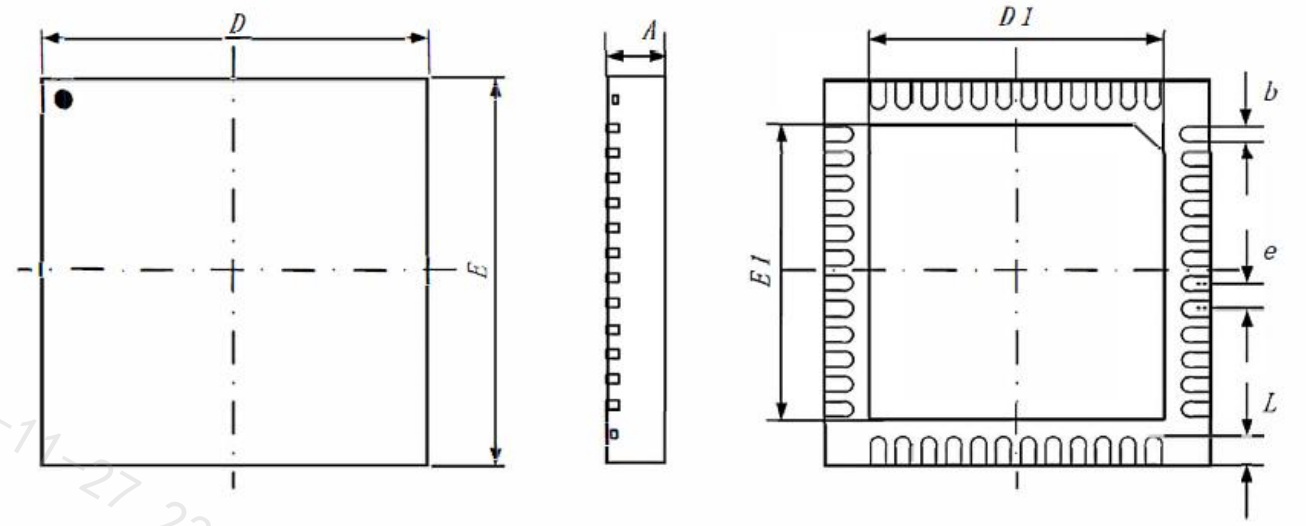

图 32 CYD9653L 封装外形图（QFN48）

表 21 CYD9653L 封装尺寸表（QFN48）

尺寸符号	数值（mm）			尺寸符号	数值（mm）		
	最小	公称	最大		最小	公称	最大
A	0.70	0.75	0.80	D	6.90	7.00	7.10
b	0.20	0.25	0.30	D1	5.50	5.60	5.70
e	—	0.50	—	E	6.90	7.00	7.10
L	0.30	0.40	0.50	E1	5.50	5.60	5.70

19. 说明

如欲了解更多的产品及及公司信息，请联系公司办公室人员或登录公司网站；

联系电话：021-33885531

网址：https://mall.ichelps.com/

20. 本文档中的信息如有变更，恕不另行通知

请使用微信扫码进入
芯片助手ICHELPS小程序

查资料 查替代 查库存 查价格

招募中国区各省代理，联系电话：021-33885531