文档版本	修订日期	内容描述
1.0	2025-11-11	初版
1.1	2026-4-16	细节修正
1.2	2026-6-5	增加了应用说明内容
1.3	2026-6-25	增加了参数指标
1.4	2026-10-27	新增CQFP48封装

2026-11-27 23:49 216.73.216.43

CYDR2S1210

10 位至 16 位分辨率旋变数字转换器

1. 特性

- 完整的单芯片旋变数字转换器
- 最大跟踪速率：3125 rps(10 位分辨率)
- 精度：±2.5 弧分
- 分辨率：10/12/14/16 位，用户设置
- 并行和串行 10 位至 16 位数据端口
- 绝对位置与速度输出
- 系统故障检测
- 增量式编码器输出
- 内置可编程正弦波振荡器
- 兼容 DSP 和 SPI 接口标准
- 电源电压：5 V，逻辑接口电压 2.3 V 至 5 V
- 采用 LQFP48 塑封，另有 CQFP48 陶瓷封装可选

2. 应用

- 直流和交流伺服电机控制
- 编码器仿真
- 电动助力转向
- 电动汽车
- 集成的启动发电机/交流发电机汽车运动检测与控制。

3. 概述

CYDR2S1210 是一款 10 位至 16 位分辨率旋变数字转换器，集成片上可编程正弦波振荡器，为旋变器提供正弦波激励信号。

转换器的正弦和余弦输入端允许输入 3.15Vp-p±27%、频率为 2 kHz 至 20 kHz 范围内的信号。Type II 伺服环路用于跟踪输入信号，并将正弦和余弦输入端的信息转换为输入角度和速度所对应的数字量。最大跟踪速率为 3125 rps。

4. 订购信息

物料编号	温度范围	等级类型	封装
CYDR2S1210F48I	-40~85℃	工业级	LQFP48
CYDR2S1210F48J	-55~125℃	军温级	LQFP48
CYDR2S1210CF48J	-55~125℃	军温级	CQFP48
CYDR2S1210-DIE			DIE

5. 原理框图

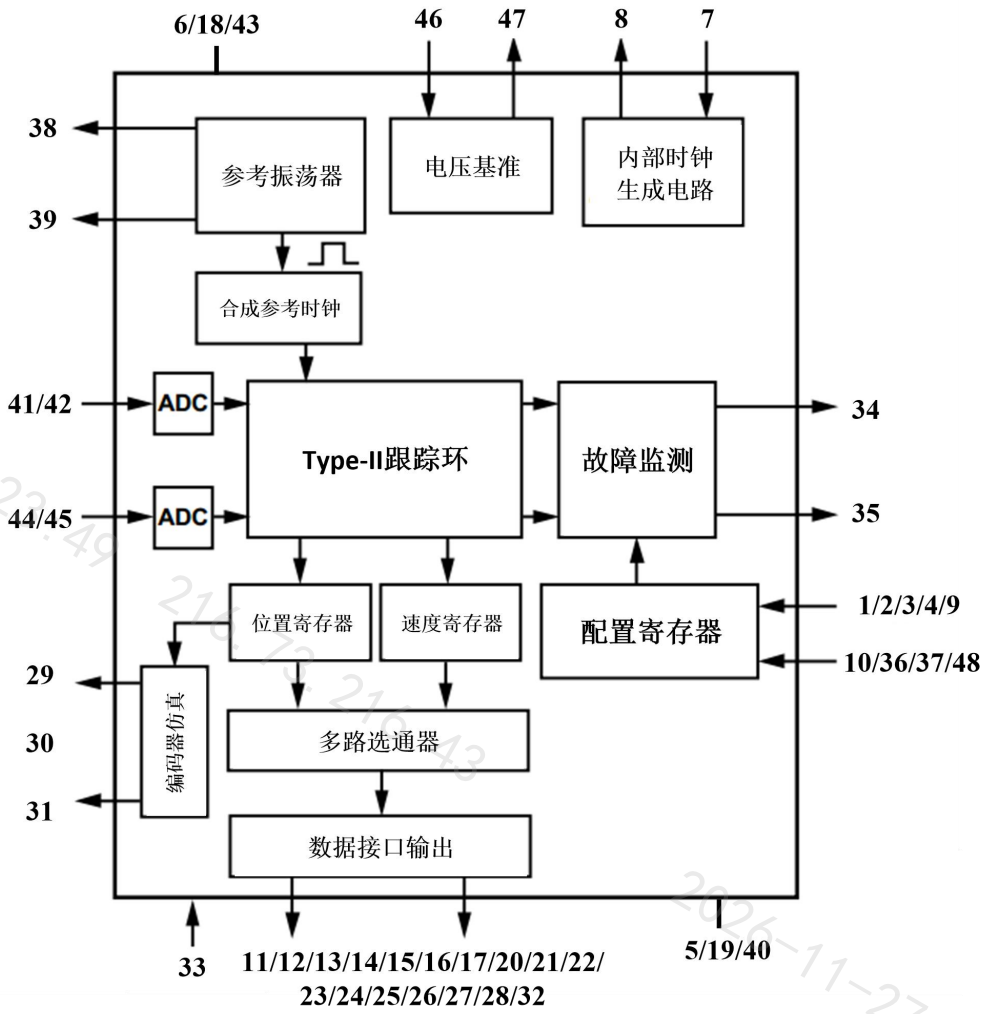


图 1 功能框图

6. 产品特色

1.比率跟踪转换 Type II 跟踪环路能够连续输出位置数据，且没有转换延迟。它还可以抑制噪声，并提供参考和输入信号的谐波失真容限。

2.系统故障检测。故障检测电路可以检测旋变的信号丢失、超范围输入信号、输入信号失配或位置跟踪丢失。各故障检测阈值可以由用户单独编程，以便针对特定应用进行优化。

3.输入信号范围。正弦和余弦输入端支持 3.15 Vp−p±27%的差分输入电压。

4.可编程激励频率。可以轻松地将激励频率设置为 2 kHz 至 20 kHz 范围内的多个标准频率。

5.三种格式位置数据。通过 16 位并行端口或 4 线串行接口可以访问 10 位至 16 位绝对角位置数据。增量式编码器仿真采用标准 A-quad-B 格式，并提供方向输出。

6.数字速度输出。通过 16 位并行端口或 4 线串行接口可以访问 10 位至 16 位带符号的数字量速度。

7. 额定条件与推荐工作条件

表 1

绝对最大额定值	电源电压: A_{VDD}：7.0V ，D_{VDD}：7.0V ，V_{DRIVE}：A_{VDD}
	模拟输入电压: -0.3V~A_{VDD}+0.3V
	模拟输出电压: -0.3V~A_{VDD}+0.3V
	数字输入电压: -0.3V~ V_{DRIVE}+0.3V
	数字输出电压: -0.3V~ V_{DRIVE}+0.3V
	信号与参考相移: -44° ~44°
	贮存温度范围(Tp): -65℃ to +150℃
	引脚耐焊温度(TM): 300℃(10sec)
推荐工作条件	电源电压: A_{VDD}：4.75V~5.25V ，D_{VDD}：4.75V~5.25V ，V_{DRIVE}：2.3V~5.25V
	正余弦信号输入范围（SIN 至 SINLO 差分，COS 至 COSLO 差分）：2.3Vp-p ~4.0Vp-p
	时钟频率：6.144MHz~10.24MHz
	激磁频率: 2kHz ~20kHz

8. 性能指标

除非另有说明，AVDD=DVDD=5.0 V±5%，CLKIN=8.192 MHz±25%，$\overline{EXC}$频率=10 kHz 至 20 kHz(10 位)、6 kHz 至 20 kHz(12 位)、3 kHz 至 12 kHz(14 位)、2 kHz 至 10 kHz(16 位)；TA=TMIN 至 TMAX 1。

表 2

参数	最小值	典型值	最大值	单位	条件/注释
正弦余弦输入					
电压幅度	2.3	3.15	4.0	Vp-p	正弦波形，差分SIN至SINLO COS至COSLO
输入偏置电流			8.25	μA	VIN = 4.0 Vp-p,
输入阻抗	485			*k*Ω	CLKIN = 8.192 MHz
锁相范围	-44		+44	度	正弦/余弦与EXC输出的关系， 控制寄存器D3= 0
角度精度					
转换精度		±2.5 +1 LSB	±5 +1 LSB	弧分	
分辨率	10，12，14，16			位	
积分非线性	-2		+2	LSB	10位
	-4		+4		12位
	-8		+8		14位
	-32		+32		16位
可重复性	-1		+1	LSB	
速度输出					
速度精度	-4		+4	LSB	10位
	-4		+4		12位
	-8		+8		14位
	-32		+32		16位
分辨率	9，11，13，15			Bits	

参数	最小值	典型值	最大值	单位	条件/注释
动态性能					
带宽	1900		3700	Hz	CLKIN=8.192MHz，10位
	750		1500		CLKIN=8.192MHz，12位
	400		800		CLKIN=8.192MHz，14位
	80		200		CLKIN=8.192MHz，16位
跟踪速率			2500	rps	CLKIN=8.192MHz，10位
			1000		CLKIN=8.192MHz，12位
			500		CLKIN=8.192MHz，14位
			125		CLKIN=8.192MHz，16位
加速度误差		30	60	弧分	CLKIN=8.192MHz，10位
		20	40		CLKIN=8.192MHz，12位
		20	40		CLKIN=8.192MHz，14位
		60	100		CLKIN=8.192MHz，16位
建立时间（10° 阶跃输入）	0.6		0.9	ms	10位 / 建立至±2LSB，CLKIN=8.192MHz
	2.2		3.1		12位
	6.5		9.0		14位
	27.5		40		16位
建立时间（179° 阶跃输入）	1.5		2.2	ms	10位 / 建立至±2LSB，CLKIN=8.192MHz
	4.75		6.0		10位
	10.5		14.7		10位
	45		66		10位
参考频率（EXC、$\overline{EXC}$ 输出）					
参考频率	2		20	kHz	差分输出（EXC至EXC）=7.2Vp-p
参考电压	3.2	3.6	4.0	Vp-p	
参考中心电压	2.40	2.47	2.53	V	
参考直流失配			30	mV	
参考交流失配			100		
THD		-42	-35	dB	
基准电压输出					
REFOUT	2.40		2.53	V	
逻辑输入					
输入高电平电压	2.0			V	V_{DRIVE}=2.7V~5.25V
输入低电平电压			0.8		
逻辑输出					
输出高电平电压	2.4			V	V_{DRIVE}=2.7V~5.25V
输出低电平电压			0.4		V_{DRIVE}=2.3V~5.25V
电源电流					
I_{AVDD}			5	mA	
I_{DVDD}			18.3		
I_{DRIVE}			1.9		

9. 引脚定义

引脚定义及顶视图如图 2：

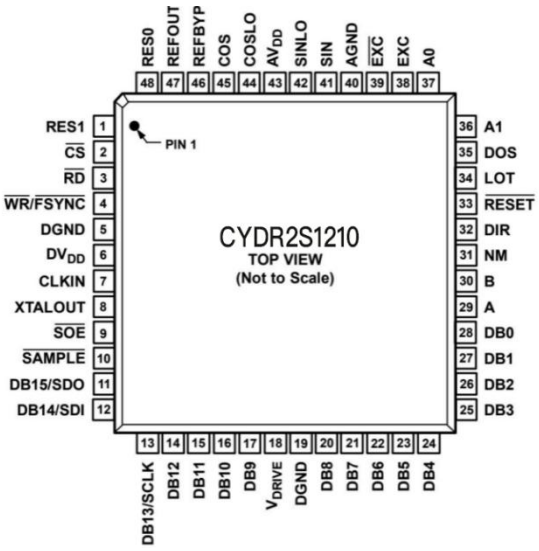


图 2 顶视图

表 3

引出端序号	符号	功能	引出端序号	符号	功能
1	RES1	分辨率选择 1	25	DB3	数据位 3
2	$\overline{CS}$	片选	26	DB2	数据位 2
3	RD	输出使能	27	DB1	数据位 1
4	$\overline{WR}/FSYNC$	写入/帧同步	28	DB0	数据位 0（LSB）
5	DGND	数字地	29	A	增量编码 A
6	DVDD	+5V 电源（数字）	30	B	增量编码 B
7	CLKIN	时钟输入	31	NM	增量编码指北
8	XTALOUT	晶振输出	32	DIR	方向
9	SOC	串行输出使能	33	$\overline{RESET}$	复位
10	$\overline{SAMPLE}$	采样	34	LOT	跟踪丢失
11	DB15/SDO	数据位 15(MSB)/串行数据输出总线	35	DOS	信号降级
12	DB14/SDI	数据位 14/串行数据输入总线	36	A1	模式选择 1
13	DB13/SCLK	数据位 13/串行时钟	37	A0	模式选择 0
14	DB12	数据位 12	38	$\overline{EXC}$	激励频率
15	DB11	数据位 11	39	EXC	激励频率
16	DB10	数据位 10	40	AGND	模拟地
17	DB9	数据位 9	41	SIN	正弦信号正输入端
18	V_{DRIVE}	逻辑电源输入	42	SINLO	正弦信号负输入端
19	DGND	数字地	43	AV_{DD}	+5V 电源（模拟）
20	DB8	数据位 8	44	COSLO	余弦信号负输入端
21	DB7	数据位 7	45	COS	余弦信号正输入端
22	DB6	数据位 6	46	REFBYP	基准电压旁路
23	DB5	数据位 5	47	REFOUT	基准电压输出
24	DB4	数据位 4	48	RES0	分辨率选择 0

10. 时序规格

除非另有说明，A_{VDD}=DV_{DD}=5V±5%,T_A=T_{MIN} 至 T_{MAX}

表 4 时序规格参数

参数	说明	在 TMIN, TMAX 的限值	单位
f_{CLKIN}	时钟输入频率	6.144	MHz(最小值)
		10.24	MHz(最大值)
t_{CK}	时钟周期	98	ns(最小值)
		163	ns(最大值)
t_1	$\overline{RD}$/$\overline{CS}$低电平之前的 A0 和 A1 建立时间	2	ns(最小值)
t_2	$\overline{CS}$下降沿至$\overline{WR}$/$\overline{FSYNC}$上升沿的延迟时间	22	ns(最小值)
t_3	写入周期中的地址/数据建立时间	3	ns(最小值)
t_4	写入周期中的地址/数据保持时间	2	ns(最小值)
t_5	$\overline{WR}$/$\overline{FSYNC}$上升沿至$\overline{CS}$上升沿的延迟时间	2	ns(最小值)
t_6	$\overline{CS}$上升沿至$\overline{CS}$下降沿的延迟时间	10	ns(最小值)
t_7	写入地址与写入数据之间的延迟时间	2×t_{CK}+20	ns(最小值)
t_8	$\overline{WR}$/$\overline{FSYNC}$上升沿之后的 A0 与 A1 保持时间	2	ns(最小值)
t_9	连续写入周期之间的延迟时间	6×t_{CK}+20	ns(最小值)
t_{10}	$\overline{WR}$/$\overline{FSYNC}$上升沿与$\overline{RD}$下降沿之间的延迟时间	2	ns(最小值)
t_{11}	$\overline{CS}$下降沿至$\overline{RD}$下降沿的延迟时间	2	ns(最小值)
t_{12}	配置模式下$\overline{RD}$低电平至数据有效的使能延迟时间		
	V_{DRIVE}=4.5V-5.25V	37	ns(最小值)
	V_{DRIVE}=2.7V-3.6V	25	ns(最小值)
	V_{DRIVE}=2.3V-2.7V	30	ns(最小值)
t_{13}	$\overline{RD}$上升沿到$\overline{CS}$上升沿	2	ns(最小值)
t_{14A}	$\overline{RD}$高电平至数据高阻态的禁用延迟时间	16	ns(最小值)
t_{14B}	$\overline{CS}$高电平至数据高阻态的禁用延迟时间	16	ns(最小值)
t_{15}	$\overline{RD}$上升沿与$\overline{WR}$/$\overline{FSYNC}$下降沿之间的延迟时间	2	ns(最小值)
t_{16}	$\overline{SAMPLE}$脉冲宽度	2×t_{CK}+20	ns(最小值)
t_{17}	$\overline{RD}$/$\overline{CS}$变为低电平之前的$\overline{SAMPLE}$延迟时间	6×t_{CK}+20	ns(最小值)
t_{18}	$\overline{RD}$低电平之前的$\overline{RD}$保持时间	2	ns(最小值)
t_{19}	$\overline{RD}$/$\overline{CS}$低电平至数据有效位的使能延迟时间		
	V_{DRIVE}=4.5V-5.25V	17	ns(最小值)
	V_{DRIVE}=2.7V-3.6V	21	ns(最小值)
	V_{DRIVE}=2.3V-2.7V	33	ns(最小值)
t_{20}	$\overline{RD}$脉冲宽度	6	ns(最小值)
t_{21}	$\overline{RD}$/$\overline{CS}$低电平时 A0 和 A1 建立时间及数据有效时间		
	V_{DRIVE}=4.5V-5.25V	36	ns(最小值)
	V_{DRIVE}=2.7V-3.6V	37	ns(最小值)
	V_{DRIVE}=2.3V-2.7V	29	ns(最小值)
t_{22}	$\overline{WR}$/$\overline{FSYNC}$下降至 SCLK 上升沿的延迟时间	3	ns(最小值)
t_{23}	$\overline{WR}$/$\overline{FSYNC}$下降至 SDO 解除高阻态的延迟时间		
	V_{DRIVE}=4.5V-5.25V	16	ns(最小值)

参数	说明	在 TMIN, TMAX 的限值	单位
	V_{DRIVE}=2.7V-3.6V	26	ns(最小值)
	V_{DRIVE}=2.3V-2.7V	29	ns(最小值)
t_{24}	SCLK 上升沿至 DBx 有效的延迟		
	V_{DRIVE}=4.5V-5.25V	24	ns(最小值)
	V_{DRIVE}=2.7V-3.6V	18	ns(最小值)
	V_{DRIVE}=2.3V-2.7V	32	ns(最小值)
t_{25}	SCLK 高电平时间	0.4×t_{SCLK}	ns(最小值)
t_{26}	SCLK 低电平时间	0.4×t_{SCLK}	ns(最小值)
t_{27}	SCLK 下降沿之前的 SDI 建立时间	3	ns(最小值)
t_{28}	SCLK 下降沿之后的 SDI 保持时间	2	ns(最小值)
t_{29}	$\overline{WR/FSYNC}$上升沿至 SDO 高阻态的延迟时间	15	ns(最小值)
t_{30}	$\overline{WR/FSYNC}$下降沿之前的$\overline{SAMPLE}$延迟时间	6×t_{CK}+20ns	ns(最小值)
t_{31}	普通模式下 $\overline{CS}$下降沿至$\overline{WR/FSYNC}$下降沿的延迟时间	2	ns(最小值)
t_{32}	$\overline{WR/FSYNC}$下降沿之前的 A0 和 A1 建立时间	2	ns(最小值)
t_{33}	$\overline{WR/FSYNC}$下降沿之前的 A0 和 A1 保持时间 [2]		
	普通模式下,A0=0,A1=0/1	24×t_{CK}+5ns	ns(最小值)
	配置模式下,A0=1,A1=1	8×t_{CK}+5ns	ns(最小值)
t_{34}	$\overline{WR/FSYNC}$上升沿至$\overline{WR/FSYNC}$下降沿的延迟时间	10	ns(最小值)
t_{SCLK}	$\overline{SCLK}$输入频率		
	V_{DRIVE}=4.5V-5.25V	20	MHz
	V_{DRIVE}=2.7V-3.6V	25	MHz
	V_{DRIVE}=2.3V-2.7V	15	MHz

1.在串行回读期间内，A0 和 A1 应保持不变。要回读 8 位故障信息和 16 位位置/速度数据，可能需要 24 个时钟周期。如果不需要故障信息，可以在 16 个时 钟周期之后释放 A0/A1。

11. 应用推荐

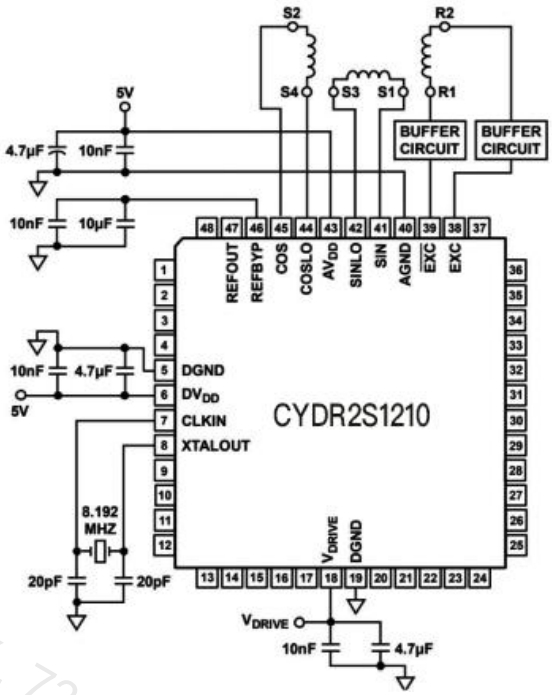


图 3 CYDR2S1210 典型应用电路

典型应用图如图 3 所示，上电稳定后进行 RESET 复位操作，拉低至少 20μS 后进行参数配置。如稳定后 LOT、DOS 仍然指示错误，请按照清除故障寄存器时序进行故障状态清除。激励缓冲电路如图 4 所示：

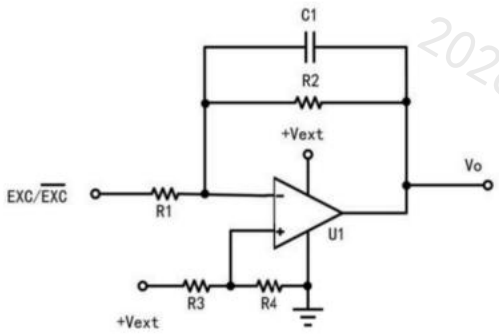


图 4 CYDR2S1210 激励电流放大电路

其中，U1 选择合适的功率放大器，推荐电路使用的是单电源功放，+Vext 为功放电源。通过设置 R3、R4 电阻阻值。使 Vout 输出共模电压在+Vext/2 附近。R1、R2 的阻值根据旋变变比关系确定。电容 C1 与电阻 R2 并联形成低通滤波器，用来滤除激磁信号上的噪声，应谨慎选取容值，确保低通滤波器引起的相移不超过 CYDR2S1210 的锁相范围。

12. CYDR2S1210 配置

工作模式 CYDR2S1210 有两种工作模式：配置模式和普通模式。配置模式用于对寄存器进行编程，以设置 CYDR2S1210 的激励频率、分辨率和故障检测阈值。配置模式也可以用于回读故障寄存器中的信息。位置和速度寄存器中的数据也可以在配置模式下进行回读。CYDR2S1210 可以完全工作在配置模式下；或者初始配置完成后，可以让器件离开配置模式，工作在普通模式下。在普通模式下工作时,数据输出可提供角位置或角速度数据。A0 和 A1 输入用来确定 CYDR2S1210 是否处于配置模式，以及是否将位置或速度数据提供给输出引脚，参见表 6。

12.1. 设置激励频率

将频率控制字写入激励频率寄存器(地址 0x91，参见寄存器映射部分)，可以设置 CYDR2S1210 的激励频率。

$$\text{激励频率} = \frac{FCW \times f_{CLKIN}}{2^{15}}$$

其中 FCW 为频率控制字，fCLKIN 为 CYDR2S1210 的时钟频率。激励频率的规定范围是从 2kHz 到 20kHz，以 250Hz 的增量进行设置。为了实现表 2 中的角度精度指标，应该按照表 5 所列选择激励频率。

表 5 建议激励频率与分辨率的关系（ f_{CLKIN}=8.192MHz ）

分辨率	典型带宽	最小激励频率	最大激励频率
10 位	4100Hz	10kHz	20 kHz
12 位	1700Hz	6kHz	20 kHz
14 位	900Hz	3kHz	12 kHz
16 位	250Hz	2kHz	10 kHz

请注意，各种分辨率和带宽所对应的推荐频率范围(如表 5 所示)是针对 8.192MHz 的时钟频率而定义的。推荐的激励频率范围与 CYDR2S1210 的时钟频率成比例。当以 8.192MHz 的时钟频率工作时，CYDR2S1210 的默认激励频率为 10 kHz。

12.2. A0 和 A1 输入

CYDR2S1210 允许用户直接从并行输出或通过串行接口读取角位置或角速度数据。利用 A0 和 A1 输入可以选择所需的信息。这些输入也可用于使器件进入配置模式。故障寄存器和其余片内寄存器的数据可以在配置模式下进行访问。

表 6 配置模式设置

A0	A1	结果
0	0	普通模式-位置输出
0	1	普通模式-速度输出
1	0	保留
1	1	配置模式

12.3. RES0 和 RES1 输入

普通模式下，数字输出的分辨率利用 RES0 和 RES1 输入引脚进行选择。配置模式下，分辨率的选择是通过设置控制寄存器中的 RES0 和 RES1 位。切换普通模式与配置模式时，用户负责确保控制寄存器中设置的分辨率与 RES0 和 RES1 输入引脚所设置的分辨率一致。如果两种分辨率设置不同，输出数据可能不正确。

表 7 分辨率设置

RES0	RES1	分辨率(位)	位置 LSB(弧分)	速度 LSB(rps)1
0	0	10	21.1	4.88
0	1	12	5.1	0.488
1	0	14	1.3	0.06
1	1	16	0.3	0.004

12.4. 寄存器映射

表 8 寄存器存储区分配

寄存器名称	寄存器地址	寄存器数据	读/写寄存器
位置	0x80	D15 至 D8	只读
	0x81	D7 至 D0	只读
速度	0x82	D15 至 D8	只读
	0x83	D7 至 D0	只读
LOS 阈值	0x88	D7 至 D0	读/写
DOS 超量程阈值	0x89	D7 至 D0	读/写
DOS 失配阈值	0x8A	D7 至 D0	读/写
DOS 复位最大阈值	0x8B	D7 至 D0	读/写
DOS 复位最小阈值	0x8C	D7 至 D0	读/写
LOT 上限	0x8D	D7 至 D0	读/写
LOT 下限	0x8E	D7 至 D0	读/写
激励频率	0x91	D7 至 D0	读/写
控制	0x92	D7 至 D0	读/写
软复位	0XF0	D7 至 D0	只写
故障	0xFF	D7 至 D0	只读

12.5. 位置寄存器

表9 16位寄存器

地址	位	读/写
0x80	D15 至 D8	只读
0x81	D7 至 D0	只读

位置寄存器包含旋变输入信号的角位置的数字表示。值以 16 位二进制格式存储。位置寄存器中的值在 $\overline{\text{SAMPLE}}$ 输入的下降沿之后更新。请注意，当使能迟滞(参见控制寄存器部分)且分辨率较低时，16 位数字输出的多位 LSB 设为 0。例如，对于 10 位分辨率，数据位 D15 至 D6 提供有效数据，D5 至 D0 则设为 0。当迟滞禁

用时，无论分辨率为多少，在位置寄存器中存储的值都是 16 位。分辨率较低时，可以忽略 6 位数字输出的多位 LSB。例如，对于 10 位分辨率，数据位 D15 至 D6 提供有效数据，D5 至 D0 则可以忽略。

12.6. 速度寄存器

表10 16位寄存器

地址	位	读/写
0x82	D15 至 D8	只读
0x83	D7 至 D0	只读

速度寄存器包含旋变输入信号的角速度的数字表示。速度寄存器中的值在采样输入的下降沿之后更新。值以 16 位二进制补码格式存储。对于各分辨率，CYDR2S1210 可跟踪的最大速度见表 2。例如，对于 16 位分辨率、8.192MHz 输入时钟，CYDR2S1210 的最大跟踪速率为±125rps。如果速度为+125rps，0x7FFF 将被存储在速度寄存器中；如果速度为-125rps，0x8000 将被存储在速度寄存器中。无论分辨率为多少，速度寄存器中存储的值都是 16 位。分辨率较低时，应忽略 16 位数字输出的多位 LSB。例如，对于 10 位分辨率，数据位 D15 至 D6 提供有效数据，D5 至 D0 则应被忽略。对于 10 位分辨率、8.192MHz 输入时钟，CYDR2S1210 的最大跟踪速率为±2500rps。如果速度为+2500rps，0x1FF 将被存储在速度寄存器的位 D15 至 D6 中；如果速度为-2500 rps，0x3FF 将被存储在速度寄存器的位 D15 至 D6 中。在这个 10 位的例子中，速度输出的 LSB 大小为 4.88 rps。

12.7. LOS 阈值寄存器

表11 8位寄存器

地址	位	读/写
0x88	D7 至 D0	读/写

LOS 阈值寄存器决定 CYDR2S1210 的信号丢失阈值。CYDR2S1210 允许用户在 0V 至 4.82V 范围内设置 LOS 阈值。LOS 阈值的分辨率为 7 位，即 38mV。请注意，MSB(D7)应设为 0。上电时 LOS 阈值的默认值为 2.2V。

12.8. DOS 超量程阈值寄存器

表12 8位寄存器

地址	位	读/写
0x89	D7 至 D0	读/写

DOS 超量程阈值寄存器决定 CYDR2S1210 的信号降级阈值。CYDR2S1210 允许用户在 0V 至 4.82V 范围内设置 DOS 超量程阈值。DOS 超量程阈值的分辨率为 7 位，即 38mV。请注意，MSB(D7)应设为 0。上电时 DOS 超量程阈值的默认值为 4.1V。

12.9. DOS 失配阈值寄存器

表13 8位寄存器

地址	位	读/写
0x8A	D7 至 D0	读/写

DOS 失配阈值寄存器决定 CYDR2S1210 的信号失配阈值。CYDR2S1210 允许用户在 0V 至 4.82V 范围内设置 DOS 失配阈值。DOS 失配阈值的分辨率为 7 位，即 38mV。请注意，MSB(D7)应设为 0。上电时 DOS 失配阈值的默认值为 380 mV。

12.10. DOS 复位最大和最小阈值寄存器

表14 8 位寄存器

地址	位	读/写
0x8B	D7至D0	读/写
0x8C	D7至D0	读/写

CYDR2S1210 将监控信号的最小和最大幅度连续存入内部寄存器，并计算最小值与最大值的差值，以判断是否发生 DOS 失配。内部最小值和最大值寄存器的初始值必须由用户定义。故障寄存器清除时，存储监控信号的最大和最小幅度的寄存器复位至 DOS 复位最大和最小阈值寄存器中存储的值。

DOS 复位最大和最小阈值的分辨率均为 7 位，即 38mV。请注意，MSB(D7)应设为 0。为确保正常工作，建议将 DOS 复位最小阈值寄存器设为比 DOS 超量程阈值至少小 1LSB，将 DOS 复位最大阈值寄存器设为比 LOS 阈值寄存器至少大 1LSB。DOS 复位最小阈值寄存器和 DOS 复位最大阈值寄存器的默认值分别为 3.99 V 和 2.28V。

12.11. LOT 上限寄存器

表 15 8 位寄存器

地址	位	读/写
0x8D	D7 至 D0	读/写

LOT 上限寄存器决定 CYDR2S1210 的位置跟踪丢失阈值。LOT 上限为 7 位字。请注意，MSB(D7)应设为 0。LOT 下限的范围、LSB 大小和上电时 LOT 下限的默认值取决于 CYDR2S1210 的分辨率设置，如表 17 所示。

12.12. LOT 下限寄存器

表16 8位寄存器

地址	位	读/写
0x8E	D7 至 D0	读/写

LOT 下限寄存器决定位置跟踪丢失故障检测的迟滞电平。当 CYDR2S1210 的内部误差信号超过 LOT 上限时，即发生跟踪丢失(LOT)情况。LOT 具有迟滞，直到内部误差信号小于 LOT 下限寄存器中定义的值时才会被清除。LOT 下限为 7 位字。请注意，MSB(D7)应设为 0。LOT 下限的范围、LSB 大小和上电时 LOT 下限的默认值取决于 CYDR2S1210 的分辨率设置，如表 17 所示。

表17 LOT上限/下限

分辨率(位)	范围(度)	LSB 大小(度)	LOT 默认下限(度)	LOT 默认上限(度)
10	0至45	0.35	2.5	12.5
12	0至18	0.14	1.0	5.0
14	0至9	0.09	0.09	2.5
16	0至9	0.09	0.09	2.5

12.13. 激励频率寄存器

表18 8位寄存器

地址	位	读/写
0x91	D7 至 D0	读/写

激励频率寄存器决定 CYDR2S1210 激励输出的频率。要设置激励频率，须将一个 7 位频率控制字写入该寄存器。请注意，MSB(D7)应设为 0。

$$FCW = \frac{激励频率 \times 2^{15}}{f_{CLKIN}}$$

其中 FCW 为频率控制字，fCLKIN 为 CYDR2S1210 的时钟频率。激励频率的规定范围是从 2kHz 到 20kHz，以 250Hz 的增量进行设置。为了确保 CYDR2S1210 在规定的频率范围内工作，频率控制字应为 0x4 与 0x50 之间的值。例如，如果用户要求激励频率为 5kHz，而时钟频率为 8.192MHz，则需要编程的码可由下式算出：

$$FCW = \frac{5KHz \times 2^{15}}{8.192MHZ} = 14（十六进制）$$

上电时 CYDR2S1210 的默认激励频率为 10 kHz。

12.14. 控制寄存器

表19 8位寄存器

地址	位	读/写
0x92	D7 至 D0	读/写

控制寄存器为 8 位寄存器，用于设置 CYDR2S1210 的控制模式。上电时控制寄存器的默认值为 0x7E。

表20 控制寄存器位功能描述

位	说明
D7	地址/数据位
D6	保留、置1
D5	锁相范围 0=360°, 1=±44°
D4	0=禁用迟滞, 1=使能迟滞
D3	设置编码器分辨率为EnRES1
D2	设置编码器分辨率为EnRES0
D1	设置分辨率RES1
D0	设置分辨率RES0

12.15. 地址/数据位

写入 CYDR2S1210 的每个 8 位字的 MSB 决定该 8 位字是寄存器地址还是数据。CYDR2S1210 所定义的各寄存器地址的 MSB(D7)为高。写入 CYDR2S1210 的各数据字的 MSB 为低。请注意，将一个数据字写入 CYDR2S1210 时，MSB 会在内部重新配置为奇偶校验位。当从任何读/写寄存器(见表 8)读取数据，位 D6 至 D0 的奇偶校验会重新加以计算，并与先前存储的奇偶校验位进行比较。8 位输出的 MSB 用来指示是否发生配置错误。如果 MSB 返回高，则表明从器件回读的数据与在上一个写入周期中写入器件的配置数据不一致。

12.16. 锁相范围

锁相范围允许 CYDR2S1210 补偿激励频率与正弦/余弦输入的相位差。推荐工作模式是使用默认锁相范围±44°。如果需要更大的锁相范围，可以设置 360°范围。不过，在这种工作模式下，CYDR2S1210 在发生信号丢失故障后应当复位。如果不复位，可能导致角度输出数据出现 180°误差。

12.17. 迟滞

CYDR2S1210 的位置积分器输出与位置寄存器输入之间有±1LSB 的迟滞。在高噪声环境下工作时，此迟滞可以用来防止 LSB 闪烁。CYDR2S1210 的最大跟踪速度由带宽决定。各分辨率设置对应不同的带宽，如表 2 所示。最大跟踪速度和带宽与分辨率成反比，即最大跟踪速度随着分辨率的降低而提高。用户可以选择禁用迟滞，以便对位置输出进行过采样，并且在指定的带宽内通过外部均值滤波实现更高分辨率输出。设置控制寄存器的位 D4 可以使能或禁用迟滞功能。上电时默认为使能迟滞。

12.18. 设置编码器分辨率

CYDR2S1210 编码器输出的分辨率可以与数字输出的分辨率相同，也可以比后者低。例如，当 CYDR2S1210 位置输出的分辨率设为 16 位时，编码器输出的分辨率可以设为 14、12 或 10 位。这样，用户可以利用较低带宽实现 16 位分辨率设置的高性能，而无需在外部对 AquadB 编码器输出进行分频。上电时编码器输出的默认分辨率为 16 位。参见增量式编码器输出部分。

表21 编码器分辨率设置

EnRES0	EnRES1	分辨率(位)
0	0	10
0	1	12
1	0	14
1	1	16

12.19. 设置分辨率

普通模式下，数字输出的分辨率利用 RES0 和 RES1 输入引脚进行选择(见表 7)。配置模式下，分辨率的选择是通过设置控制寄存器中的 RES0 和 RES1 位。切换普通模式与配置模式时，用户负责确保控制寄存器中设置的分辨率与 RES0 和 RES1 输入引脚所设置的分辨率一致。上电时数字输出的默认分辨率为 12 位。

12.20. 软件复位寄存器

表22 8位寄存器

地址	位	读/写
0xF0	D7 至 D0	只写

用户在配置模式下寻址软件复位寄存器，即将软件复位寄存器的 8 位地址 0xF0 写入 CYDR2S1210，将启动 CYDR2S1210 的软件复位。软件复位会重新初始化激励频率输出和内部 TypeII 跟踪环路。软件复位不会覆盖配

置寄存器中存储的数据。但应注意，故障寄存器中的数据会复位。在采用两个或更多旋变数字转换器，并利用同一时钟源驱动这些转换器的应用中，可以使用软件复位来同步所有转换器激励频率的相位。

12.21. 故障寄存器

表23 位寄存器

地址	位	读/写
0xFF	D7 至 D0	只读

CYDR2S1210 能够检测 8 种独立的故障条件。发生故障时，DOS 和/或 LOT 输出引脚变为低电平。通过读取故障寄存器，用户可以确定故障检测输出引脚的触发原因。请注意，故障寄存器位为高有效，即故障位变为高时表示故障已发生。

表24 故障寄存器位功能描述

位	说明
D7	正弦/余弦输入削波
D6	正弦/余弦输入低于 LOS 阈值
D5	正弦/余弦输入超过 DOS 超量程阈值
D4	正弦/余弦输入超过 DOS 失配阈值
D3	跟踪误差超过 LOT 阈值
D2	速度超过最大跟踪速率
D1	相位误差超过锁相范围
D0	配置奇偶校验错误

12.22. 数字接口

角位置和角速度用二进制数据表示，可以通过一个 16 位并行接口或者一个时钟速率最高为 25MHz 的 4 线串行接口提取。CYDR2S1210 利用一组片内寄存器控制其可编程功能。数据通过串行或并行接口写入这些寄存器。

12.23. $\overline{\text{SOE}}$输入

串行输出使能引脚 $\overline{\text{SOE}}$ 处于高电平时，并行接口使能。$\overline{\text{SOE}}$ 引脚处于低电平时，串行接口使能，引脚 DB0 至 DB12 进入高阻态。引脚 DB13 为串行时钟输入(SCLK)，引脚 DB14 为串行数据输入(SDI)，引脚 DB15 为串行数据输出(SDO)，$\overline{\text{WR/FSYNC}}$ 为帧同步输入。

12.24. $\overline{\text{SAMPLE}}$输入

CYDR2S1210 按照 TypeII 跟踪闭环原理工作。环路连续跟踪旋变的位置和速度，而不需要外部转换和等待状态。位置和速度寄存器位于环路外部，在 $\overline{\text{SAMPLE}}$ 信号发生高电平至低电平转换后进行更新。为了保证数据得以正确锁存，此引脚必须保持低电平至少 t_{16ns}。

12.25. 数据格式

数字角度数据将旋变轴的绝对位置表示为 10 位至 16 位无符号二进制字。数字速度数据为 10 位至 16 位二进制补码字，它表示旋变轴沿顺时针或逆时针方向旋转的速度。

12.26. 并行接口

当$\overline{SOE}$引脚处于高电平时，选择并行接口。片选引脚$\overline{CS}$必须处于低电平才能使能该接口。

12.26.1. 写入 CYDR2S1210

利用 8 位并行接口 D7 至 D0 和 $\overline{WR}$/$\overline{FSYNC}$ 引脚，可在并行模式下写入 CYDR2S1210 的片内寄存器。写入 CYDR2S1210 的每个 8 位字的 MSB 决定该 8 位字是寄存器地址还是数据。CYDR2S1210 所定义的各寄存器地址的 MSB(D7)为高(参见寄存器映射部分)。写入 CYDR2S1210 的各数据字的 MSB 为低。若要写入其中一个寄存器，用户首先必须利用 A0 和 A1 输入将 CYDR2S1210 置于配置模式。然后，利用引脚 DB7 至 DB0 将 8 位地址写入 CYDR2S1210，并利用 $\overline{WR}$/$\overline{FSYNC}$ 输入的上升沿予以锁存。随后可以在引脚 DB7 至 DB0 上提供数据，并再次利用 $\overline{WR}$/$\overline{FSYNC}$ 输入将数据锁存至器件。图 5 给出了写入配置寄存器时应遵循的时序要求。请注意，在写入 CYDR2S1210 时，$\overline{RD}$输入应保持高电平。

12.26.2. 读取 CYDR2S1210

可以从 CYDR2S1210 回读下列数据:

- 角位置
- 角速度
- 故障寄存器数据
- 片内寄存器的状态

角位置和角速度数据既可以在普通模式下回读，也可以在配置模式下回读。要读取故障寄存器或其余片内寄存器的状态，必须将器件置于配置模式。

12.26.3. 在配置模式下读取 CYDR2S1210

若要回读其中一个片内寄存器所存储的数据，包括故障寄存器，用户首先必须利用 A0 和 A1 输入将 CYDR2S1210 置于配置模式。然后将要读取的 8 位寄存器地址写入器件，如“写入 CYDR2S1210”部分所述。这将把相关数据传输至输出寄存器。然后就可像上文所述那样，利用 $\overline{RD}$ 输入读取数据。当从任何读/写寄存器(见表 8)回读数据时，8 位字由相关寄存器中的 7 位数据 D6 至 D0 和差错位 D7 组成。如果差错位返回高，则表明从器件回读的数据与在上一个写入周期中写入器件的配置数据不一致。如果用户想在配置模式下回读角位置或角速度数据，则需要 $\overline{SAMPLE}$ 输入的一个下降沿，以更新位置和速度寄存器中的信息。然后可以寻址所需的寄存器，像上文所述那样回读这些寄存器中的数据。图 6 显示了读取配置寄存器时应遵循的时序要求。

12.26.4. 在普通模式下读取 CYDR2S1210

若要从 CYDR2S1210 回读位置或速度数据，首先应当利用 $\overline{\text{SAMPLE}}$ 输入更新位置和速度寄存器中存储的信息。当 $\overline{\text{SAMPLE}}$ 输入发生高电平至低电平转换时，数据将从位置和速度积分器传输到位置和速度寄存器。故障寄存器也会在此时进行更新。A0 和 A1 输入的状态决定是将位置数据还是速度数据传输至输出寄存器。$\overline{\text{CS}}$ 引脚必须保持低电平才能将所选数据传输至输出寄存器。最后，利用 RD 输入读取输出寄存器中的数据，并使能输出缓冲器。$\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 保持低电平时，输出缓冲器使能。当 $\overline{\text{RD}}$ 返回高电平时，数据引脚也返回高阻态。如果用户要连续读取数据，可以在释放起的至少 t20ns 后重新使用 $\overline{\text{RD}}$ 。读取周期的时序要求如图 7 所示。请注意，当 $\overline{\text{RD}}$ 为低电平时， $\overline{\text{WR/FSYNC}}$ 输入应为高电平。

12.26.5. 故障寄存器清除

CYDR2S1210 的 LOT 引脚和/或 DOS 引脚变为低电平时，即表示检测到故障。CYDR2S1210 能够检测 8 种独立的故障条件。要确定是何种条件触发了故障指示，则用户必须进入配置模式并读取故障寄存器。若要复位故障指示器，必须再施加一个$\overline{\text{SAMPLE}}$脉冲。这可确保初始采样与随后读取故障寄存器之间可能发生的任何故障都会被捕捉到。

因此，为了读取和清除故障寄存器，需要发生下述一系列事件：

1.$\overline{\text{SAMPLE}}$输入发生高电平至低电平转换。

2.$\overline{\text{SAMPLE}}$输入应保持低电平 t16ns，然后可以返回高电平。

3.CYDR2S1210 应处于配置模式，即 A0 和 A1 均设为逻辑高电平。

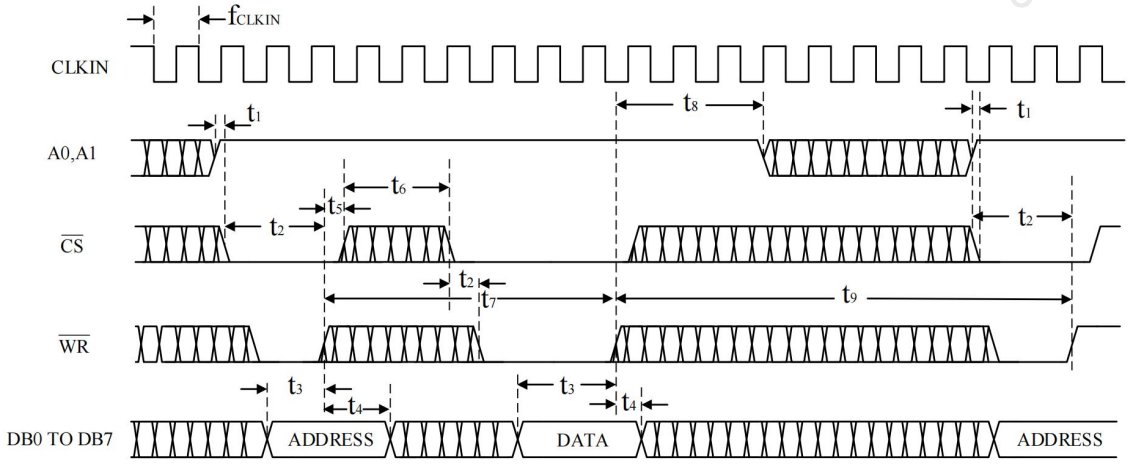
4.应按照“在配置模式下读取 CYDR2S1210”部分所述读取故障寄存器。

5.$\overline{\text{SAMPLE}}$输入再次发生高电平至低电平转换，以清除 DOS 和/或 LOT 引脚上的故障指示。

6.请注意，如果是持续故障，故障指示器将在指定的故障时间延迟内重新触发。

图 8 显示了清除故障寄存器时应遵循的时序要求。

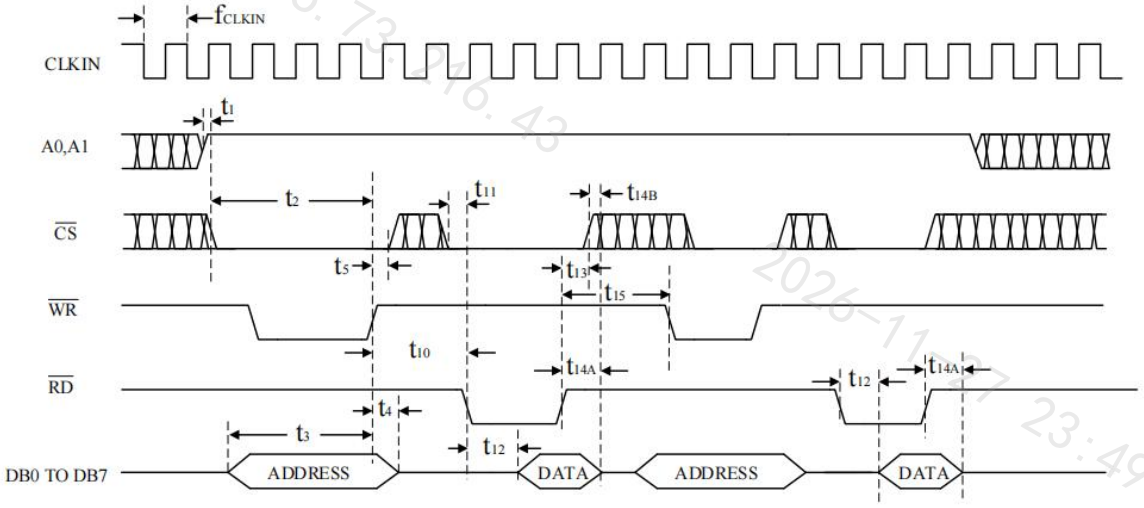
请注意，退出配置模式之前写入 CYDR2S1210 的最后一个有效寄存器地址，在重新进入配置模式时会再次有效。因此，完成 CYDR2S1210 的初始配置后，建议在离开配置模式之前，将故障寄存器地址写入 CYDR2S1210。这可以简化普通模式下故障寄存器的读取和清除操作，因为现在只要反转 A0 和 A1 位就能访问位置、速度和故障信息，而无需再次寻址寄存器。



注释

1. ⋈ 表示任意。
2. 写入SC2161时，$\overline{RD}$ 应保持高电平。

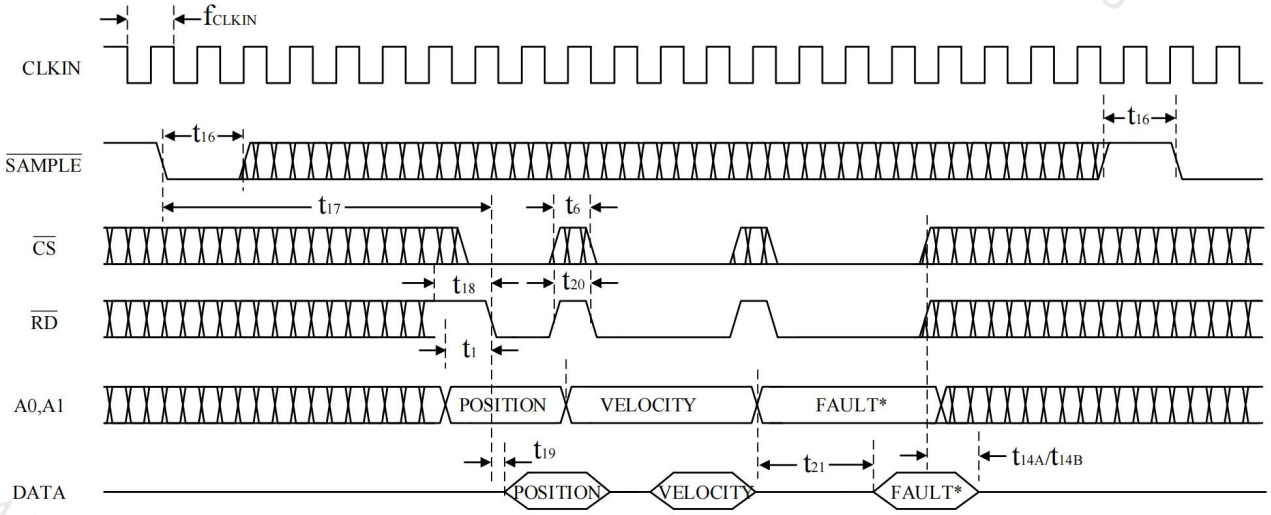
图 5 并行端口写入时序—配置模式



注释

1. ⋈ 表示任意。

图 6 并行端口读取时序—配置模式

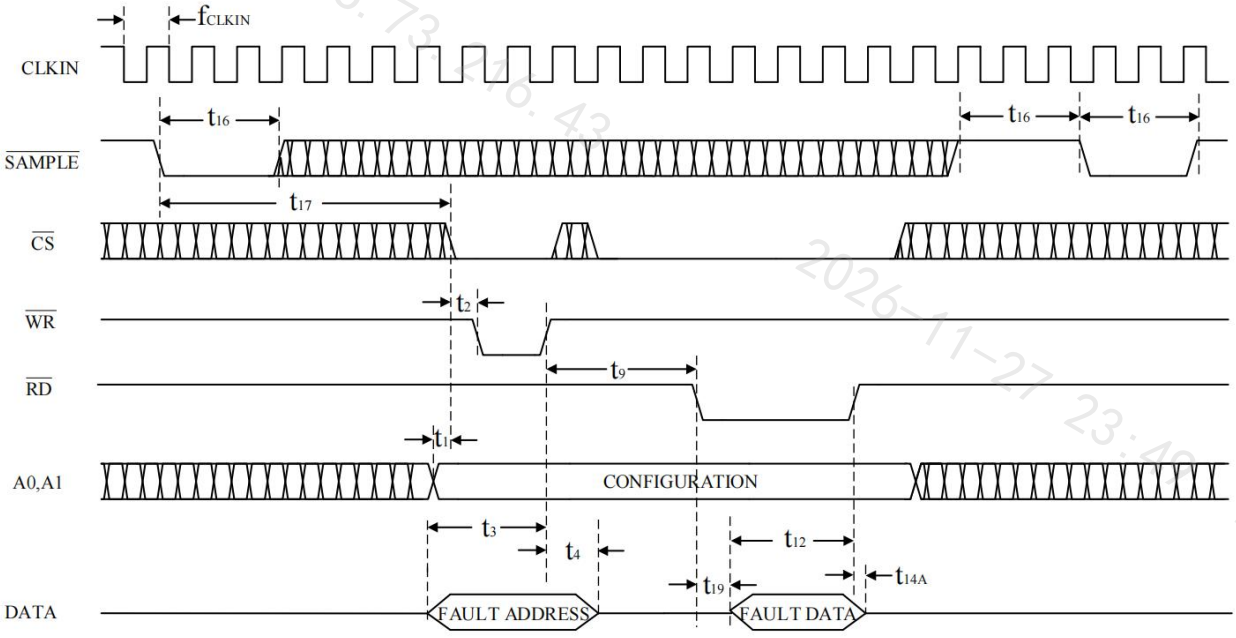


假设在退出配置模式之前将故障寄存器地址写入器件。

注释

1. 表示任意。

图 7 并行端口读取时序



注释

1. 表示任意。

图 8 并行端口-清除故障寄存器

12.27. 串行接口

将$\overline{SOE}$引脚维持在低电平状态，可选中此串行接口。CYDR2S1210 串行接口由四个信号构成：SDO、SDI、$\overline{WR/FSYNC}$和 SCLK。SDI 用于将数据传输至片内寄存器中，SDO 则用于从片内寄存器中获取数据，包括位置、速度和故障寄存器。SCLK 是器件的串行时钟输入，所有数据传输(无论是 SDI 上还是 SDO 上)均相对于该 SCLK 信号进行。$\overline{WR/FSYNC}$用于帧同步数据。$\overline{WR/FSYNC}$的下降沿使 SDI 和 SDO 线路脱离高阻态。$\overline{WR/FSYNC}$的上升沿使 SDI 和 SDO 线路返回高阻态。串行接口不需要$\overline{CS}$输入，它应保持低电平。

12.27.1. SDO 输出

在普通工作模式下，数据作为 24 位字在串行时钟输入 SCLK 的控制下移出器件。数据是在 SCLK 的上升沿移出。图 9 给出了这种操作的时序图。

12.27.2. SDI 输入

SDI 输入在配置模式下寻址片内寄存器以及用作菊花链输入。数据是在 SCLK 的下降沿移入器件。图 9 给出了这种操作的时序图。

12.27.3. 写入 CYDR2S1210

利用串行接口可以访问 CYDR2S1210 的片内寄存器。若要写入其中一个寄存器，用户首先必须利用 A0 和 A1 输入将 CYDR2S1210 置于配置模式。然后，利用 SDI 引脚将 8 位地址写入 CYDR2S1210，并利用 $\overline{WR/FSYNC}$ 输入的上升沿予以锁存。随后可以在 SDI 引脚上提供数据，并再次利用 $\overline{WR/FSYNC}$ 输入将数据锁存至器件。8 位写操作的 MSB 决定该 8 位字是一个寄存器地址(MSB 设为高电平)还是待写入的数据(MSB 设为低)。图 10 给出了写入配置寄存器时应遵循的时序要求。

12.27.4. 在配置模式下读取 CYDR2S1210

若要回读其中一个片内寄存器所存储的数据，包括故障寄存器，用户首先必须利用 A0 和 A1 输入将 CYDR2S1210 置于配置模式。然后将要读取的 8 位寄存器地址写入器件，如“写入 CYDR2S1210”部分所述。这将把相关数据传输至输出寄存器。配置模式下，输出移位寄存器为 8 位宽。数据作为 8 位字在串行时钟输入 SCLK 的控制下移出器件。图 11 给出了这种操作的时序图。当从任何读/写寄存器(见表 8)回读数据时，8 位字由相关寄存器中的 7 位数据 D6 至 D0 和差错位 D7 组成。如果差错位返回高，则表明从器件回读的数据与在上一个写入周期中写入器件的配置数据不一致。若要在配置模式下回读角位置或角速度数据，则需要$\overline{SAMPLE}$输入的一个下降沿，以更新位置和速度寄存器中的信息。

12.27.5. 在普通模式下读取 CYDR2S1210

若要从 CYDR2S1210 回读位置或速度数据，首先应当利用 $\overline{SAMPLE}$ 输入更新位置和速度寄存器中存储的信息。当 $\overline{SAMPLE}$ 输入发生高电平至低电平转换时，数据将从位置和速度积分器传输到位置和速度寄存器。故障寄存器也会在此时进行更新。A0 和 A1 输入的状态决定是将位置数据还是速度数据传输至输出寄存器。普通模式下，输出移位寄存器为 24 位宽。24 位字由 16 位角度数据(位置或速度数据)和其后的 8 位故障寄存器数据组成。

数据以 MSB 优先(位 23)方式在 SDO 引脚上读出。位 23 至位 8 对应于角度信息。角位置数据格式为无符号二进制，全 0 表示 0 度，全 1 表示 360 度-1LSB。角速度数据格式二进制补码，MSB 代表旋转方向。位 7 至位 0 对应于故障信息。如果用户不需要故障信息，可以在第 16 个 SCLK 上升沿之后拉高 $\overline{WR/FSYNC}$。

12.27.6. 故障寄存器清除

CYDR2S1210 的 LOT 引脚和/或 DOS 引脚变为低电平时，即表示检测到故障。CYDR2S1210 能够检测 8 种独立的故障条件。要确定是何种条件触发了故障指示，则用户必须进入配置模式并读取故障寄存器。若要复位故障指示器，必须再施加一个 $\overline{SAMPLE}$ 脉冲。这可确保初始采样与随后读取故障寄存器之间可能发生的任何故障都会被捕捉到。因此，为了读取和清除故障寄存器，需要发生下述一系列事件：

1.$\overline{SAMPLE}$ 输入发生高电平至低电平转换。

2.$\overline{SAMPLE}$ 输入应保持低电平 t16 ns，然后可以返回高电平。

3.CYDR2S1210 应处于配置模式，即 A0 和 A1 均设为逻辑高电平。

4.按照“在配置模式下读取 CYDR2S1210”部分所述读取故障寄存器。

5.SAMPLE 输入再次发生高电平至低电平转换，以清除 DOS 和/或 LOT 引脚上的故障指示。

6.请注意，如果是持续故障，故障指示器将在指定的故障时间延迟内重新触发。

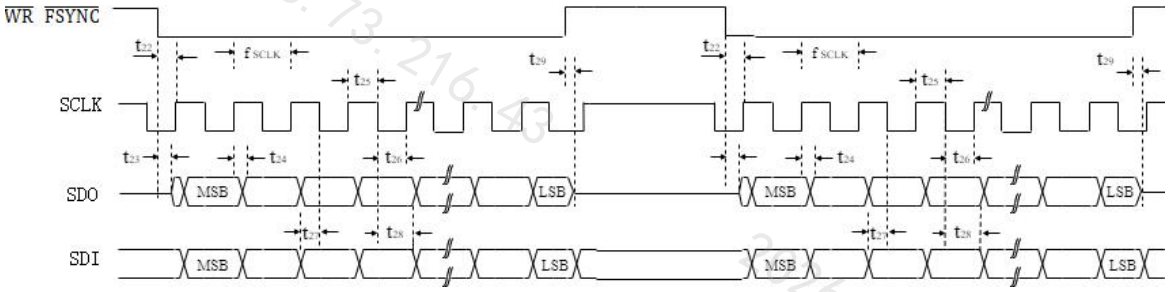


图 9 串行接口时序图

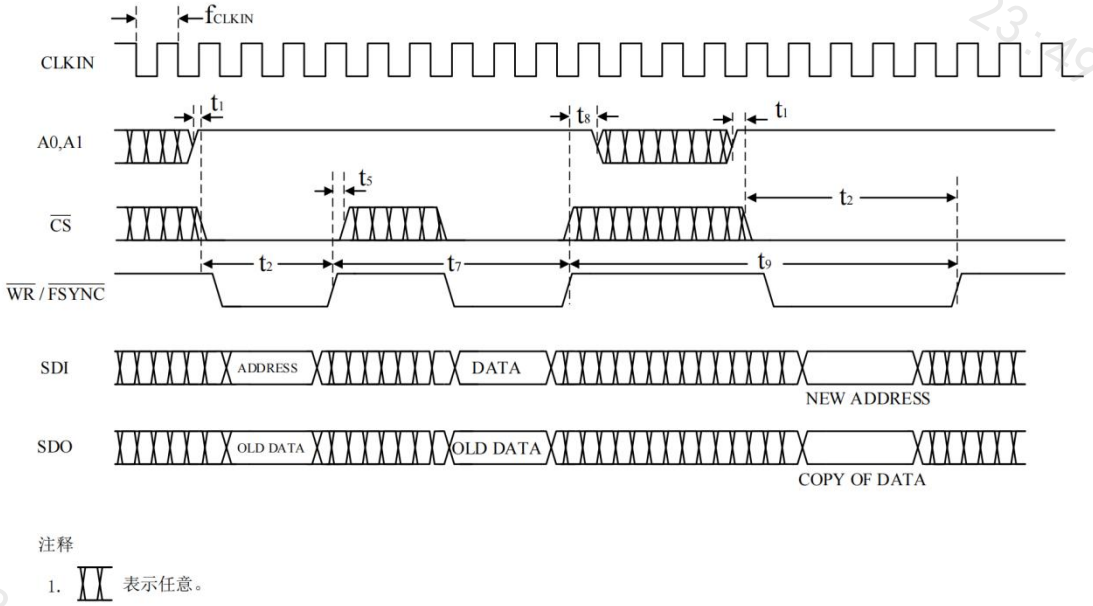
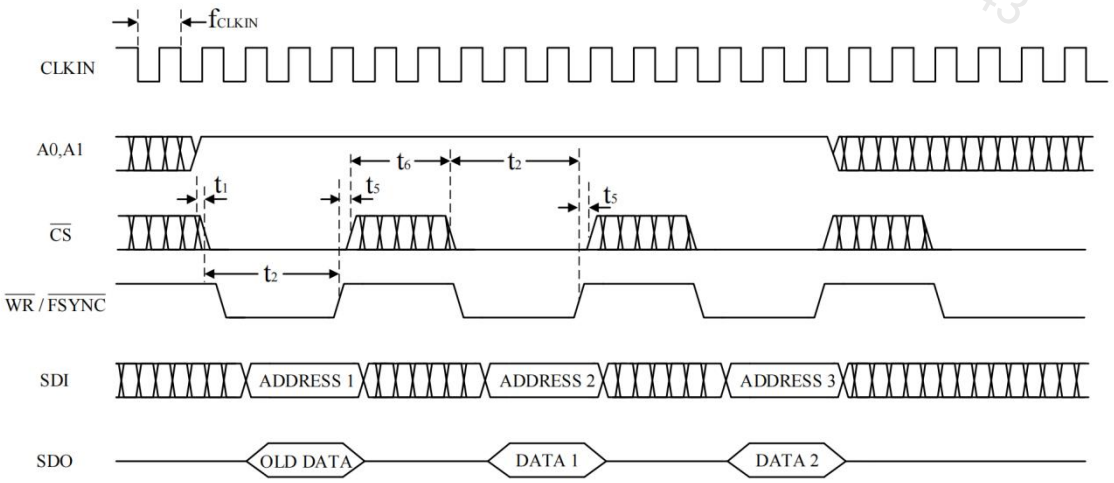


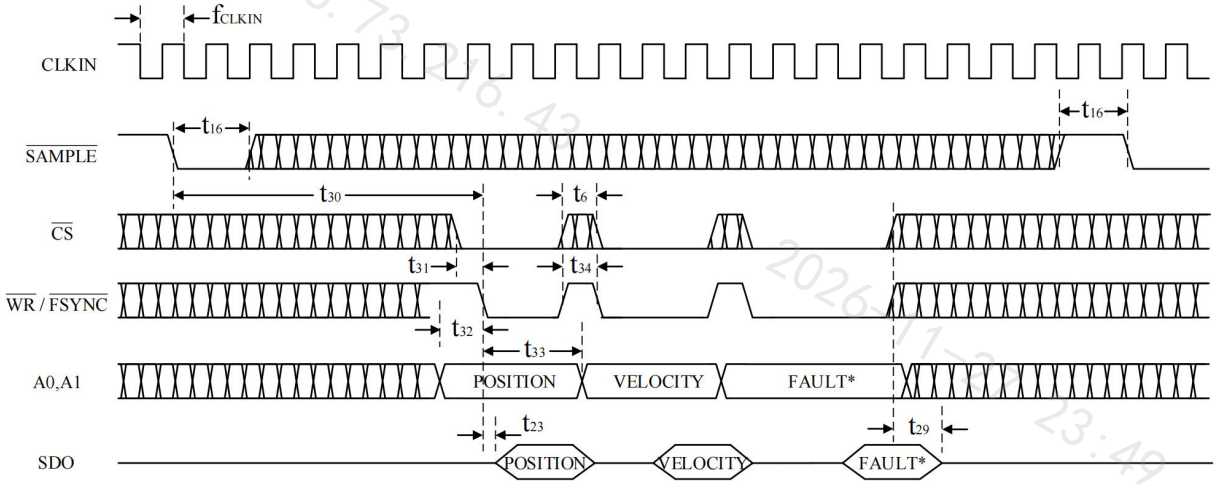
图 10 串行端口写入时序—配置模式



注释

1. 表示任意。

图 11 串行接口读取时序—配置模式



注释

1. 表示任意。

图 12 串行接口读取时序

12.28. 增量式编码器输出

A、B 和 NM 增量式编码器仿真输出为自由式；而且如果施加于转换器的旋变格式输入信号有效，则输出有效。CYDR2S1210 可配置为用于仿真 256 线、1024 线、4096 线或 16,384 线编码器。例如，如果 CYDR2S1210 配置为 12 位分辨率，则转一圈将产生 1024 个 A、B 脉冲。角旋转不断增大时(即顺时针方向)，脉冲 A 超前于脉冲 B。

CYDR2S1210 编码器仿真输出的分辨率在不同数字输出的分辨率下可进行如下配置：

1）CYDR2S1210 分辨率设置为 16bit，编码器仿真输出的分辨率可以设置为 14 位，12 位或 10 位

2）CYDR2S1210 分辨率设置为 14bit，编码器仿真输出的分辨率可以设置为 12 位或 10 位

3）CYDR2S1210 分辨率设置为 12bit，编码器仿真输出的分辨率可以设置为 12 位或 10 位

4）CYDR2S1210 分辨率设置为 10bit，编码器仿真输出的分辨率可以设置为 10 位

通过写入控制寄存器的位 D3 和 D2，可以对编码器仿真输出的分辨率进行编程。当绝对角位置经过零点时，即产生路标脉冲。路标脉冲宽度在内部设置为 90°且相对于周期 A。图 13 显示了 A、B 和 NM 之间的关系。

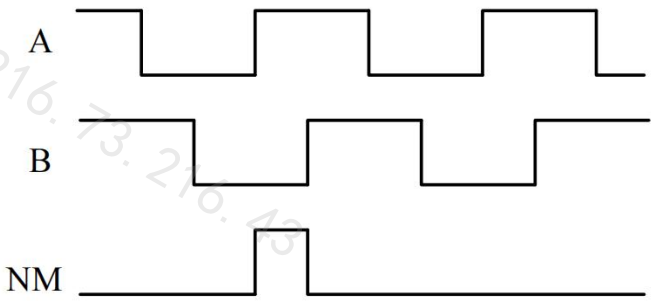


图 13 顺时针旋转 A、B 和 NM 时序

A 和 B 输出使得 CYDR2S1210 加上旋变的解决方案能够直接取代光学编码器，而无需修改或升级现有应用软件。

12.29. 上电时序控制和复位

CYDR2S1210 需要一个外部复位信号使 $\overline{\text{RESET}}$ 输入保持低电平，直到 VDD 达到规定的工作电压范围 4.5V 至 5.5V 以内。在 VDD 处于规定范围之后，$\overline{\text{RESET}}$ 引脚必须保持低电平至少 10μs(即图 14 中的 tRST)。对 CYDR2S1210 施加一个 $\overline{\text{RESET}}$ 信号，将把输出位置初始化为 0x000 值(通过并行、串行和编码器接口输出的度数)，并导致器件指示 LOS(LOT 和 DOS 引脚拉低)，如图 14 所示。如果没有正确控制上电复位时序，可能会导致位置指示不正确。在 $\overline{\text{RESET}}$ 输入的上升沿之后，必须为器件留出至少 t_{TRACK} ms 的时间(见图 14)，以便内部电路稳定下来，并且跟踪环路建立至输入位置的阶跃变化。在 t_{TRACK} 期间，LOT 和 DOS 引脚可能会指示故障，原因是 $\overline{\text{RESET}}$ 引起的阶跃响应。t_{TRACK} 的持续时间取决于转换器分辨率，如表 25 所示。经过 t_{TRACK} 之后，应按照“清除故障寄存器”部分所述读取和清除故障寄存器。读取和清除故障寄存器所需的时间表示为 tFAULT，它由应用所用的 DSP/微处理器的接口速度决定。(请注意，如果位置数据是通过编码器输出获取，则可以在 t_{TRACK} 期间监控这些输出。)

表25 t_{TRACK} 与分辨率的关系系(f_{CLKIN} = 8.192 MHz)

分辨率(位)	t_{TRACK} (ms)
10	10
12	25
14	25
16	60

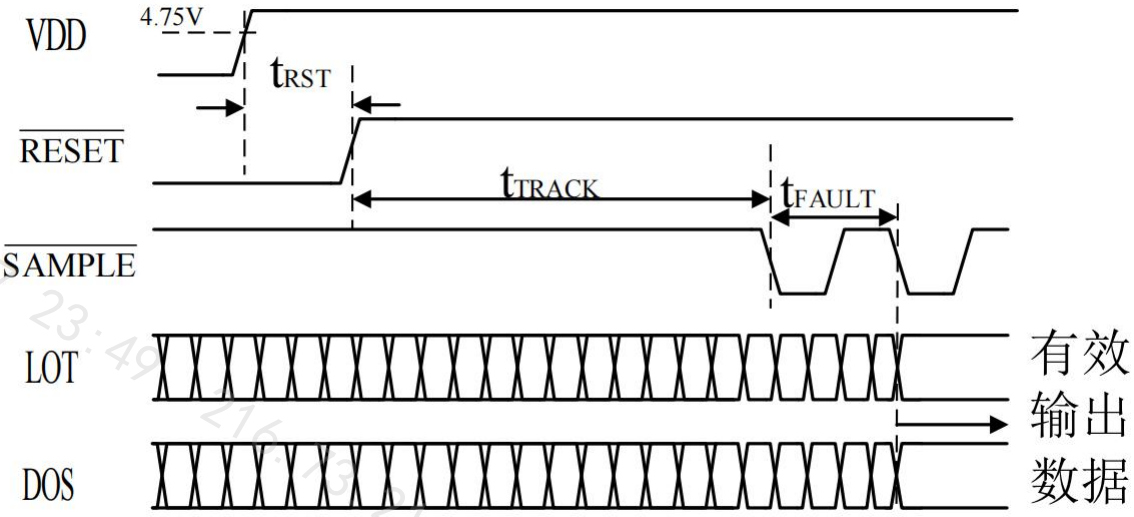


图 14 上电时序控制和复位

13. 封装尺寸（单位：毫米）

13.1. LQFP48 封装尺寸

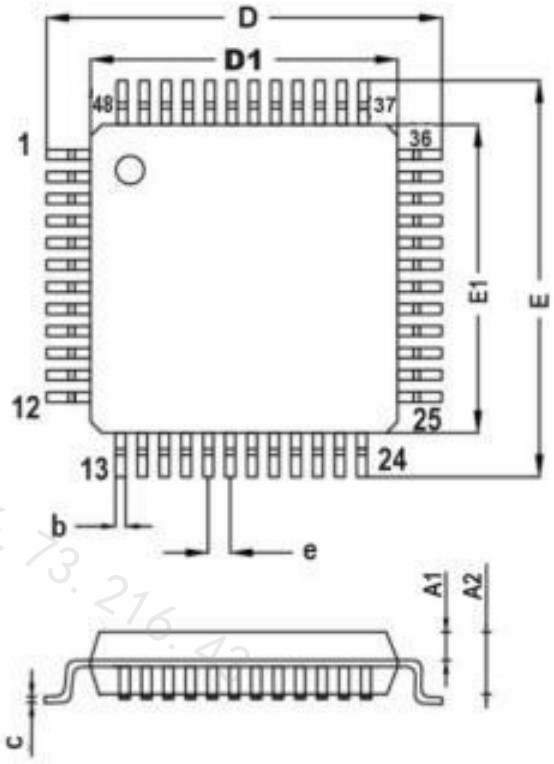


图 15 LQFP48 封装尺寸图

表 26

尺寸符号	数值,单位：mm		
	最小值	公称值	最大值
A1	0.45	0.64	0.8
A2			1.8
b	0. 15	—	0.3
c	0. 10		0.20
D	8.50	9.00	9.50
D1	6.50	7.00	7.50
E	8.50	9.00	9.50
E1	6.50	7.00	7.50
e	0.35	0.5	0.65

13.2. CQFP48 封装尺寸

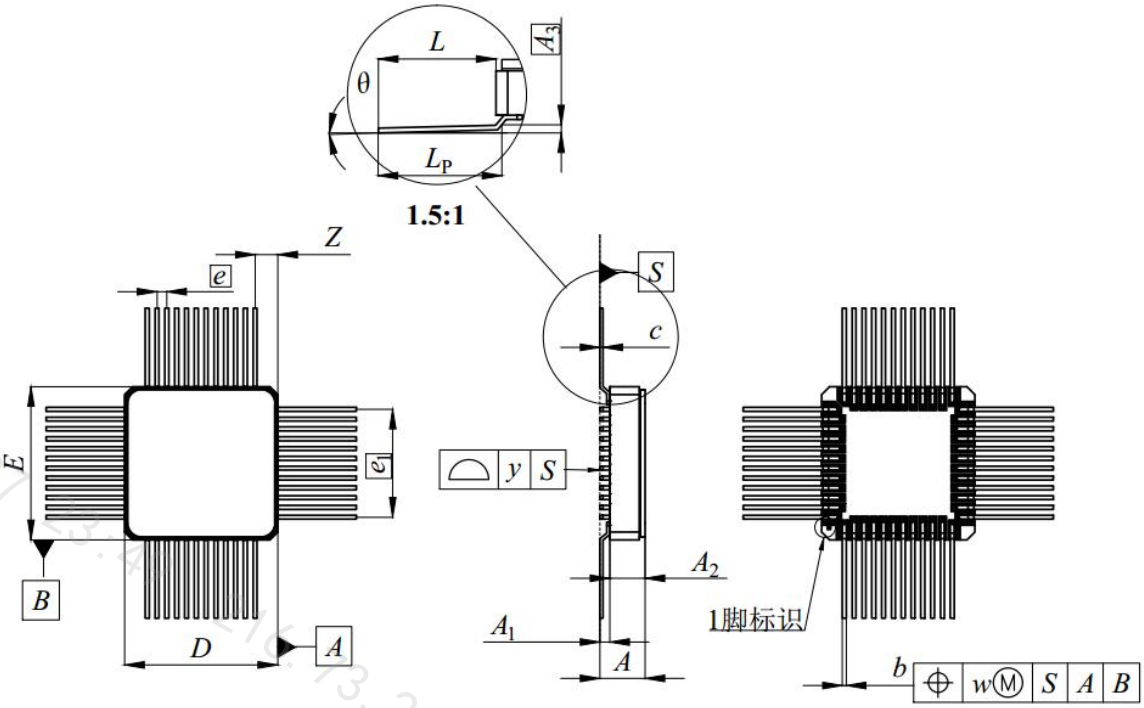


图 16 CQFP48 封装尺寸图

表 27

尺寸符号	数值			尺寸符号	数值		
	最小	公称	最大		最小	公称	最大
A	—	—	2.80	A1	0.30	—	0.70
A2	1.50	—	2.10	A3	—	0.30	—
D	7.50	—	8.10	E	7.50	—	8.10
e	—	0.50	—	e1	—	5.50	—
b	0.15	—	0.25	c	0.10	—	0.20
L	0.60	—	—	Lp	0.65	—	—
y	—	—	0.10	w	—	—	0.40
θ	—	—	8°	Z	0.50	—	—
注：A3、e1、Lp 、y、w、θ由设计保证，不做检验要求。除设计保证尺寸外，其他尺寸考核以最大值最小值为标准。							

14. 说明

如欲了解更多的产品及及公司信息，请登录网站：https://www.chiphelps.com

15. 本文档中的信息如有变更，恕不另行通知

请使用微信扫码进入
上海宸屿小程序

查资料查替代查库存查价格

招募中国区各省代理商请访问官网