CYD7606C-18

8 通道、内置 18 位、双极性输入、同步采样 ADC

1. 特性

- 双极性模拟输入范围
  - 单端：±12.5V、±10V、±5V、±2.5V
  - 差分：±25V、±20V、±12.5V、±10V、±5V
- 5V 模拟电源，1.71V 至 5.25V 数字接口电源
- 8 通道同步采样输入
- 性能
  - 模拟输入 ESD 高达 7000V
  - 94.5dB SNR（无过采样），-107dB THD
  - ±2LSB INL，±0.6LSB DNL
- 灵活的并行/串行接口
  - SPI/QSPI/MICROWIRE/DSP 兼容
- 完全集成的数据采集解决方案
  - 模拟输入钳位保护
  - 具有 1MΩ输入阻抗的输入缓冲器
  - 一阶抗混叠滤波器
  - 片内精密基准电压及缓冲
  - 18 位、1MSPS ADC（所有通道）
  - 灵活的数字滤波器，过采样率高达 256 倍
  - 23kHz 和 202kHz 两种带宽选项
- 低功耗：运行 175mW，待机 25mW
- LQFP64 10mm×10mm 封装

2. 应用

- 数据采集系统
- 仪器仪表和科学测量
- 半导体自动化测试设备
- 电力线监控和保护系统
- 多相电机控制
- 工业自动化控制和轨道交通

3. 概述

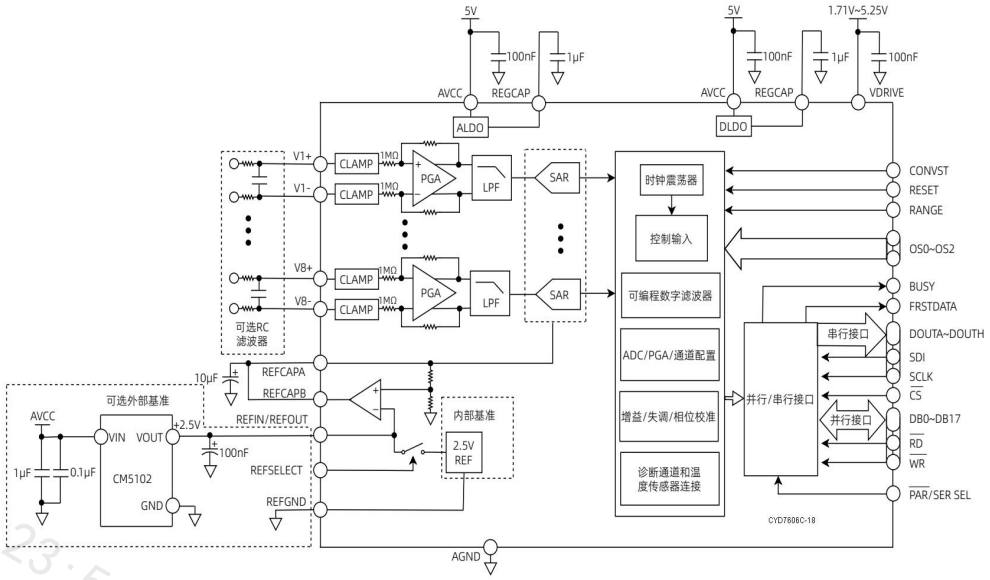
CYD7606C-18 是一款 18 位、8 通道同步采样数据采集系统(DAS)。各通道均内置模拟输入钳位保护、可编程增益放大器(PGA)、低通滤波器(LPF)和 18 位 SAR ADC。CYD7606C-18 还内置了灵活的数字滤波器、低温漂 2.5V 基准电压源、基准电压缓冲器以及高速串行和并行接口。

CYD7606C-18 采用 5V 单电源供电，可以处理单端±12.5V、±10V、±5V、±2.5V 和差分±25V、±20V、±12.5V、±10V、±5V 真双极性输入信号，同时所有通道均能以高达 1MSPS 的吞吐速率采样。输入钳位保护电路可以承受高达±19.5V 的电压。1MΩ的高输入阻抗以及片内滤波器，可以极大简化外围电路设计。

4. 订购信息

物料编号	工作温度范围	等级类型	封装
CYD7606C-18F64I	-40°C-125°C	工业级	LQFP64

5. 架构框图



6. 管脚配置和功能

6.1. 管脚配置

以下为 CYD7606C-18 LQFP64 封装管脚示意图：

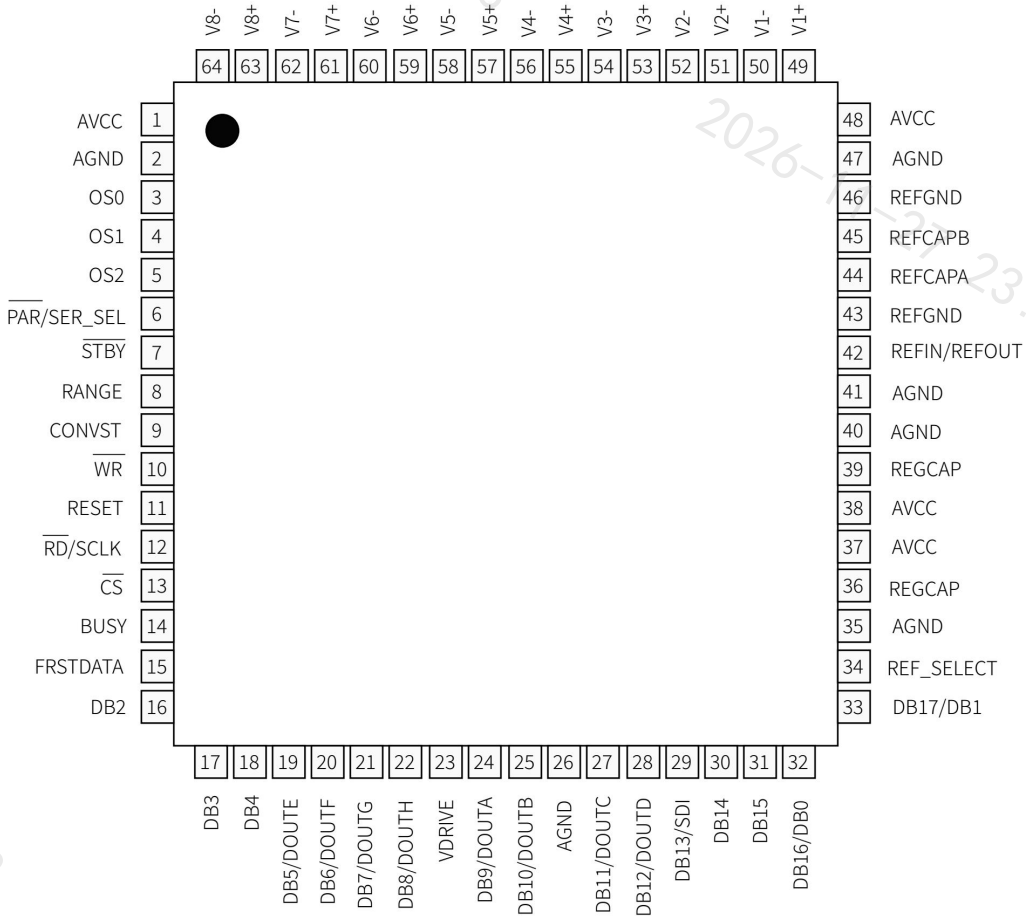


图 1 管脚示意图（顶视图）

6.2. 管脚功能

表 1 管脚功能描述

编号	名称	类型	说明
1	AVCC	PWR	模拟电源电压，4.75V 至 5.25V。通过 100nF 与 10μF 的并联去耦电容连接至 AGND。
2	AGND	GND	模拟地。该管脚是 CYD7606C-18 所有模拟电路的接地基准点，所有模拟输入信号和外部基准信号都应该参考该管脚。所有 6 个 AGND 管脚都应连接到系统的 AGND 平面。
3	OS0	DI	过采样模式管脚，根据实际需要选择过采样倍率或使能软件模式。关于过采样工作模式的更多信息，参见数字滤波器部分。
4	OS1	DI	
5	OS2	DI	
6	$\overline{\text{PAR}}$/SER_SEL	DI	并行/串行接口选择。如果该管脚与逻辑低电平相连，则选择并行接口。如果此管脚与逻辑高电平相连，则选择串行接口。
7	$\overline{\text{STBY}}$	DI	待机模式。在硬件模式和软件模式下，配置$\overline{\text{STBY}}$管脚和 RANGE 管脚，使 CYD7606C-18 进入两种低功耗模式之一：待机模式或关断模式。
8	RANGE	DI	模拟输入范围选择。在硬件模式下，RANGE 管脚决定模拟输入通道的输入范围；在硬件模式和软件模式下，如果$\overline{\text{STBY}}$管脚为逻辑低电平，RANGE 管脚决定处于待机模式还是关断模式。
9	CONVST	DI	转换开始控制信号。当 CONVST 管脚从低电平变为高电平时，ADC 会同时对所有 8 路模拟输入进行采样。在软件模式下，CONVST 管脚可以配置为外部过采样时钟。如果采用较大过采样率，应尽可能提供抖动较低的外部时钟，以提升 ADC SNR 性能。
10	$\overline{\text{WR}}$	DI	并行写控制。在硬件模式下，$\overline{\text{WR}}$管脚无功能，所以可以将$\overline{\text{WR}}$管脚置高、置低、或者短接至 CONVST。在软件模式下，将$\overline{\text{WR}}$管脚置低，通过并行接口执行写寄存器操作。
11	RESET	DI	复位。该管脚输入逻辑高电平将芯片复位，进行中的转换将中断，输出寄存器的内容将复位至全 0。
12	$\overline{\text{RD}}$/SCLK	DI	并行数据读/串行时钟输入。并行接口模式下，该管脚为并行数据读取控制输入($\overline{\text{RD}}$)；串行接口模式下，该管脚为串行时钟输入 (SCLK)。
13	$\overline{\text{CS}}$	DI	片选。$\overline{\text{CS}}$管脚是低电平有效，用于在串行和并行接口中进行 ADC 数据读取或寄存器数据读写。
14	BUSY	DO	转换指示信号。CONVST 达到高电平后，该管脚变为逻辑高电平，表示转换过程已经开始。BUSY 输出将保持高电平，直到所有通道的转换过程完成为止。BUSY 信号的下降沿将转换数据锁存至输出数据寄存器。当 BUSY 信号为高电平时，CONVST 管脚的上升沿信号将不起作用。
15	FRSTDATA	DO	FRSTDATA 表示第一通道 V1 的数据可以通过数字接口回读。当$\overline{\text{CS}}$输入为高电平时，FRSTDATA 输出管脚处于三态。$\overline{\text{CS}}$下降沿使 FRSTDATA 脱离三态。在并行模式下，与 V1 结果对应的$\overline{\text{RD}}$下降沿将 FRSTDATA 管脚设为高电平，在下一个$\overline{\text{RD}}$下降沿之后，FRSTDATA 输出恢复逻辑低电平。在串行模式下，FRSTDATA 在$\overline{\text{CS}}$下降沿变为高电平，此时将在 DOUTA 上输出 V1 的 MSB。 在$\overline{\text{CS}}$下降沿之后的第 18 个 SCLK 下降沿，FRSTDATA 恢复低电平。
16~18	DB2~DB4	DI/O	在并行模式下，这些管脚输出/输入并行数据位 DB2 至 DB4。 更多信息，参见并行接口部分。在串行模式下，这些管脚必须与 AGND 相连。
19	DB5/DOUTE	DI/O	使用并行接口时，作为三态并行输入/输出数据管脚 DB5；使用串行接口时，作为串行输出管脚 DOUTE。
20	DB6/DOUTF	DI/O	使用并行接口时，作为三态并行输入/输出数据管脚 DB6；使用串行接口时，作为串行输出管脚 DOUTF。
21	DB7/DOUTG	DI/O	使用并行接口时，作为三态并行输入/输出数据管脚 DB7；使用串行接口时，作为串行输出管脚 DOUTG。
22	DB8/DOUTH	DI/O	使用并行接口时，作为三态并行输入/输出数据管脚 DB8；使用串行接口时，作为串行输出管脚 DOUTH。
23	VDRIVE	PWR	逻辑电源。此管脚的电源电压（1.71V 至 5.25V）决定逻辑接口的工作电压。此管脚的标称电源应与控制器（DSP 或 FPGA）接口电源相同。
24	DB9/DOUTA	DI/O	使用并行接口时，作为三态并行输入/输出数据管脚 DB9；使用串行接口时，作为串行输出管脚 DOUTA。

编号	名称	类型	说明
25	DB10/DOUTB	DI/O	使用并行接口时，作为三态并行输入/输出数据管脚 DB10；使用串行接口时，作为串行输出管脚 DOUTB。
26	AGND	GND	模拟地。所有模拟输入信号和外部基准信号都应该参考该管脚。所有 6 个 AGND 管脚都应连到系统的 AGND 平面。
27	DB11/DOUTC	DI/O	使用并行接口时，作为三态并行输入/输出数据管脚 DB11；使用串行接口时，作为串行输出管脚 DOUTC。
28	DB12/DOUTD	DI/O	使用并行接口时，作为三态并行输入/输出数据管脚 DB12；使用串行接口时，作为串行输出管脚 DOUTD。
29	DB13/SDI	DI/O	使用并行接口时，作为三态并行输入/输出数据管脚 DB13；使用串行接口时，作为串行输入管脚 SDI。
30,31	DB14,DB15	DI/O	使用并行接口时，作为三态并行输入/输出数据管脚 DB14 或 DB15；使用串行接口时，将 DB14 或 DB15 管脚连接至 AGND。
32	DB16/DB0	DI/O	使用并行接口时，作为三态并行输入/输出数据管脚 DB16/DB0；使用串行接口时，将 DB16/DB0 管脚连接至 AGND。
33	DB17/DB1	DI/O	使用并行接口时，作为三态并行输入/输出数据管脚 DB17/DB1；使用串行接口时，将 DB17/DB1 管脚连接至 AGND。
34	REF_SELECT	DI	内部/外部基准电压选择。如果 REF_SELECT 为逻辑高电平，则选择并使能内部基准电压。如果此管脚为逻辑低电平，则不使能内部基准电压，且必须将外部基准电压连接到 REFIN/REFOUT 管脚。
35	AGND	GND	模拟地。所有模拟输入信号和外部基准信号都应该参考这些管脚。所有 6 个 AGND 管脚都应连到系统的 AGND 平面。
36,39	REGCAP	PWR	内部稳压器电压输出。应分别将这两个输出管脚与 AGND 之间连接一个 1μF 去耦电容。这些管脚上的电压在 1.9V 左右。
37,38	AVCC	PWR	模拟电源电压。通过 100nF 与 10μF 的并联去耦电容连接至 AGND。
40,41,47	AGND	GND	模拟地。所有模拟输入信号和外部基准信号都应该参考这些管脚。所有 6 个 AGND 管脚都应连到系统的 AGND 平面。
42	REFIN/REFOUT	A	基准电压输入/基准电压输出。如果 REF_SELECT 管脚设置为逻辑高电平，此管脚将提供 2.5V 片内基准电压供外部使用。如果 REF_SELECT 管脚设置为逻辑低电平，需要将 2.5V 外部基准电压施加到此输入端。无论使用内部还是外部基准电 压，都需要在该管脚与 REFGND 之间连接一个 100nF 电容。
43,46	REFGND	GND	基准电压接地管脚。这些管脚应连接至 AGND。
44	REFCAPA	A	基准电压缓冲器输出管脚。必须将 REFCAPA 和 REFCAPB 连接在一起，并通过低等效串联电阻 ESR 的 10μF 陶瓷电容将此管脚连接至 AGND，这些管脚上的电压通常为 4V。
45	REFCAPB	A	
48	AVCC	PWR	模拟电源电压。通过 100nF 和 10μF 的并联去耦电容连接至 AGND。
49	V1+	AI	通道 1 正模拟输入管脚。
50	V1-	AI	通道 1 负模拟输入管脚。
51	V2+	AI	通道 2 正模拟输入管脚。
52	V2-	AI	通道 2 负模拟输入管脚。
53	V3+	AI	通道 3 正模拟输入管脚。
54	V3-	AI	通道 3 负模拟输入管脚。
55	V4+	AI	通道 4 正模拟输入管脚。
56	V4-	AI	通道 4 负模拟输入管脚。
57	V5+	AI	通道 5 正模拟输入管脚。
58	V5-	AI	通道 5 负模拟输入管脚。
59	V6+	AI	通道 6 正模拟输入管脚。
60	V6-	AI	通道 6 负模拟输入管脚。
61	V7+	AI	通道 7 正模拟输入管脚。
62	V7-	AI	通道 7 负模拟输入管脚。
63	V8+	AI	通道 8 正模拟输入管脚。
64	V8-	AI	通道 8 负模拟输入管脚。

7. 绝对最大额定值

参数		最小值	最大值	单位
温度				
工作温度		-40	125	°C
存储温度		-65	150	°C
结温			150	°C
回流焊	铅锡焊接温度（10 秒到 30 秒）		240	°C
	无铅焊接温度		260	°C
耐压				
AVCC 至 AGND		−0.3	6.5	V
VDRIVE 至 AGND		−0.3	AVCC + 0.3	V
模拟输入电压至 AGND		−19.5	19.5	V
数字输入电压至 AGND		−0.3	VDRIVE + 0.3	V
数字输出电压至 AGND		−0.3	VDRIVE + 0.3	V
REFIN 至 AGND		−0.3	AVCC + 0.3	V
限流				
输入电流 [1]		-10	10	mA
ESD				
HBM	除模拟输入外的所有管脚	2000		V
	仅模拟输入管脚	7000		
CDM		750		V

1：只针对除电源管脚外任意管脚。另外，瞬态电流达到 100mA 不会引起芯片可控硅(SCR)闩锁。

8. 电气规格

默认测试条件：VREF = 2.5V 外部/内部基准电压、AVCC = 4.75V~5.25V、VDRIVE = 1.71V~5.25V、f_{SAMPLE} = 1MSPS、TA =-40°C~125°C。

参数	测试条件	最小值	典型值	最大值	单位
动态性能（低带宽模式）					
SNR	±25V 双极性差分输入	92.5	94.5		dB
	±20V 双极性差分输入	92	94		dB
	±12.5V 双极性差分输入	91.5	93.5		dB
	±10V 双极性差分输入	91	93		dB
	±5V 双极性差分输入	90.5	92		dB
	±12.5V 双极性单端输入	91.5	93.5		dB
	±10V 双极性单端输入	91	93		dB
	±5V 双极性单端输入	90.5	92		dB
	±2.5V 双极性单端输入	87.5	89		dB
SNDR	±25V 双极性差分输入	92	94		dB
	±20V 双极性差分输入	91.5	93.5		dB
	±12.5V 双极性差分输入	91	93		dB
	±10V 双极性差分输入	90.5	92.5		dB
	±5V 双极性差分输入	90	91.5		dB
	±12.5V 双极性单端输入	91	93		dB
	±10V 双极性单端输入	90.5	92.5		dB
	±5V 双极性单端输入	90.5	92		dB
	±2.5V 双极性单端输入	87.5	89		dB
THD	±25V 双极性差分输入		-100	-94	dB
	±20V 双极性差分输入		-104	-95	dB
	±12.5V 双极性差分输入		-105	-98	dB
	±10V 双极性差分输入		-107	-101	dB
	±5V 双极性差分输入		-105	-100	dB
	±12.5V 双极性单端输入		-102	-95	dB
	±10V 双极性单端输入		-106	-99	dB
	±5V 双极性单端输入		-103	-95	dB
	±2.5V 双极性单端输入		-100	-94	dB
SFDR	±25V 双极性差分输入		103		dB
	±20V 双极性差分输入		105		dB
	±12.5V 双极性差分输入		108		dB
	±10V 双极性差分输入		110		dB
	±5V 双极性差分输入		109		dB
	±12.5V 双极性单端输入		105		dB
	±10V 双极性单端输入		109		dB
	±5V 双极性单端输入		106		dB
	±2.5V 双极性单端输入		103		dB
通道隔离度	未选中通道的 f_{IN} 不超过 200kHz		-100		dB
满量程 (FS) 阶跃建立时间	0.01%FS		87		μs
动态性能（高带宽模式）					
SNR	±25V 双极性差分输入		90.5		dB
	±20V 双极性差分输入		90		dB
	±12.5V 双极性差分输入		88.5		dB
	±10V 双极性差分输入		88		dB
	±5V 双极性差分输入		85.5		dB
	±12.5V 双极性单端输入		88.5		dB
	±10V 双极性单端输入		88		dB
	±5V 双极性单端输入		84.5		dB
	±2.5V 双极性单端输入		80.5		dB

参数	测试条件	最小值	典型值	最大值	单位
SNDR	±25V 双极性差分输入		90		dB
	±20V 双极性差分输入		89.5		dB
	±12.5V 双极性差分输入		88		dB
	±10V 双极性差分输入		87.5		dB
	±5V 双极性差分输入		85		dB
	±12.5V 双极性单端输入		88		dB
	±10V 双极性单端输入		87.5		dB
	±5V 双极性单端输入		84.5		dB
	±2.5V 双极性单端输入		80.5		dB
通道隔离度	未选中通道的 f_{IN} 不超过 200kHz		-85		dB
满量程 (FS) 阶跃建立时间	0.01%FS		17		μs
模拟输入滤波器					
全功率带宽	-3dB，低带宽模式		23		kHz
	-3dB，高带宽模式		202		kHz
	-3dB，高带宽模式，±2.5V 输入		171		kHz
	-0.1dB，低带宽模式		3.7		kHz
	-0.1dB，高带宽模式		25		kHz
	-0.1dB，高带宽模式，±2.5V 输入		13.5		kHz
相位延迟	低带宽模式		6		μs
	高带宽模式		1.1		μs
	高带宽模式，±2.5V 输入		1.5		μs
相位延迟匹配	低带宽模式		30		ns
	高带宽模式		20		ns
直流精度					
分辨率	无失码		18		Bits
DNL			±0.6	±0.99	LSB
INL			±2	±3	LSB
TUE	外部基准电压源，±10V 输入		±6	±40	LSB
	外部基准电压源，其它范围		±36	±140	LSB
双极性 0 码误差	±2.5V 双极性单端输入		±8	±80	LSB
	其他范围		±4	±40	LSB
双极性 0 码误差匹配			32	100	LSB
双极性 0 码误差温漂	±2.5V 双极性单端输入		±1	±5	ppm/°C
	其它范围		±0.5	±2.5	ppm/°C
PFS/NFS[1]			±40	±160	LSB
PFS/NFS 匹配 [1]			40	160	LSB
PFS/NFS 温漂	外部基准电压源		±0.5	±3	ppm/°C
系统校准					
失调校准范围		1		512	LSB
相位校准范围		1		255	μs
失调误差			±2		LSB
相位误差			±1		μs
模拟输入					
V_{IN} 输入电压范围 [2]	±25V 双极性差分输入	-25		+25	V
	±20V 双极性差分输入	-20		+20	V
	±12.5V 双极性差分输入	-12.5		+12.5	V
	±10V 双极性差分输入	-10		+10	V
	±5V 双极性差分输入	-5		+5	V
	±12.5V 双极性单端输入	-12.5		+12.5	V
	±10V 双极性单端输入	-10		+10	V
	±5V 双极性单端输入	-5		+5	V
	±2.5V 双极性单端输入	-2.5		+2.5	V
模拟输入电流			$(V_{IN} - 1.5)/R_{IN}$		μA
输入电阻 (R_{IN})			1		MΩ

参数	测试条件	最小值	典型值	最大值	单位
输入阻抗温漂			27	32	ppm/°C
基准电压					
基准输入电压	外部基准	2.495	2.5	2.505	V
输入电容	REFSEL = 1		7.5		pF
基准输出电压	内部基准，TA = 25°C	2.4975	2.5	2.5025	V
基准源温度系数			±7		ppm/°C
ADC 的基准电压			4		V
电源功耗					
AVCC		4.75		5.25	V
VDRIVE			1.71	5.25	V
IAVCC	静态模式		16.5	18	mA
	转换模式 (10kSPS/1MSPS)		17/35	19/37	mA
	待机模式		5	6	mA
	关断模式		0.1	5	μA
功耗	静态模式		82.5	94.5	mW
	转换模式 (10kSPS/1MSPS)		85/175	100/194	mW
	待机模式		25	31.5	mW
	关断模式		0.5	26	μW

注 1: PFS/NFS 的测试结果不包含基准电压误差的贡献。注 2：VIN = Vx+ - Vx

9. 时序规格

9.1. 通用时序规格

参数	描述	最小值	典型值	最大值	单位
t_{CYCLE}	计算公式为：1/最大吞吐率	1			μs
t_{LP_CNV}	最短 CONVST 低电平脉冲宽度	10			ns
t_{HP_CNV}	最短 CONVST 高电平脉冲宽度	10			ns
$t_{D_CNV_BSY}$	CONVST 高电平到 BUSY 高电平			50	ns
t_{S_BSY}	BUSY 下降沿到$\overline{CS}$下降沿信号建立时间	0			ns
t_{D_BSY}	最后一个$\overline{CS}$上升沿与 BUSY 下降沿之间的最长时间	50			ns
t_{ACQ}	采样时间	0.48			μs
t_{CONV}	转换时间，OS = 0		0.66		μs
	转换时间，OS = 2		1.66		μs
	转换时间，OS = 4		3.66		μs
	转换时间，OS = 8		7.66		μs
	转换时间，OS = 16		15.66		μs
	转换时间，OS = 32		31.66		μs
	转换时间，OS = 64		63.66		μs
	转换时间，OS = 128		127.66		μs
	转换时间，OS = 256		255.66		μs
t_{RESET}	RESET 高电平脉冲宽度	50			ns
t_{DEVICE_SETUP}	部分复位，RESET 下降沿和第一个 CONVST 上升沿之间的时间	50			ns
	全部复位，RESET 下降沿和第一个 CONVST 上升沿之间的时间	260			μs
$t_{WAKE-UP_STANDBY}$	$\overline{STBY}$上升沿到 CONVST 上升沿（从待机模式上 电时间）	1			μs
$t_{WAKE-UP_SHUTDOWN}$	内部基准，$\overline{STBY}$上升沿到 CONVST 上升沿（从关断模式上电时间）	200[1]			ms
	外部基准，$\overline{STBY}$上升沿到 CONVST 上升沿（从关断模式上电时间）	12			ms
$t_{POWER-UP}$	AVCC 和 VDRIVE 稳定到 CONVST 转换的时间	12			ms

1：负载 10μF 电容。

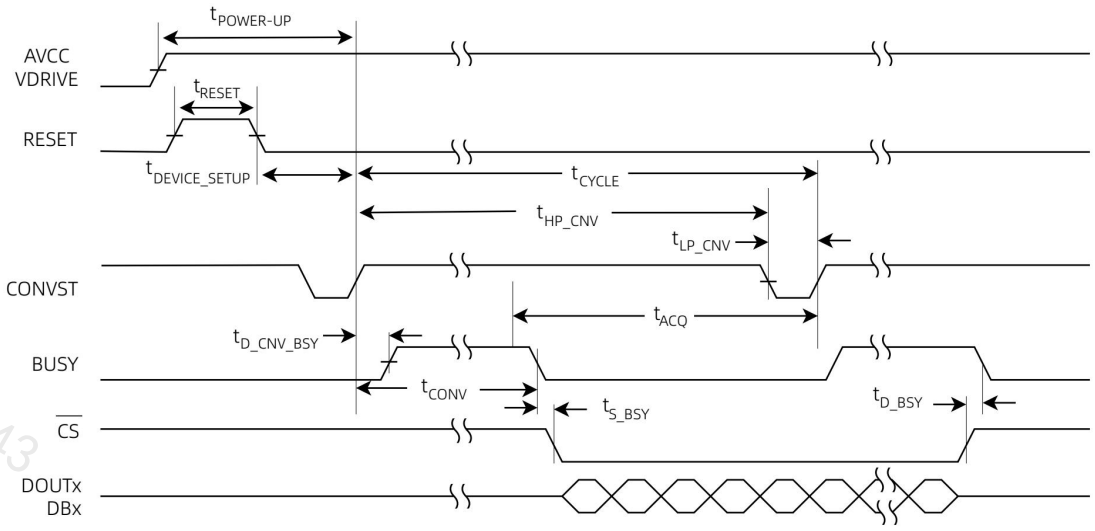


图 2 通用时序图

9.2. 并行模式时序规格

参数	描述	最小值	典型值	最大值	单位
$t_{S_\overline{CS}_\overline{RD}}$	$\overline{CS}$下降沿到$\overline{RD}$下降沿所需信号建立时间	0			ns
$t_{H_\overline{RD}_\overline{CS}}$	RD 上升沿到 CS 上升沿所需信号保持时间	0			ns
$t_{HP_\overline{RD}}$	$\overline{RD}$高电平脉冲宽度	10			ns
$t_{LP_\overline{RD}}$	$\overline{RD}$低电平脉冲宽度	22			ns
$t_{HP_\overline{CS}}$	$\overline{CS}$高电平脉冲宽度	10			ns
$t_{D_\overline{CS}_DB}$	$\overline{CS}$有效到数据位有效延迟			35	ns
$t_{D_\overline{RD}_DB}$	$\overline{RD}$下降沿后数据建立时间				
	VDRIVE = 5.25V		15	21.2	ns
	VDRIVE = 3.3V		16.54	24	ns
	VDRIVE = 2.7V		18	26.25	ns
	VDRIVE = 2.3V		20	29	ns
	VDRIVE = 1.7V		27	40	ns
$t_{H_\overline{RD}_DB}$	$\overline{RD}$下降沿后数据保持时间	5			ns
$t_{DHZ_\overline{CS}_DB}$	$\overline{CS}$上升沿到数据无效保持时间			20	ns
$t_{CYC_\overline{RD}}$	$\overline{RD}$周期	30			ns
$t_{D_\overline{CS}_FD}$	$\overline{CS}$下降沿到 FRSTDATA 的变化			20	ns
$t_{D_\overline{RD}_FDL}$	从$\overline{RD}$下降沿到 FRSTDATA 低电平的延迟时间			30	ns
$t_{D_\overline{RD}_FDH}$	从$\overline{RD}$下降沿到 FRSTDATA 高电平的延迟时间			30	ns
$t_{DHZ_\overline{CS}_FD}$	$\overline{CS}$上升沿到 FRSTDATA 变成不定态延时			25	ns
$t_{S_\overline{CS}_\overline{WR}}$	$\overline{CS}$有效到$\overline{WR}$建立时间	0			ns
$t_{HP_\overline{WR}}$	$\overline{WR}$高电平脉冲宽度	4			ns
$t_{LP_\overline{WR}}$	$\overline{WR}$低电平脉冲宽度	35			ns
$t_{H_WR_CS}$	$\overline{WR}$保持时间	0			ns
$t_{S_DB_\overline{WR}}$	$\overline{WR}$上升沿前数据建立时间，VDRIVE > 2.3V	5			ns
	$\overline{WR}$上升沿前数据建立时间，VDRIVE < 2.3V	6			ns
$t_{H_\overline{WR}_DB}$	$\overline{WR}$上升沿后数据保持时间	5			ns
$t_{CYC_\overline{WR}}$	$\overline{WR}$周期	180			ns

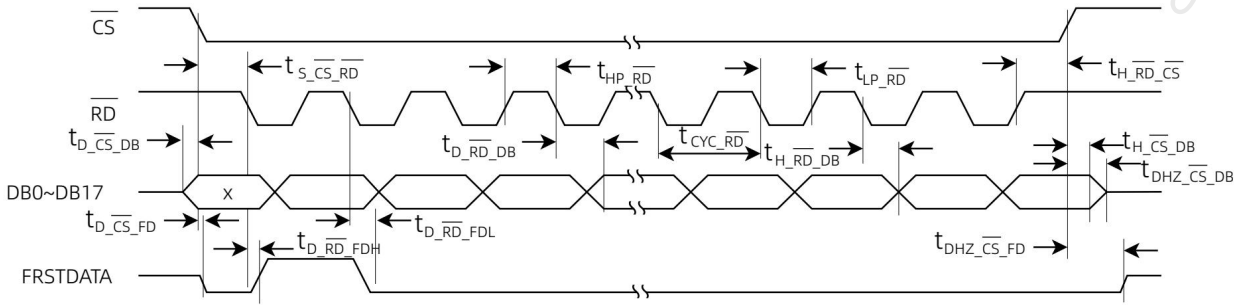


图 3 并行模式读取，独立的 CS 和 RD 脉冲

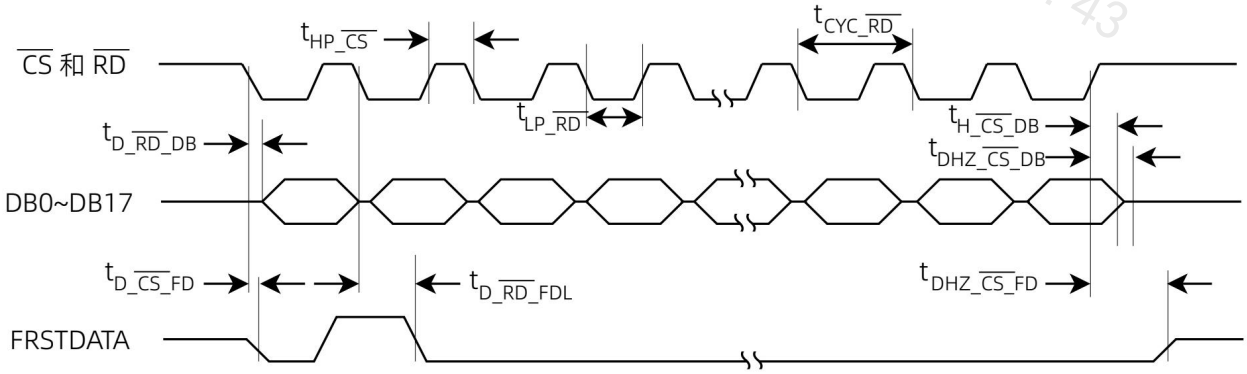


图 4 并行模式读取，相连的 CS 和 RD 脉冲

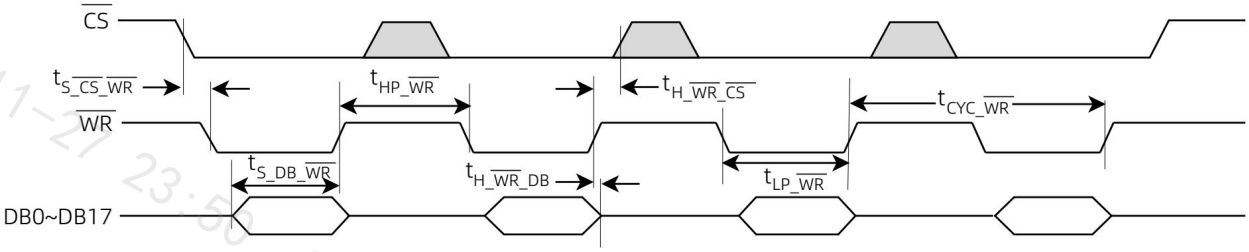


图 5 并行模式写入

9.3. 串行模式时序规格

参数	描述	最小值	典型值	最大值	单位
f_{SCLK}	串行时钟频率，$f_{SCLK}=1/t_{SCLK}$				
	VDRIVE = 5.25V			55	MHz
	VDRIVE = 3.3V			55	MHz
	VDRIVE = 2.7V			55	MHz
	VDRIVE = 2.3V			45	MHz
	VDRIVE = 1.7V			35	MHz
t_{SCLK}	时钟周期	$1/f_{SCLK}$			μs
$t_{S_\overline{CS}_SCLK}$	$\overline{CS}$下降沿到 SCLK 下降沿的建立时间	3			ns
$t_{H_SCLK_\overline{CS}}$	SCLK 上升沿到$\overline{CS}$上升沿的保持时间	0			ns
t_{LP_SCLK}	SCLK 低电平脉冲宽度	9.57			ns
t_{HP_SCLK}	SCLK 高电平脉冲宽度	$0.48t_{SCLK}$			ns
$t_{D_\overline{CS}_DO}$	$\overline{CS}$有效到数据有效的延迟			28.5	ns
$t_{D_SCLK_DO}$	SCLK 上升沿后数据建立时间				
	VDRIVE = 5.25V		9.88	15.5	ns
	VDRIVE = 3.3V		10.27	15.56	ns
	VDRIVE = 2.7V		10.77	16.23	ns
	VDRIVE = 2.3V		11.43	17.16	ns
	VDRIVE = 1.7V		14.07	20.81	ns

参数	描述	最小值	典型值	最大值	单位
$t_{H_SCLK_DO}$	SCLK 上升沿后数据保持时间				
	VDRIVE = 5.25V	3.03			ns
	VDRIVE = 3.3V	3.26			ns
	VDRIVE = 2.7V	3.48			ns
	VDRIVE = 2.3V	3.76			ns
	VDRIVE = 1.7V	4.85			ns
$t_{S_SDI_SCLK}$	SCLK 下降沿前数据建立时间	5			ns
$t_{H_SCLK_SDI}$	SCLK 下降沿后数据保持时间	1			ns
$t_{DHZ_\overline{CS}_DO}$	$\overline{CS}$ 上升沿到数据不定态的延迟时间			20	ns
$t_{\overline{WR}}$	当 f_{SCLK} > 50MHz 时，两次读写间周期	25			ns
$t_{D_\overline{CS}_FD}$	$\overline{CS}$ 下降沿到 FRSTDATA 的变化			10	ns
$t_{D_SCLK_FDL}$	从第 18 个 SCLK 下降沿到 FRSTDATA 低电平的 延迟时间	11			ns
t_{DHZ_FD}	$\overline{CS}$ 上升沿到 FRSTDATA 变为不定态的延迟时间			20	ns

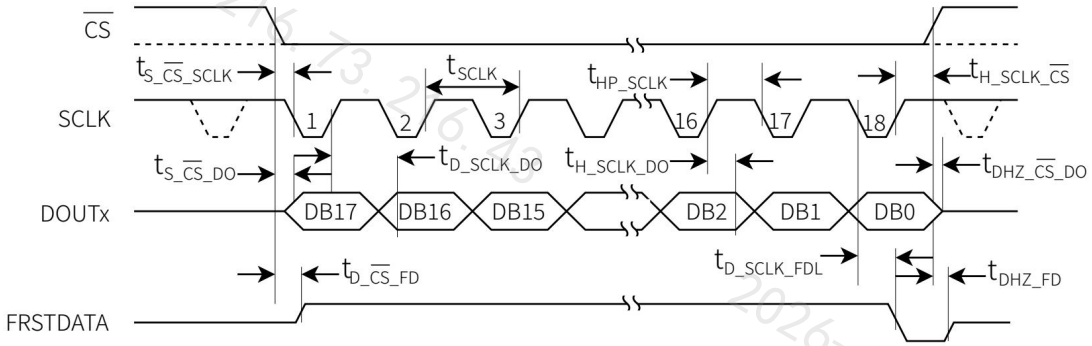


图 6 串行时序图，ADC 模式（通道 1）

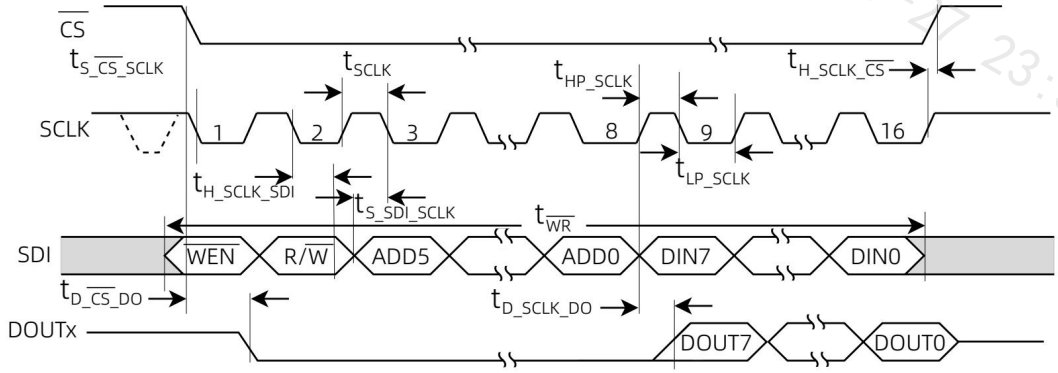


图 7 串行时序接口，寄存器映射读写操作

10. 典型特征

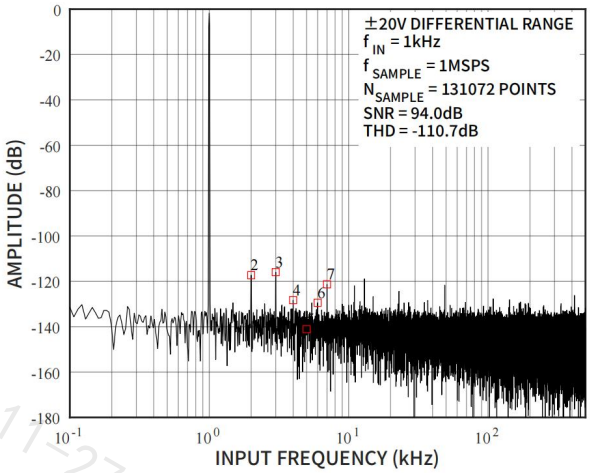


图 8 FFT，±20V 差分输入，低带宽模式

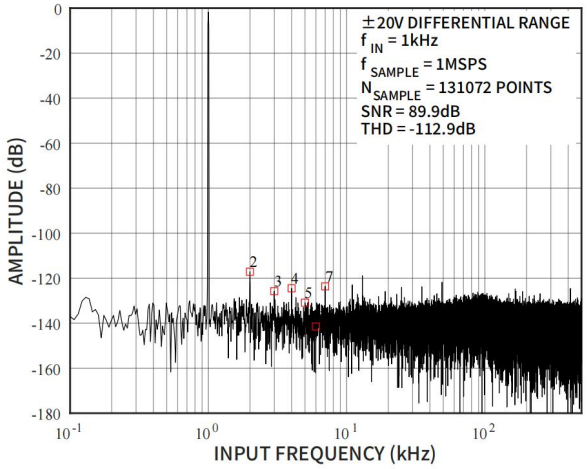


图 9 FFT，±20V 差分输入，高带宽模式

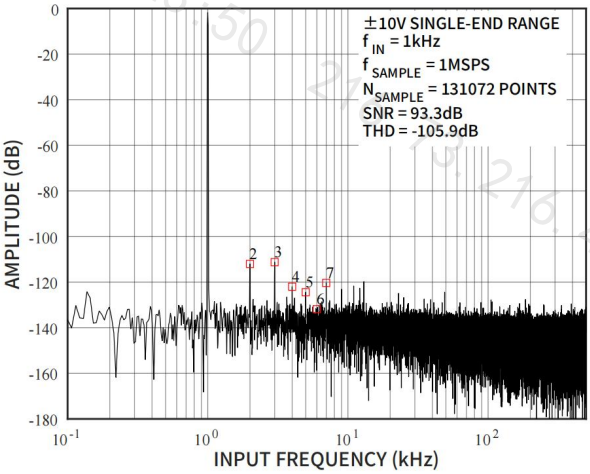


图 10 FFT，±10V 单端输入，低带宽模式

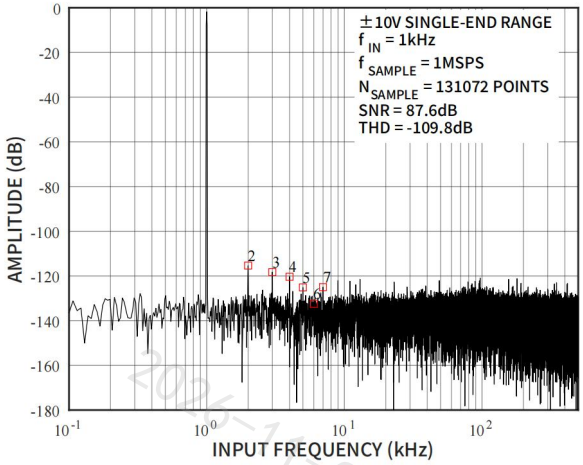


图 11 FFT，±10V 单端输入，高带宽模式

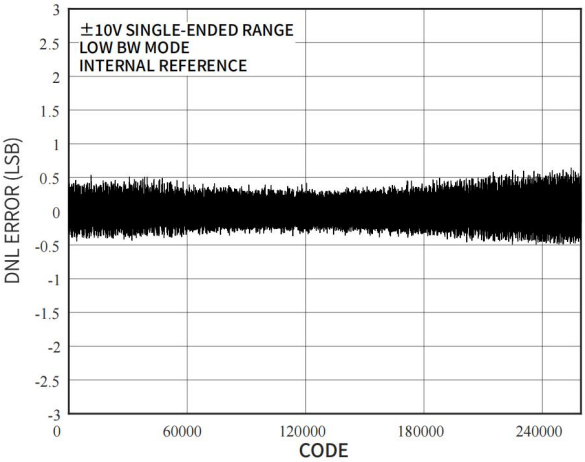


图 12 DNL，低带宽模式

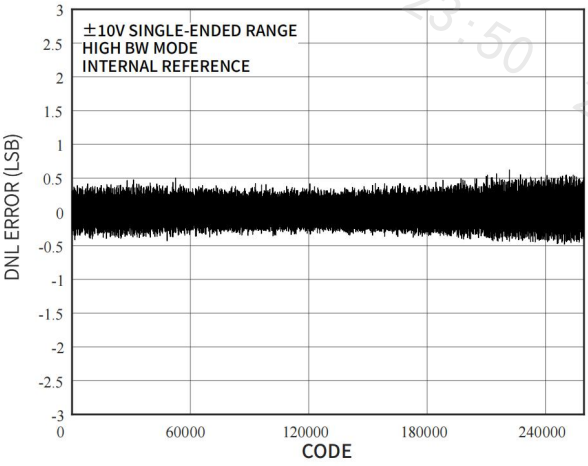


图 13 DNL，高带宽模式

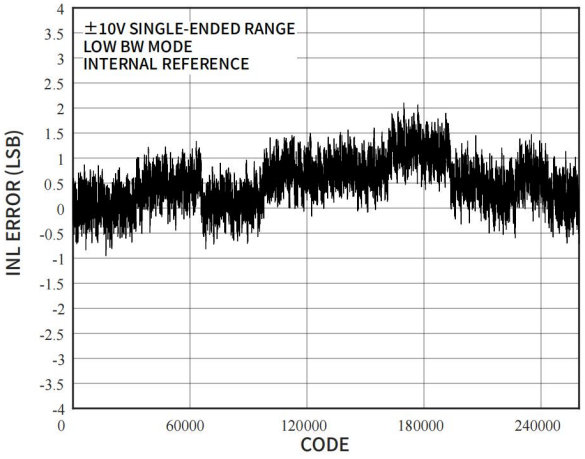


图 14 INL，低带宽模式

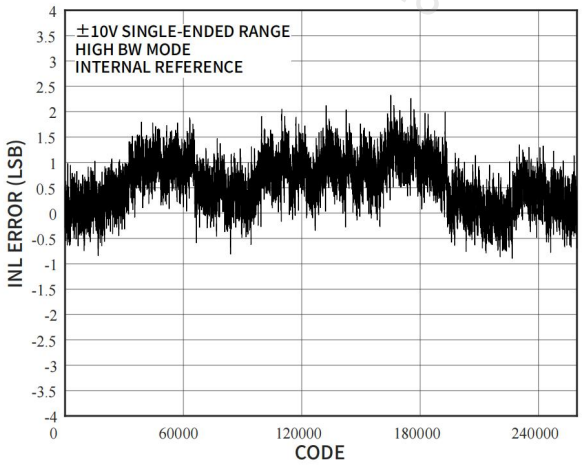


图 15 INL，高带宽模式

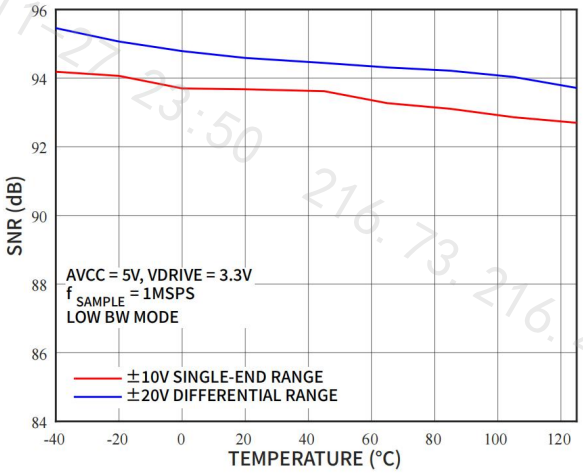


图 16 SNR 的温度特性，低带宽模式

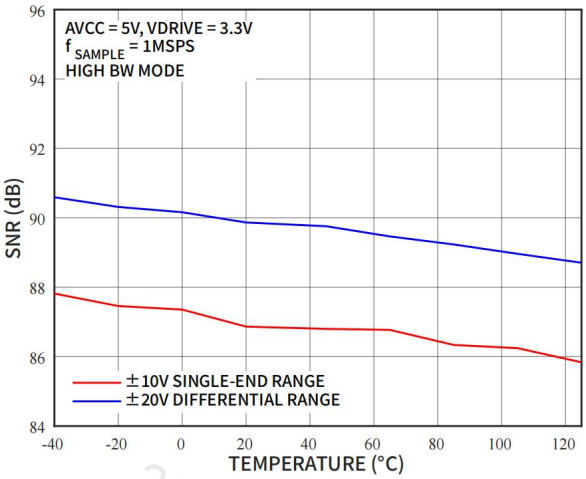


图 17 SNR 的温度特性，高带宽模式

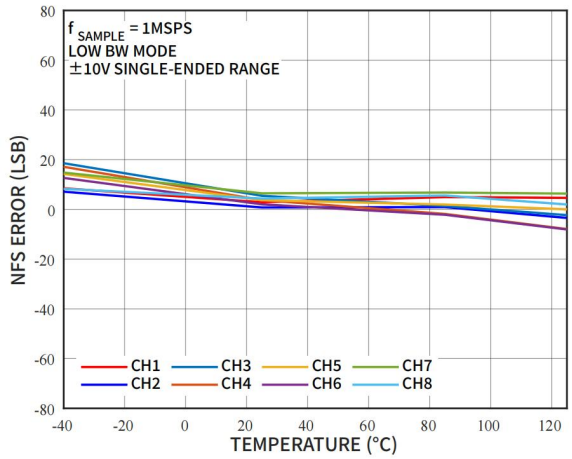


图 18 NFS 误差的温度特性，±10V 单端输入

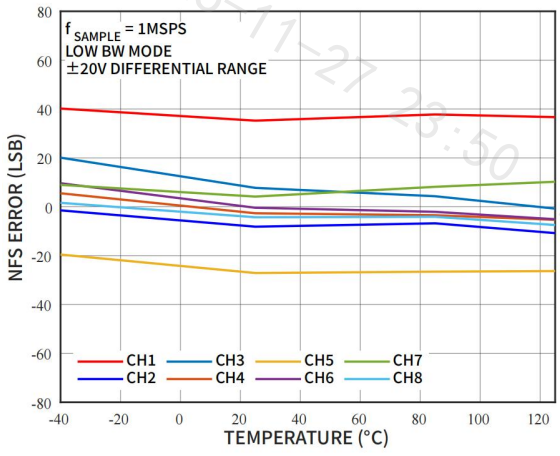


图 19 NFS 误差的温度特性，±20V 差分输入

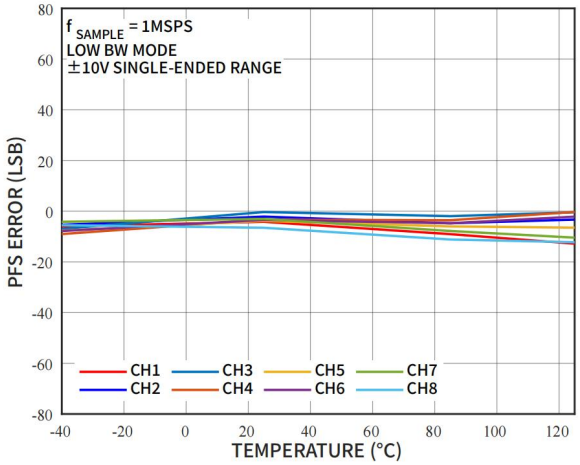


图 20 PFS 误差的温度特性，±10V 单端输入

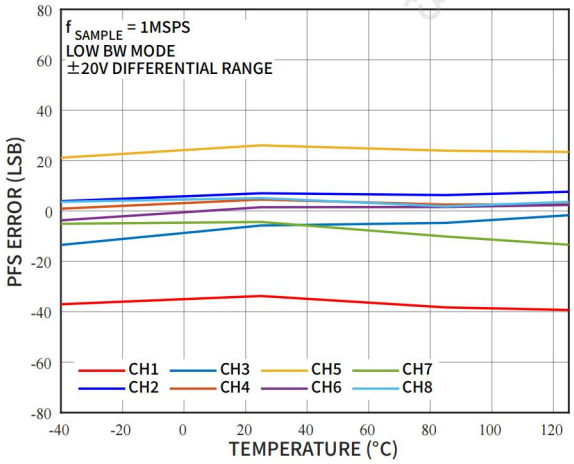


图 21 PFS 误差的温度特性，±20V 差分输入

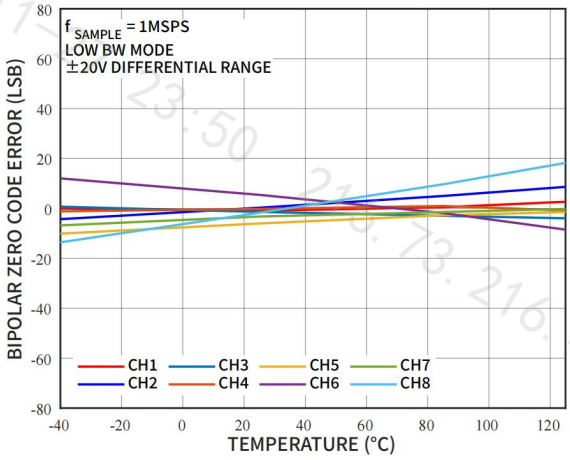


图 22 0 码误差的温度特性，±20V 差分输入

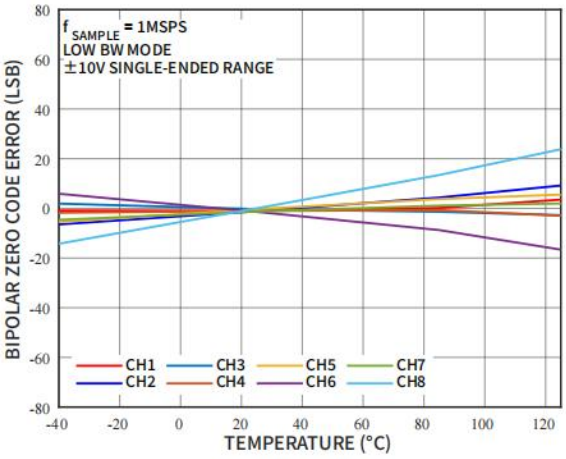


图 23 0 码误差的温度特性，±10V 单端输入

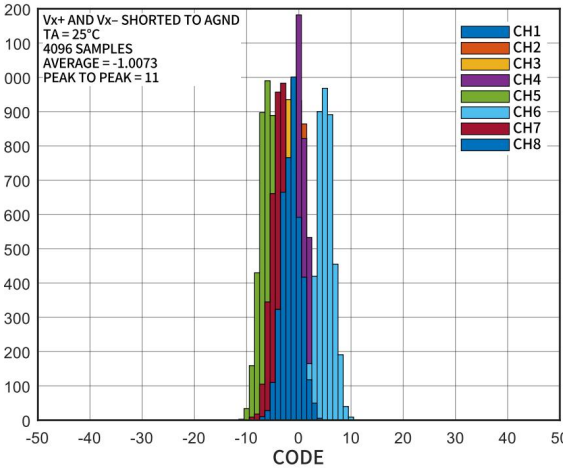


图 24 零输入直方图，±20V 差分输入

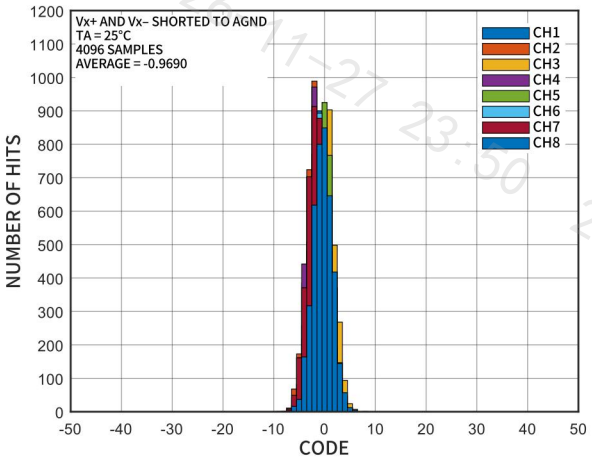


图 25 零输入直方图，±10V 单端输入

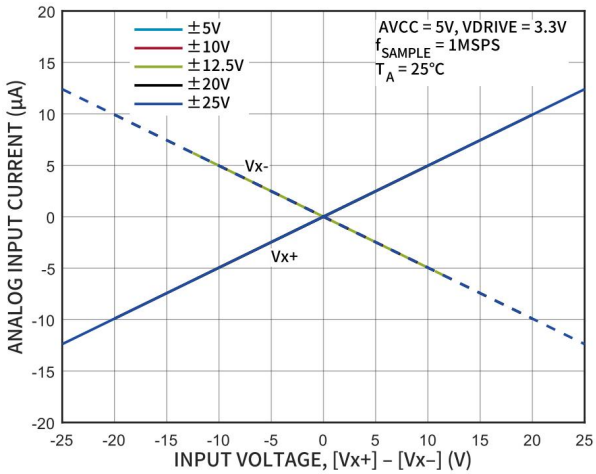


图 26 不同差分输入下模拟输入电流与输入电压的关系

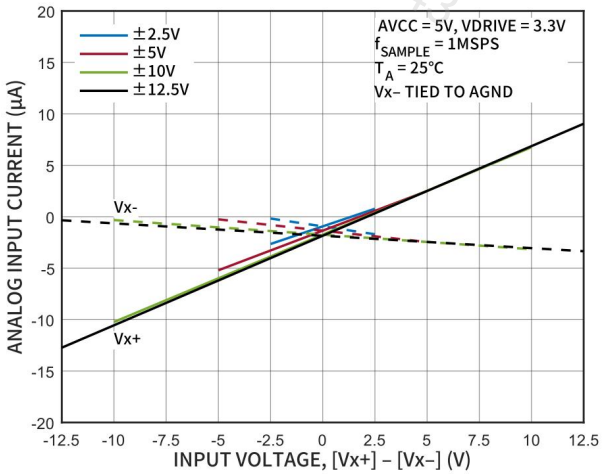


图 27 不同单端输入下模拟输入电流与输入电压的关系

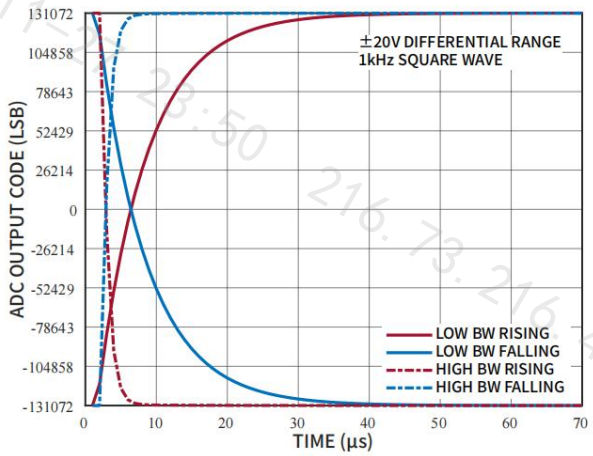


图 28 阶跃响应，±20V 差分输入

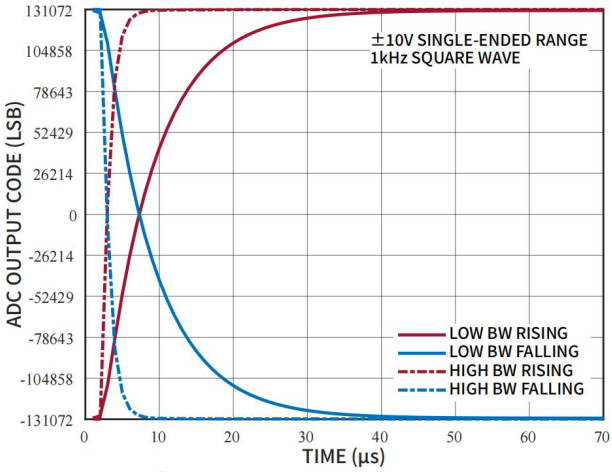


图 29 阶跃响应，±10V 单端输入

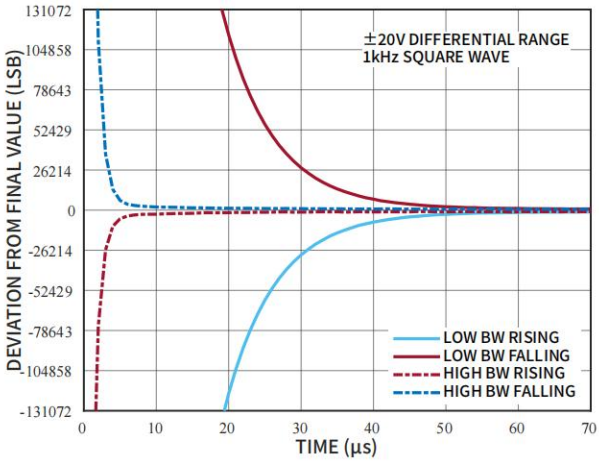


图 30 阶跃响应，±20V 差分输入，稳定建立

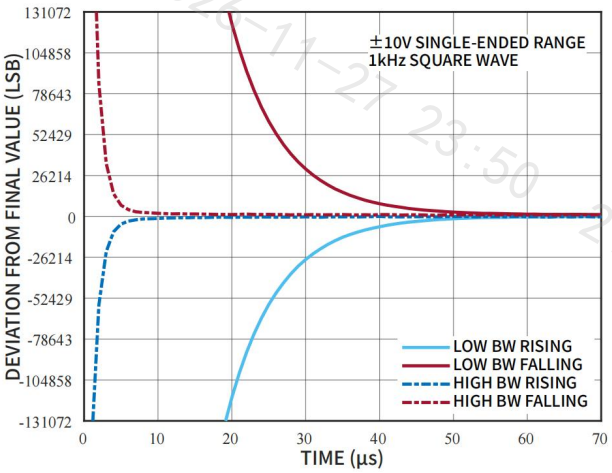


图 31 阶跃响应，±10V 单端输入，稳定建立

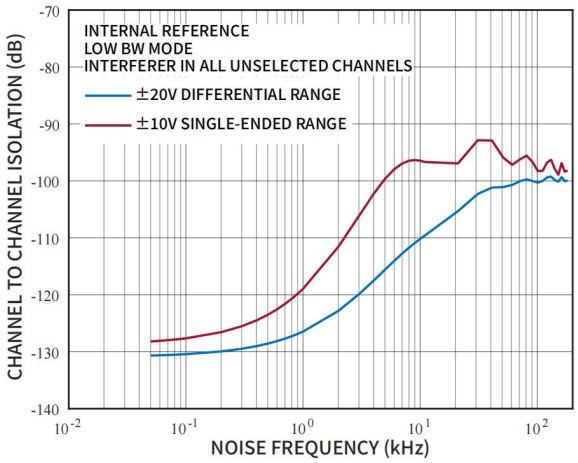


图 32 通道隔离度，低带宽模式

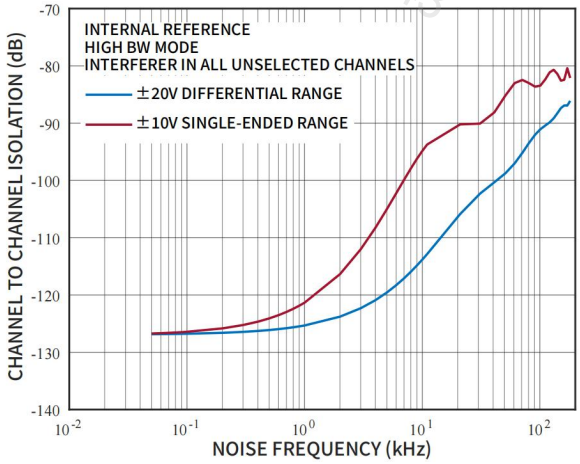


图 33 通道隔离度，高带宽模式

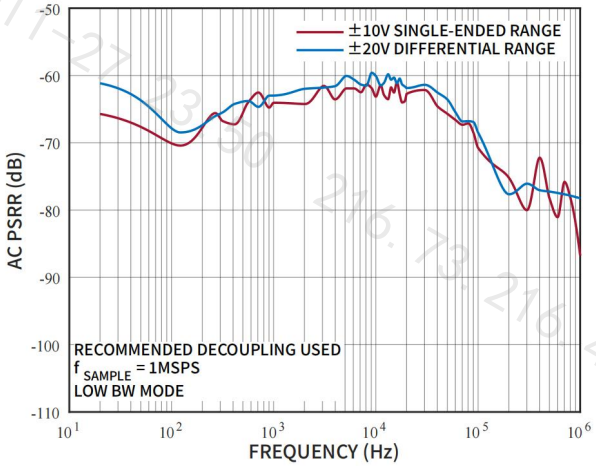


图 34 AC 电源抑制比与频率的关系，低带宽模式

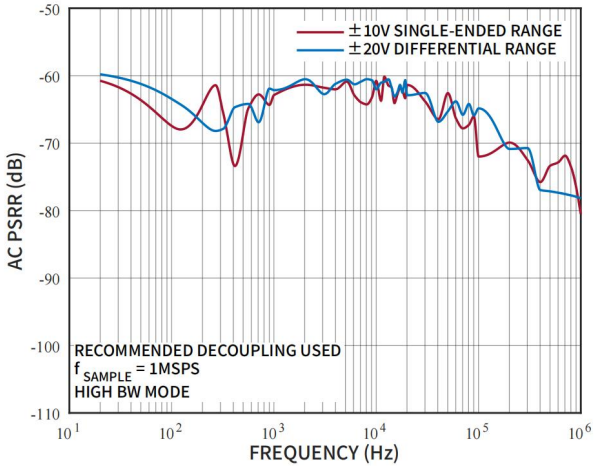


图 35 AC 电源抑制比与频率的关系，高带宽模式

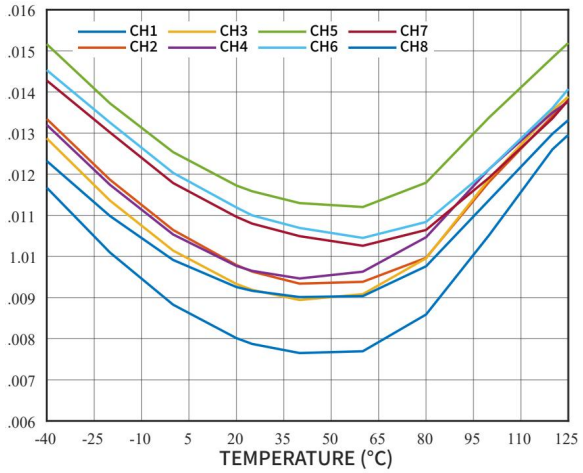


图 36 输入阻抗的温度特性

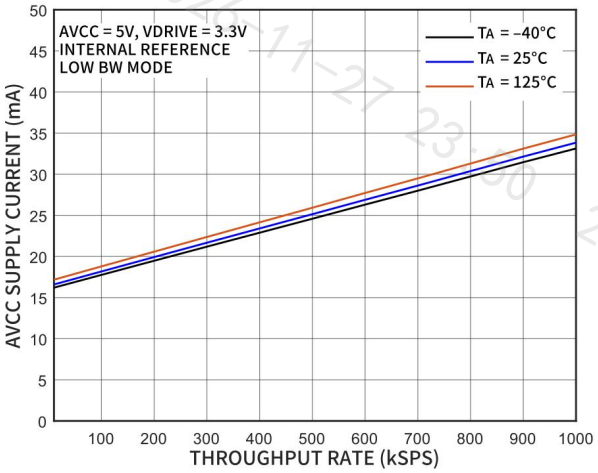


图 37 不同温度下 AVCC 电源电流与吞吐率的关系

11. 工作原理

11.1. 模拟输入

输入范围

CYD7606C-18 可处理真双极性差分、双极性单端输入电压。在软件模式下，可以为每个通道配置单独的模拟输入范围，从地址 0x03 至地址 0x06，并且忽略 RANGE 管脚上的逻辑电平。

在硬件模式下，RANGE 管脚上的逻辑电平决定将±10V 或±5V 单端输入作为所有模拟输入通道的输入范围。如表 2 所示。

RANGE 管脚的逻辑电平改变会立即影响模拟输入范围。但是，除正常采集时间要求外，还会有约 80μs 的典型建立时间。对于吞吐率较快的应用，转换期间建议不要更改 RANGE 管脚的逻辑状态。

表 2 模拟输入范围选择

范围 (V)	硬件模式	软件模式
±10 单端	RANGE 管脚高电平	地址 0x03 至地址 0x06
±5 单端	RANGE 管脚低电平	地址 0x03 至地址 0x06
其它范围	不适用	地址 0x03 至地址 0x06

输入阻抗

CYD7606C-18 的最小模拟输入阻抗为 1MΩ。该阻抗为固定输入阻抗，不随采样频率变化。对于高模拟输入阻抗，CYD7606C-18 前端可不配置驱动放大器，允许其与信号源或传感器直接相连。

钳位保护

图 38 显示了 CYD7606C-18 的模拟输入电路，每个模拟输入均包含钳位保护电路。虽然采用的是 5V 单电源供电，但该电路可支持高达±19.5V 输入过压。

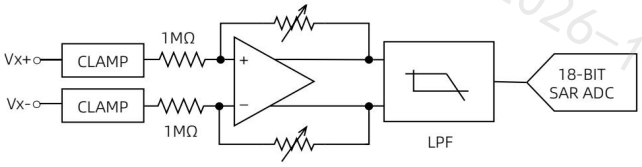


图 38 模拟输入电路

图 39 显示了钳位保护电路的输入电流与源电压特性的关系。当输入电压不超过±19.5V 时，钳位电路中无电流。当输入电压超过±19.5V 时，钳位电路接通。

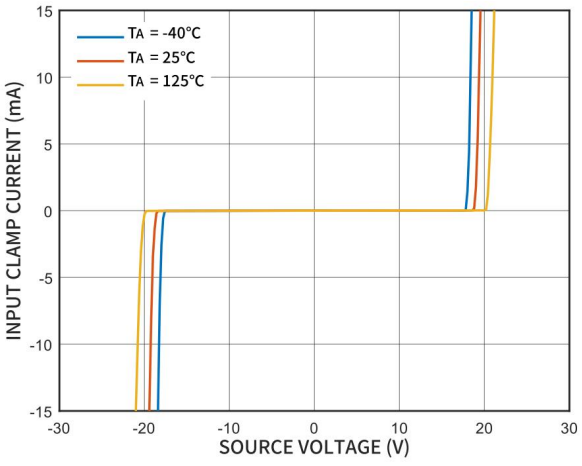


图 39 输入钳位保护特性

如果输入电压范围超过±19.5V，可以在输入通道上添加串联电阻，以将输入电流限制在±10mA 以内。输入通道 Vx+和 Vx−上的串联电阻须相匹配，以消除系统失调，如图 40 所示。在软件模式下，可通过通道系统失调校准功能消除整个系统的失调，见失调校准。

在正常运行期间，建议不要将 CYD7606C-18 长时间置于模拟输入高于输入范围的条件下，因为这可能会降低双极性 0 码误差性能。

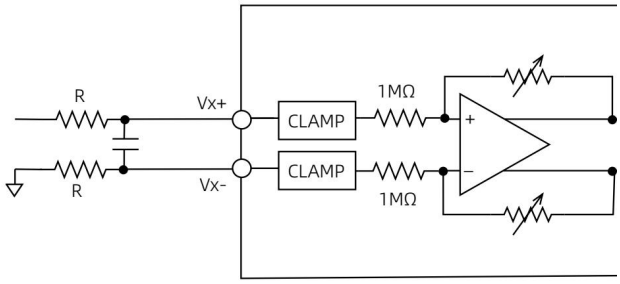


图 40 模拟输入端上的输入电阻匹配

PGA

CYD7606C-18 每个通道前端均配有一个 PGA（可编程增益放大器）。它的增益取决于系统配置的输入范围档位（见表 2）。PGA 可将不同输入范围的差分或单端输入信号转换成相同幅度的差分信号传输给后级的 ADC 电路。

抗混叠滤波器

CYD7606C-18 每个通道均提供了抗混叠滤波器。图 41 和图 42 是低带宽模式时不同增益档位下滤波器的幅频和相频响应图，-3dB 带宽典型值是 23kHz。

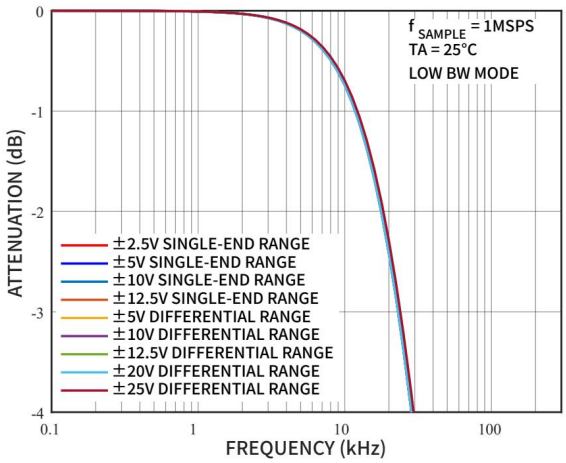


图 41 抗混叠滤波器幅频特性，低带宽模式

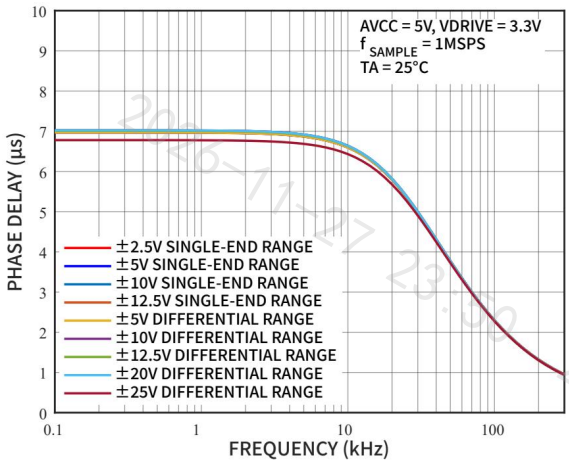


图 42 抗混叠滤波器相频特性，低带宽模式

CYD7606C-18 的每个通道还可以配置高带宽模式，幅频和相频响应如图 43 和图 44 所示，-3dB 带宽可达 202kHZ 左右。此模式适用于对模拟输入建立时间要求比较快的应用场景。

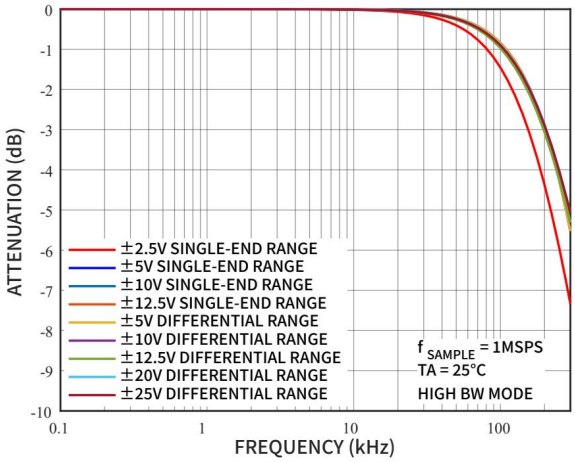


图 43 抗混叠滤波器幅频特性，高带宽模式

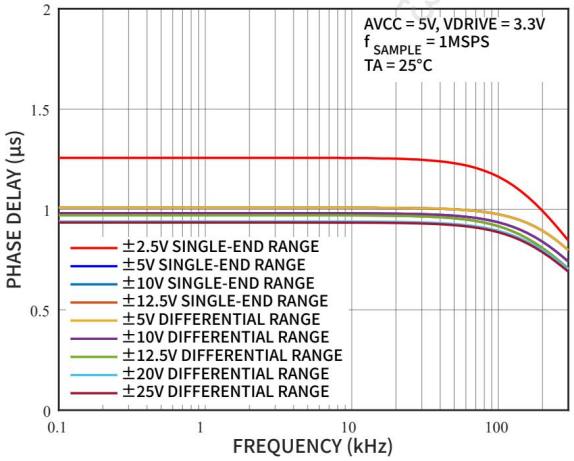


图 44 抗混叠滤波器相频特性，高带宽模式

11.2. 内部/外部基准

CYD7606C-18 内置一个 2.5V 片内带隙基准电压源。REFIN/REFOUT 管脚支持如下操作：

•如果 REF_SELECT 管脚接逻辑高电平，采用内部 2.5V 基准电压源。

•如果 REF_SELECT 管脚接逻辑低电平，采用外部 2.5V 基准电压源。

CYD7606C-18 内置一个基准电压缓冲器，将参考电压放大至约 4V，供 SAR ADC 作为基准电压使用，如图 45 所示。复位之后，CYD7606C-18 使用 REF_SELECT 管脚所选择的基准电压模式。REFCAPA 和 REFCAPB 管脚必须在外部短路连接在一起，并通过一个 10µF 陶瓷电容连接至 REFGND 管脚，以确保基准电压缓冲器工作在闭环中。REFIN/REFOUT 管脚需要连接一个 0.1µF 陶瓷电容。

当 CYD7606C-18 配置为外部基准电压模式时，REFIN/REFOUT 管脚为高输入阻抗管脚。

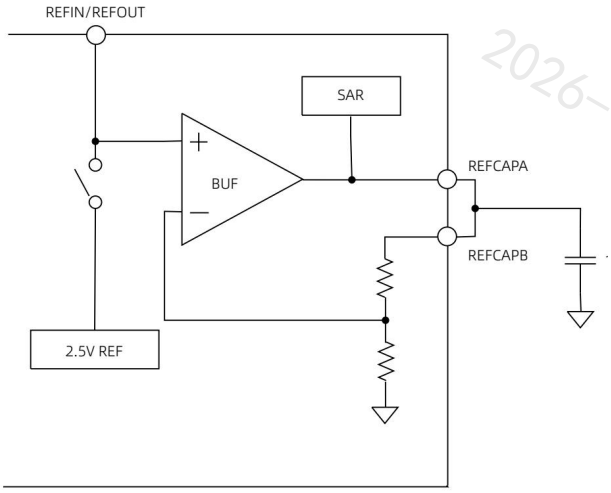


图 45 基准电压电路

内部基准电压模式

可将 CYD7606C-18 配置为内部基准电压模式，用于驱动配置为外部基准电压模式的其他 CYD7606C-18 芯片，如图 46 所示。使用一个 10µF 陶瓷去耦电容，对内部基准电压模式下 CYD7606C-18 的 REFIN/REFOUT 管脚去耦。外部基准电压模式下，对于其他 CYD7606C-18 芯片，必须在 REFIN/REFOUT 管脚位置放置至少一个 100nF 的陶瓷去耦电容。

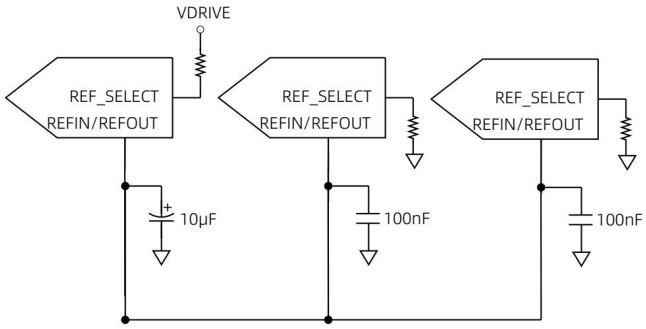


图 46 内部基准电压源驱动多个 CYD7606C-18 REFIN/REFOUT 管脚

外部基准电压模式

一个外部基准电压源可以驱动所有 CYD7606C-18 芯片的 REFIN/REFOUT 管脚，如图 47 所示。此配置中，必须在靠近各自 REFIN/REFOUT 管脚位置至少放置一个 100nF 的陶瓷去耦电容。

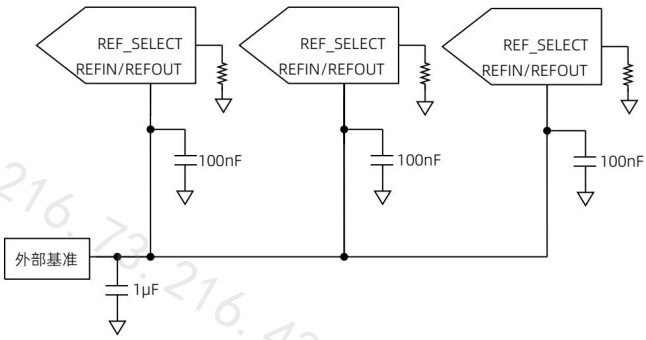


图 47 一个外部基准电压源驱动多个 CYD7606C-18 REFIN/REFOUT 管脚

11.3. SAR ADC

CYD7606C-18 集成了 8 个 18 位分辨率的 SAR ADC。所有 8 个 SAR ADC 都在 CONVST 信号的上升沿对其各自输入进行同步采样。BUSY 信号表示转换是否正在进行中。在 CONVST 信号的上升沿，BUSY 管脚变为逻辑高电平，表示转换正在进行中，此时 CONVST 信号的上升沿不再起作用。当 8 个通道的转换都结束时，BUSY 管脚变为低电平，此时开始进入下一组信号采集时间。

BUSY 输出变为低电平后，新数据可通过并行或串行接口从输出寄存器读取。如果在 BUSY 管脚为高电平时读取数据，此时读取的是前一次的转换结果，参见转换期间读数。

CYD7606C-18 内置一个片内振荡器用于转换。所有 ADC 通道的转换时间为 t_{CONV}（见通用时序规格）。在软件模式下，可以通过 CONVST 管脚施加外部时钟，有助于提高较大过采样率的 SNR 性能。参见数字滤波器。

可将所有未用模拟输入通道短接至 AGND。因为所有通道均会被转换，未用通道的结果仍会包含在读取的数据中。

11.4. ADC 传递函数

CYD7606C-18 的输出编码是双极性模拟输入范围（单端或者差分）的二进制补码。

ADC 输出的码值的转换发生在相邻两个整数码值对应模拟输入的中间（如 1/2LSB 和 3/2LSB 位置）。CYD7606C-18 的 LSB 大小为 FSR/262144。图 48 显示了 CYD7606C-18 的理想传递函数特性。LSB 大小取决于所选择的模拟输入范围，如表 3 所示。

ADC 传递函数为：

$CODE = (V_{X+} - V_{X-}) / V_{FS}(V) \times 131072$

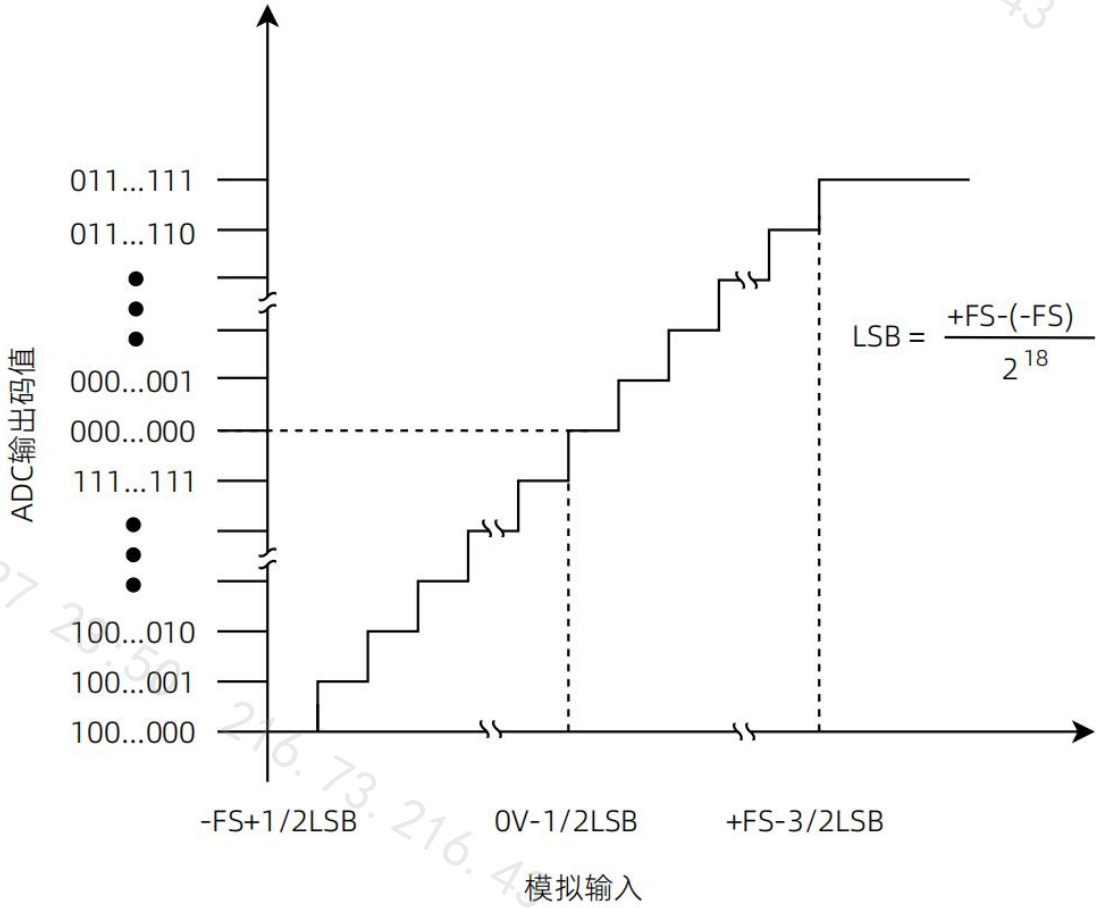


图 48 理想传递函数

表 3 双极性输入电压范围

范围	PFS(V)	中间电平(V)	NFS(V)	LSB(μV)
差分				
±25V	+25	0	-25	190.72
±20V	+20	0	-20	152.58
±12.5V	+12.5	0	-12.5	95.36
±10V	+10	0	-10	76.3
±5V	+5	0	-5	38.1
单端				
±12.5V	+12.5	0	-12.5	95.36
±10V	+10	0	-10	76.3
±5V	+5	0	-5	38.1
±2.5V	+2.5	0	-2.5	19

11.5. 数字滤波器

CYD7606C-18 内置一个可选的数字平均滤波器，可用于有更高 SNR 或动态范围要求的低吞吐率应用场景。

在硬件模式下，数字滤波器的过采样率由过采样管脚 OSx 控制，提供 2~64 倍过采样。OSx 管脚在 BUSY 信号的下降沿或在完全复位时锁存。

在软件模式下，如果所有 OSx 管脚接逻辑高电平，则通过过采样寄存器（地址 0x08）选择过采样率。另外，还提供两种额外的过采样率（128 倍过采样率和 256 倍过采样率）。

在过采样模式下，ADC 在 CONVST 信号的上升沿时采集各通道的第一个样本。转换第一个样本后，后续样本由内部产生的采样信号采集，如图 49 所示。此采样信号也可从外部施加，见外部过采样时钟部分。

例如，如果配置为 8 倍过采样，则会采集 8 个样本，计算其平均值，然后在输出端提供结果。CONVST 信号上升沿触发第一个样本，其余 7 个样本由内部产生的采样信号(OS_CLOCK)采集。因此，开启多样本的均值计算可以提高 SNR 的性能，但会导致最大吞吐率降低。当过采样功能开启时，BUSY 信号高电平时间(t_{CONV})会延长。

表 4 和表 5 显示了 SNR 和带宽之间的权衡，以及±10V 单端范围、±20V 差分范围各自的吞吐量。

图 49 所示，在过采样开启时，转换时间(t_{CONV})会延长。必须降低吞吐率($1/t_{CYCLE}$)，以适应更长的转换时间，且为读取操作留出空间。当开启过采样时，为实现最快吞吐率，可以在 BUSY 信号高电平期间读取上一次 ADC 转换结果。

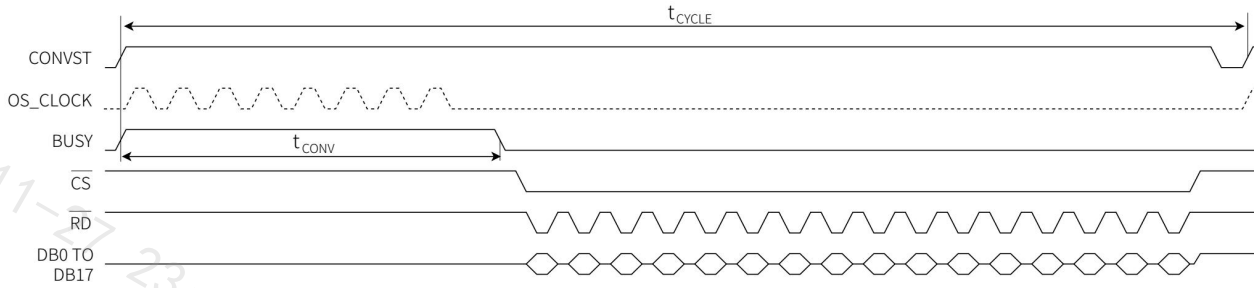


图 49 8 倍过采样，在转换之后读取，并行接口，OS CLOCK 是内部生成的采样信号

表 4 过采样性能，低带宽模式

过采样率	输入频率(Hz)	±10V 单端范围		±20V 差分范围		最大吞吐量(kSPS)
		SNR(dB)	-3dB 带宽(kHz)	SNR(dB)	-3dB 带宽(kHz)	
无过采样	1000	93	23	94	23	1000
2	1000	94.9	23	96.7	23	500
4	1000	96.7	22.7	98.5	22.6	250
8	1000	98.2	20.9	100.2	20.9	125
16	1000	99.6	17.3	101.4	17.2	62.5
32	160	101.2	11.6	103.1	11.6	31.25
64	160	103.1	6.5	104.4	6.5	15.6
128	50	104.6	3.4	105.5	3.4	7.8
256	50	105.8	1.7	106.5	1.7	3.9

表 5 过采样性能，高带宽模式

过采样率	输入频率(Hz)	±10V 单端范围		±20V 差分范围		最大吞吐量(kSPS)
		SNR(dB)	-3dB 带宽(kHz)	SNR(dB)	-3dB 带宽(kHz)	
无过采样	1000	88	202.7	90	203	1000
2	1000	90.2	150	92.3	152	500
4	1000	92.6	95	94.6	96.3	250
8	1000	95.4	53	97.6	53.3	125
16	1000	97.7	27.4	100.2	27.4	62.5
32	160	100.1	13.8	102.3	13.8	31.25
64	160	102.2	6.9	104	6.9	15.6
128	50	103.6	3.4	105.5	3.4	7.8
256	50	104.8	1.7	106.7	1.7	3.9

外部过采样时钟

在软件模式下，在过采样模式使能时，可以通过 CONVST 管脚施加外部时钟。提供低抖动外部时钟有助于提高较大过采样率的 SNR 性能。通过施加外部时钟，按相等时间间隔对输入进行采样，以实现最优化的抗混叠性能。

要使能外部过采样时钟，必须置位 CONFIG 寄存器（地址 0x02，位 5），吞吐率为：

吞吐率 = 1 / (t_{CYCLE} × OSR)

采样信号通过 CONVST 管脚从外部提供，在每个 OSR 数量的时钟之后，计算并提供输出均值，如图 51 所示。该特性既可以用于并行接口，也可以应用于串行接口。

多个 CYD7606C-18 同步采样

通常，可使用一个公共 CONVST 信号同步多个 SAR ADC。但是，在使能过采样后，默认使用内部时钟来触发后续样本，内部时钟之间的偏差可能妨碍芯片之间的同步。采用外部过采样则可以解决时钟同步问题。部分复位会中断过采样过程并清空数据寄存器。如果各 CYD7606C-18 芯片未能同步，发起部分复位可以重新同步这些芯片，如图 50 所示。

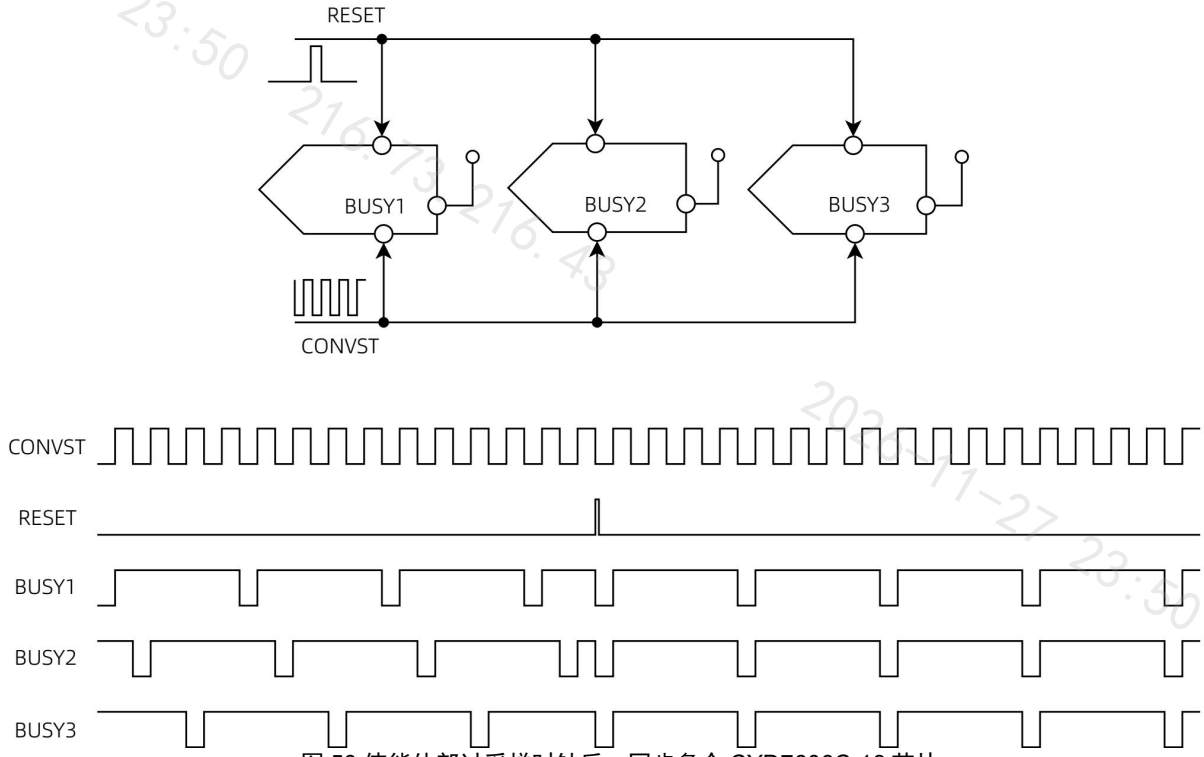


图 50 使能外部过采样时钟后，同步多个 CYD7606C-18 芯片

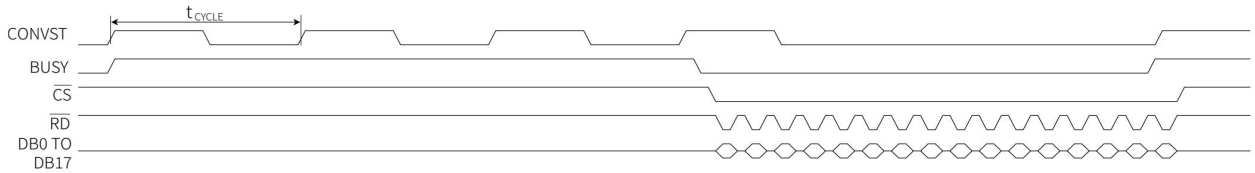


图 51 对 CONVST 管脚 (OSR = 4)应用外部过采样时钟，并行接口

12. 功能和模式

12.1. 功耗模式

CYD7606C-18 有四种功耗模式：转换模式、静态模式、待机模式和关断模式。

转换模式下，8 个通道 ADC 同时进行转换，此时芯片的功耗最大，典型功耗为 170mW。

转换完成后，芯片进入静态模式，ADC 处于低功耗状态，但采样电路仍然保持在工作状态，以便能够随时响应 CONVST 信号立即进入转换模式。静态模式下典型功耗为 82.5mW。

$\overline{\text{STBY}}$管脚接低电平，RANGE 管脚接高电平时，进入待机模式，ADC 和采样电路都处于低功耗状态，芯片整体功耗进一步降低，典型值为 25mW。从待机模式退出后，内部电路需要 100μs 的建立时间，然后进入静态模式。

$\overline{\text{STBY}}$管脚和 RANGE 管脚都接低电平时，进入关断模式，大部分电路模块均关断，此时芯片的典型功耗为 0.29μW。从关断模式退出后需要 12ms 的等待时间才可以开始进行正常的转换功能。表 6 显示了不同功耗模式的配置情况。

表 6 功耗模式选择

功耗模式	$\overline{\text{STBY}}$	RANGE
转换	1	X
静态	1	X
待机	0	1
关断	0	0

12.2. 工作模式

硬件模式

在硬件模式下，仅 ADC 模式可用。ADC 数据可以通过$\overline{\text{CS}}$和$\overline{\text{RD}}$信号的并行数据总线，或者通过带有$\overline{\text{CS}}$、SCLK 和两个 DOUTx 信号的串行数据从 CYD7606C-18 读取。

软件模式

只有当三个 OSx 管脚连接高电平时，软件模式才被启用，此时 ADC 模式和寄存器模式都可用。ADC 数据的读取和寄存器的读写，均可以通过$\overline{\text{CS}}$、$\overline{\text{RD}}$和$\overline{\text{WR}}$信号的并行数据总线，或者通过带有$\overline{\text{CS}}$、SCLK、SDI 和 DOUTa 信号的串行数据操作。

根据所选的并行接口或者串行接口，以及硬件模式或者软件模式，管脚功能有所不同，如表 7 所示。

表 7 基于工作模式的数据接口管脚功能

管脚名称	管脚编号	并行接口			串行接口		
		硬件模式	软件模式		硬件模式	软件模式	
			ADC 模式	寄存器模式		ADC 模式	寄存器模式
DB2~DB4	16~18	DB2~DB4		寄存器数据	N/A	N/A	
DB5/DOUTE	19	DB5		寄存器数据	N/A	DOUTE	未使用
DB6/DOUTF	20	DB6		寄存器数据	N/A	DOUTF	未使用
DB7/DOUTG	21	DB7		寄存器数据	N/A	DOUTG	未使用
DB8/DOUTH	22	DB8		寄存器数据	N/A	DOUTH	未使用
DB9/DOUTA	24	DB9		寄存器数据 (MSB)	DOUTA	DOUTA	DOUTA
DB10/DOUTB	25	DB10		ADD0	DOUTB	DOUTB	未使用
DB11/DOUTC	27	DB11		ADD1	N/A	DOUTC	未使用
DB12/DOUTD	28	DB12		ADD2	N/A	DOUTD	未使用
DB13/SDI	29	DB13		ADD3	N/A	未使用	SDI

管脚名称	管脚编号	并行接口			串行接口		
		硬件模式	软件模式		硬件模式	软件模式	
			ADC 模式	寄存器模式		ADC 模式	寄存器模式
DB14	30	DB14		ADD4	N/A	N/A	
DB15	31	DB15		ADD5	N/A	N/A	
DB16/DB0	32	DB16/DB0		ADD6	N/A	N/A	
DB17/DB1	33	DB17/DB1		R/$\overline{W}$	N/A	N/A	

12.3. 复位

芯片有两种复位模式：部分复位和完全复位，通过将 RESET 管脚电平置高实现。硬件模式下，仅支持完全复位。软件模式下，上电默认 RESET 高电平为完全复位。如果需要完成部分复位，可将复位控制寄存器 RST_CTRL (0x30) 配置为 0x0，此时 RESET 高电平将实现部分复位功能。

部分复位

部分复位会重新初始化下列模块：

•数字滤波器

•8 个 SAR ADC

•CRC 逻辑

•将通信接口复位为 ADC 模式

部分复位完成时，会丢弃当前转换结果，但不会影响软件模式下设置的寄存器值，或硬件和软件模式下锁存的用户配置值。

完全复位

软硬件模式和串并行模式在完全复位释放时会锁存。完全复位会将芯片复位至默认上电状态。

12.4. 系统校准

相位校准

当使用外部滤波器时，各组件或传感器的任何不匹配都会导致通道间的相位不匹配。在软件模式下，可通过延迟单个通道上的采样时间，补偿相位不匹配。

通过写寄存器 CHx_PHASE（地址 0x19 至地址 0x20），任何特定通道上的采样时间都可能因 CONVST 信号上升沿而延迟，这时分辨率为 1μs，最高 255μs。

例如，如果 CH4_PHASE 寄存器（地址 0x1C）被写入十进制 10，那么通道 4 在 CONVST 信号上升沿 10μs 后开始有效采样，如图 52 所示。

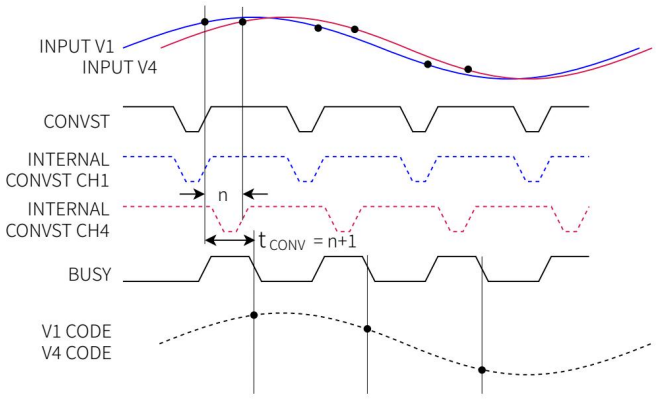


图 52 系统相位检测功能

注意，延迟任何通道都会延长 BUSY 信号高电平时间，t_{CONV} 会延长至 t_{CONV} = n+1 μs，n 表示延迟最长的通道 CHx_PHASE 寄存器信息。在上述示例中，如果仅编程 CH4_PHASE 寄存器，t_{CONV} 为 11μs。所以，在以更高的吞吐率运行时，需要考虑此情况。

失调校准

传感器上的潜在失调，或特定通道上的滤波器器件不匹配导致的失调可以在软件模式下基于通道补偿。CHx_OFFSET 寄存器（地址 0x11 至地址 0x18）允许以 4LSB 分辨率，自动在 ADC 码值中加上或减去最高 512LSB，如表 8 所示。

例如，如果连接通道 3 的信号出现 9mV 失调，且模拟输入范围为±10V 范围 (LSB = 76.3μV) 补偿此失调，则对相应的寄存器编程 9mV/76.3μV/4 = -30(0x62)可以消除这种失调。

表 8 CHx_OFFSET 寄存器位解码

CHx_OFFSET 寄存器码值	失调检测 (LSB)
0x00	-512
0x45	-236
0x80（缺省值）	0
0x83	+12
0xFF	+508

开路检测

CYD7606C-18 在软件模式下可使用模拟输入开路检测功能。要使用此功能，必须如图 53 所示放置 R_{PD}。例如，这里使用推荐的 R_{PD} =25kΩ电阻，在该配置下通常 R_S < R_{PD}；当模拟输入与 CYD7606C-18 断开连接，CYD7606C-18 能够通过内部 PGA 共模电压检测到源阻抗的变化。模拟输入开路检测可在手动模式和自动模式下使用。

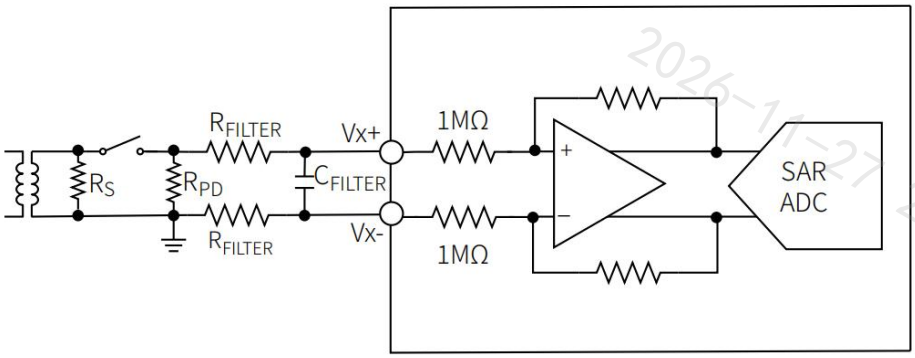


图 53 应用 RPD 的模拟前端

手动模式

可以向 OPEN_DETECT_QUEUE 寄存器（地址 0x2C）写入 0x01 来使能手动模式。在手动模式下，每个 PGA 共模电压都由 OPEN_DETECT_ENABLE 寄存器（地址 0x23）上的对应 CHx_OPEN_DETECT_EN 位控制。将该位置于高电平会使 PGA 共模电压升高。如果模拟输入端上有开路，ADC 输出会与 R_{PD} 成比例变化，如图 54 所示。如果没有开路，则 PGA 共模电压的任何变化都不会影响 ADC 输出。

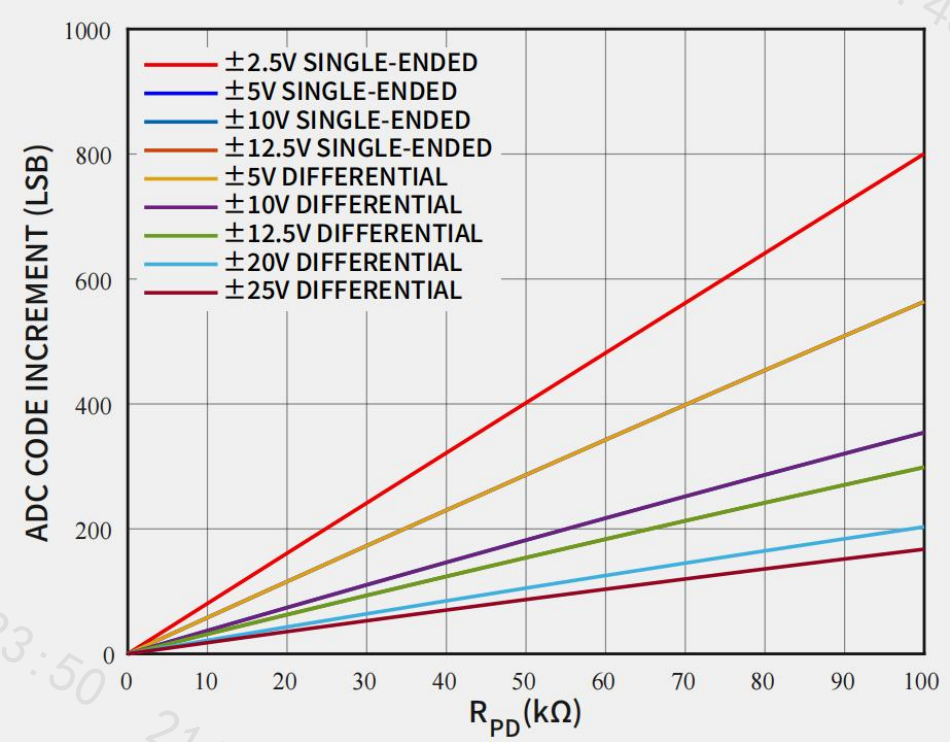


图 54 与 RPD 相关的开路码值误差增量

自动模式

通过向 OPEN_DETECT_QUEUE 寄存器（地址 0x2C）写入大于 0x01 的值使能自动模式，如表 9 所示。ADC 输出码值连续一定数量（在 OPEN_DETECT_QUEUE 寄存器中设置）不变，则开始执行开路检测算法。模拟输入开路检测算法自动更改共模电检查输出，并返回至初始共模电压，如图 55 所示。

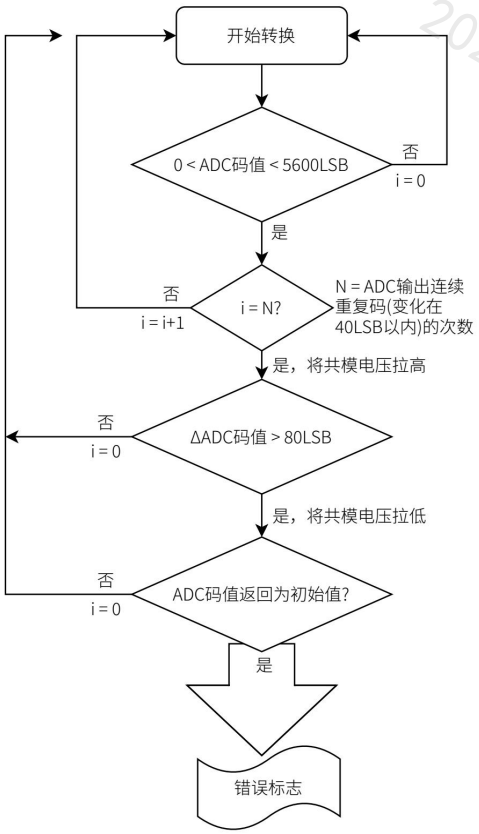


图 55 模拟输入开路自动检测流程图

如果 ADC 码值随 PGA 共模电压的变化在某通道上变化，则该通道被识别为开路，并将对应标志位置位。每个通道都可以通过 OPEN_DETECT_ENABLE 寄存器（地址 0x23）单独使能或禁用。

如果未使能过采样，为了自动检测模拟输入开路，对 CYD7606C-18 编程的最小转换数量为：

$$OPEN_DETECT_QUEUE = 10\times f_{SAMPLE}（R_{PD}+2\times R_{FILTER}）\times（C_{FILTER}+10pF）$$

当使能过采样时，使用的最小转换数量为：

$$OPEN_DETECT_QUEUE = 1+（f_{SAMPLE}\times（2R_{PD}+2\times R_{FILTER}）\times（C_{FILTER}+10pF）\times OSR）$$

表 9 模拟输入开路检测模式选择和寄存器功能

OPEN_DETECT_QUEUE（地址 0x2C）	开路检测模式	OPEN_DETECT_ENABLE（地址 0x23）
0x00（缺省值）	禁用。	不适用。
0x01	手动模式。	基于通道将共模电压设为高电平或低电平。
0x02[1] 至 0xFF	自动模式。OPEN_DETECT_QUEUE 是置位 CHx_OPENED 标志位之前的连续转换次数。	基于通道使能或禁用模拟输入开路自动检测。

1：建议向 OPEN_DETECT_QUEUE 写入大于 5 的数值。

12.5. 诊断

数字接口检测

接口检查

可通过置位 INTERFACE_CHECK_EN 位（地址 0x21，位 7）检查数字接口的完整性。接口检测使能时，各通道转换结果输出固定值，如表 10 所示。

如果使能了数据 CRC 校验功能，通过接口检测功能也可以方便的验证外部控制器的 CRC 计算是否正确。

SPI 无效读取和写入

尝试回读无效的寄存器地址时，SPI_READ_ERR 位（地址 0x22，位 4）置位。置位 SPI_READ_ERR_EN 位（地址 0x21，位 4）可使能无效回读地址检测。如果触发 SPI 读取错误，则可通过对 SPI_READ_ERR 位进行置位操作或禁用该功能将其清除。

尝试写入无效的寄存器地址或只读寄存器时，SPI_WRITE_ERR 位（地址 0x22，位 3）置位。置位 SPI_WRITE_ERR_EN 位（地址 0x21，位 3）可使能无效写入地址检测。如果触发 SPI 写入错误，可通过对 SPI_WRITE_ERR 位进行置位操作或禁用该功能将其清除。

表 10 接口检查转换结果

通道号	强制转换结果（十六进制）
V1	0x2ACCA
V2	0x15CC5
V3	0x2A33A
V4	0x15335
V5	0x0CAAC
V6	0x0C55C
V7	0x33AA3
V8	0x33553

BUSY 阻塞

置位 BUSY_STUCK_HIGH_ERR_EN 位（地址 0x21，位 5）可使能 BUSY 阻塞监测。置位该位后，使用独立时钟在内部监测转换时间（如通用时序规格中的 t_{CONV}）。如果 t_{CONV} 超过 4μs，CYD7606C-18 自动发出部分复位指令并置位 BUSY_STUCK_HIGH_ERR

位（地址 0x22，位 5）。要清除此错误标志位，必须写入 1 覆盖 BUSY_STUCK_HIGH_ERR。

使能过采样模式时，监测每次内部转换所用的转换时间。

12.6. CRC

寄存器 CRC 校验

寄存器 CRC 校验默认禁用。软件模式下，寄存器 CRC 校验可以通过配置 MM_CRC_ERR_EN 位（地址 0x21，位 1）使能。使能后，芯片会按照 4μs 的周期对所有寄存器做周期性的 CRC 校验并记录下校验值。若最新计算的 CRC 校验值与上一次的校验值不相等，则证明寄存器的值损坏，芯片将 MM_CRC_ERR 位（地址 0x22，位 1）置位。此时建议将芯片复位，将寄存器恢复到初始状态。

CYD7606C-18 使用下方的 16 位多项式对寄存器计算 CRC 校验和：

x16+x14+x13+x12+x10+x8+x6+x4+x3+x+1(0xBAAD)

接口 CRC 校验

对于主机和 CYD7606C-18 的通信接口，也具备 CRC 校验功能，以增强通信过程的可靠性。

接口 CRC 校验支持以下两种模式：

•寄存器模式下的 CRC 校验

寄存器模式下，仅串行模式支持 CRC 校验。主机在进行寄存器访问时，使用以下生产多项式完成 CRC 校验：

x8+x2+x+1(0x83)。使能 CRC 功能后，写入寄存器时，主机在数据后继续发送 8bit CRC 校验值（见图 58），CYD7606C-18 接收到寄存器写入数据后，进行 CRC 计算，并与主机 CRC 校验值进行比对。如果比对错误，则将 INT_CRC_ERR（地址 0x22，位 2）置位。读取寄存器时，CYD7606C-18 在发送完寄存器值后，继续发送 8bit CRC 校验值。主机在收到寄存器返回值后，对结果进行 CRC 校验，以确认返回结果是否可靠。

•ADC 模式下的 CRC 校验

ADC 模式下，串行和并行模式均支持 CRC 校验（见图 56 和图 57）。

使用以下多项式完成 CRC 校验：

x16+x14+x13+x12+x10+x8+x6+x4+x3+x+1(0xBAAD)

表 11 给出了 16 位数据的 CRC 计算示例。CYD7606C-18 在发送完 ADC 结果后，会继续发送当前 ADC 数据的 CRC 校验值，主机接收到 ADC 结果和 CRC 校验值后，利用此值确认返回的 ADC 结果是否可靠。

表 11 16 位数据的 CRC 计算示例

数据	0	0	0	0	0	1	1	0	0	1	0	0	1	1	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
过程数据	0	0	0	0	0	1	1	0	0	1	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
多项式						1	0	1	1	1	0	1	0	1	0	1	0	1	1	0	1	1	0 1	0 1	0 0	0 1	0 1	0 0	0 1	0 1	0 1	0 1
						0	1 1	1 0	1 1	0 1	0 1	1 0	1 1	0 0	1 1	1 0	0 1	1 0	1 1	0 1	1 0	1 1										
							0	1 1	0 0	1 1	1 1	1 1	0 0	0 1	0 0	1 1	1 0	1 1	0 0	1 1	0 0	1 1	1 1									
								0	0	0	0	0	0	1 1	0 0	0 1	1 1	0 1	0 0	0 1	0 0	0 1	0 0	1 1								
														0	0	1 1	0 0	1 1	0 1	1 1	0 0	1 1	0 0	0 1	1 1	1 0	0 1	1 1	1 0			
CRC																	0	0	1	0	0	0	0	1	0	0	1	1	0	1	1	1

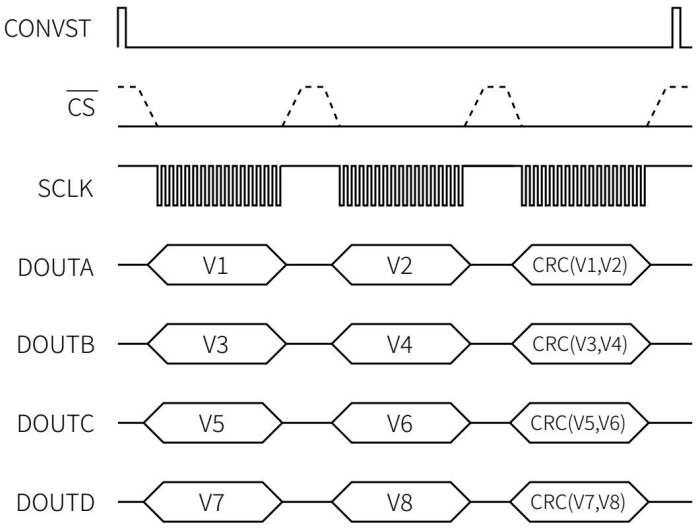


图 56 使能 CRC 后串行 ADC 读取，四条 DOUTx 路线

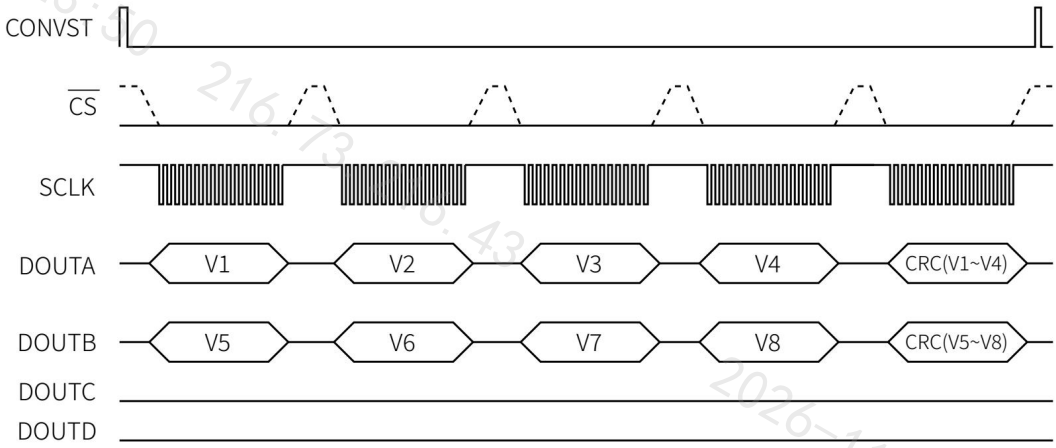


图 57 使能 CRC 后串行 ADC 读取，两条 DOUTx 路线

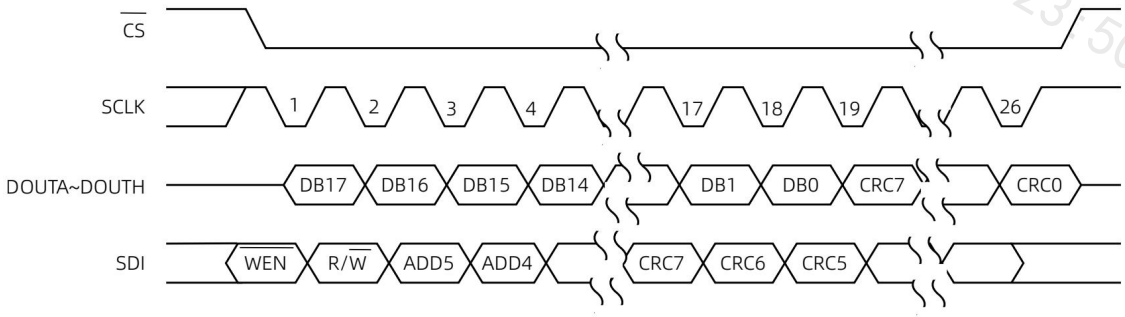


图 58 使能 CRC 后写寄存器

12.7. 多路选择器检测

通道 1 内置多路选择器，位于 PGA 之前，用于监测表 12 中所述的内部节点，确保 CYD7606C-18 正常工作。

内部节点选定之后，通道 1 上对应的外部管脚输入电压将与 PGA 断开，如图 59 所示。

诊断多路选择器配置是在软件模式下通过对应的寄存器（地址 0x28）访问的。在通道 1 上使用多路选择器进行内部节点检测时，需要将通道 1 的输入配置为±20V 范围，并且此配置下内部节点检测电压是 ADC 转换输出电压的 0.4 倍。

表 12 通道 1 诊断多路选择器寄存器位解码

地址 0x28			通道 1 上的信号
位 2	位 1	位 0	
0	0	0	V1
0	0	1	温度传感器
0	1	0	VREF
0	1	1	ALDO
1	0	0	DLDO
1	0	1	VDRIVE
1	1	0	AGND
1	1	1	AVCC

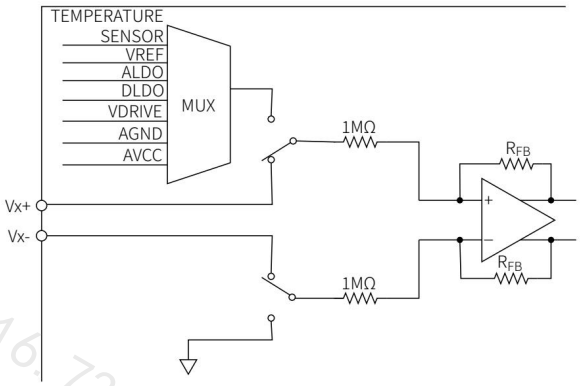


图 59 诊断多路选择器

温度传感器

可以通过诊断多路选择器选择温度传感器，并使用 ADC 进行转换，如图 59 所示。根据以下等式测量芯片温度，其与 ADC 的输出电压成正比：

$$温度(°C) = \frac{ADCOUT(V) \times 0.4 - 0.22351(V)}{0.0007(V/°C)} + 25(°C)$$

说明:

$$ADC_{OUT} = \frac{CODE}{22^{17}} \times 20$$

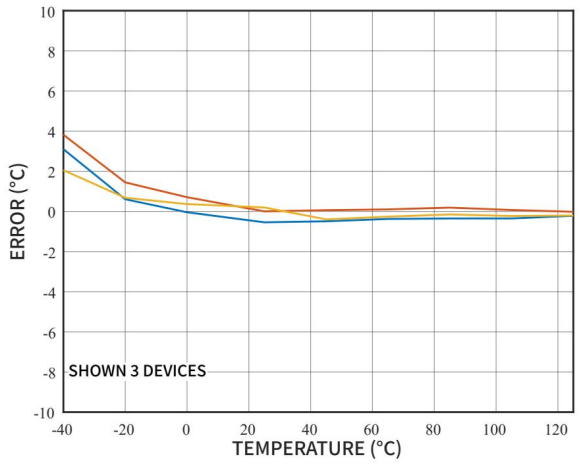


图 60 温度传感器误差

基准电压

可以通过诊断多路选择器选择基准电压，并使用 ADC 进行转换，如图 61 所示。内外部基准电压源通过 REF_SELECT 管脚选择，作为诊断多路选择器的输入。理想情况下，ADC 输出与基准电压电平成正比。所以，如果 ADC 输出超过预期的 2.5V，表示基准电压缓冲器或 PGA 存在故障。

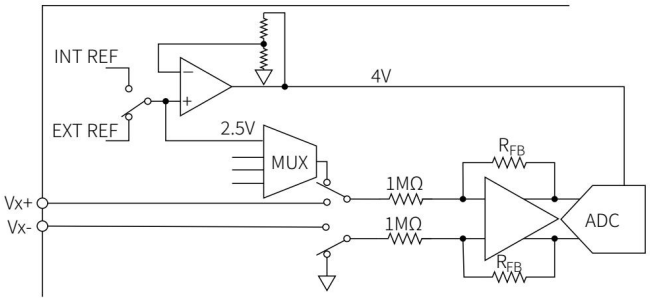


图 61 基准电压信号路径

内部 LDO

可以通过诊断多路选择器选择模拟和数字 LDO（REGCAP 管脚），并使用 ADC 进行转换，如图 59 所示。此测量确认每个 LDO 的工作电压是否正确，以确保内部电路正确偏置。

电源电压

可以通过诊断多路选择器选择 AVCC、VDRIVE 和 AGND，并使用 ADC 进行转换，如图 59 所示。此设置确保对芯片施加正确的电压和接地，确保芯片正常工作。

13. 数字接口

CYD7606C-18 提供两种接口：并行接口和高速串行接口。可通过$\overline{\text{PAR}}$/SER_SEL 管脚选择所需接口模式。

$\overline{\text{PAR}}$/SER_SEL 设置	接口模式
0	并行接口
1	串行接口

13.1. 并行接口

将$\overline{\text{PAR}}$/SER_SEL 管脚接低电平，可以通过并行接口读取 ADC 数据或读写寄存器内容。

$\overline{\text{CS}}$输入信号的上升沿使总线进入三态，$\overline{\text{CS}}$输入信号的下降沿使总线脱离高阻态。$\overline{\text{CS}}$是使能数据线的控制信号，利用该功能可以让多个 CYD7606C-18 芯片共享同一数据总线。

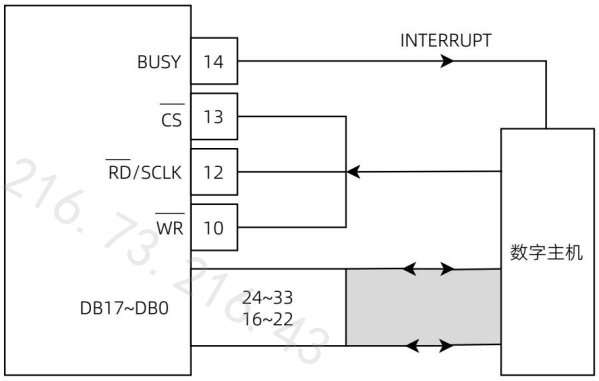


图 62 接口图-使用并联总线，CS 和 RD 短路接在一起

读取转换结果

$\overline{\text{RD}}$管脚的下降沿用来从输出转换结果寄存器读取数据。对$\overline{\text{RD}}$管脚施加一系列脉冲，可以使各通道的转换结果按升序（V1 至 V8）逐个输出到并行总线 DB17 到 DB0，如图 63 所示。

并行接口由管脚 16 至管脚 22 和管脚 24 至管脚 33 上的 16 条平行线组成。由于 ADC 数据为 18 位，因此需要两个并行帧，如下所示：

•第 1 帧从 bit17(MSB)至 bit2 输出 ADC 数据

•第 2 帧从 bit1 和 bit0(LSB)输出 ADC 数据

$\overline{\text{CS}}$信号可永久性的接低电平，$\overline{\text{RD}}$信号可用来访问转换结果，如图 3 所示。BUSY 管脚变为低电平后，可以读取新数据，如图 2 所示；或者，BUSY 管脚为高电平时，可以读取前一次转换的数据。

当系统只有一个 CYD7606C-18 且不共享并行总线时，$\overline{\text{CS}}$和$\overline{\text{RD}}$信号可以连在一起，如图 4 所示。这种情况下，$\overline{\text{CS}}$和$\overline{\text{RD}}$信号的下降沿使数据总线脱离三态，并输出数据。

FRSTDATA 输出信号表示何时回读第一通道 V1，如图 4 所示。当$\overline{\text{CS}}$为高电平时，FRSTDATA 输出管脚处于三态；$\overline{\text{CS}}$下降沿使 FRSTDATA 脱离三态。与 V1 结果相对应的$\overline{\text{RD}}$信号下降沿将 FRSTDATA 管脚置为高电平，表示输出数据总线可以提供 V1 的结果。在$\overline{\text{RD}}$的下一个下降沿之后，FRSTDATA 管脚恢复低电平。

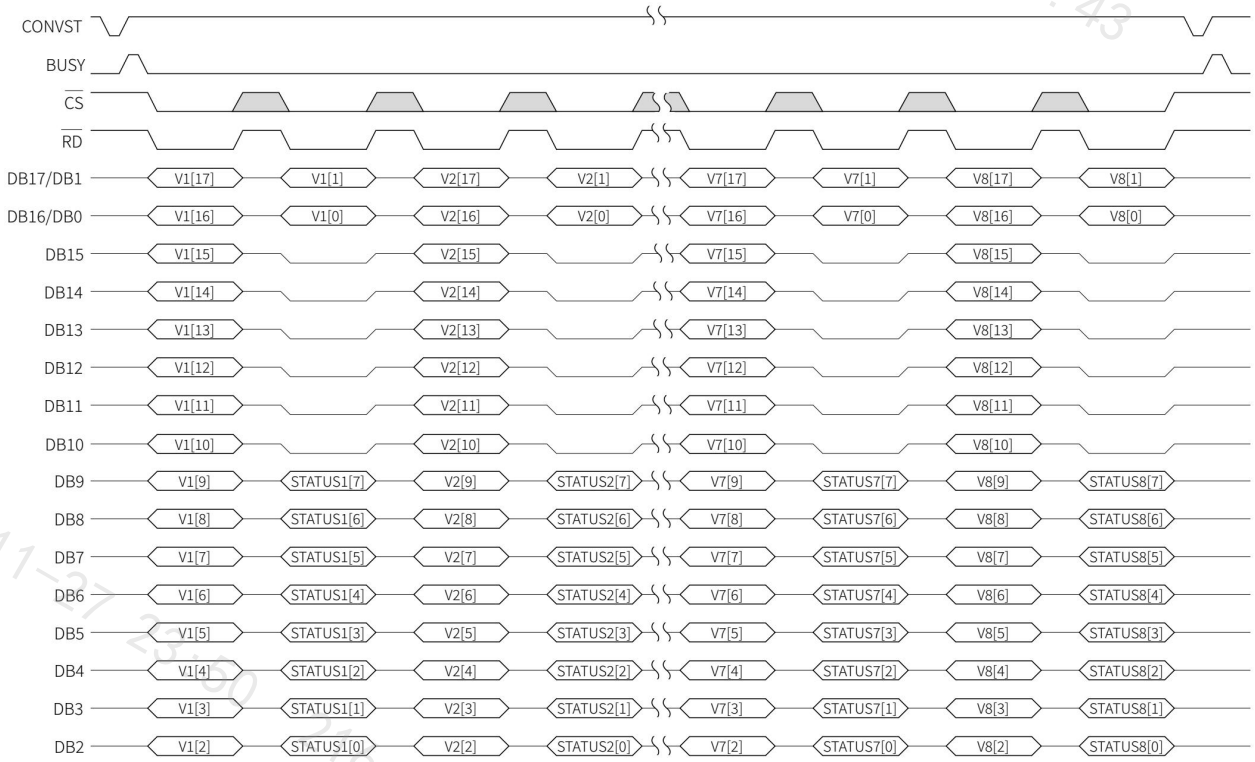


图 63 并行接口，使能状态报头的 ADC 模式

转换期间读数

如图 64 所示，可以在以下三种场景下从 CYD7606C-18 读取数据：

•转换之后 BUSY 为低电平时

•转换期间 BUSY 为高电平时

•BUSY 为低电平时开始读数，在下个转换结束之前完成读数，如图 2 所示。

在转换期间读取几乎不会影响转换器的性能，而且可以实现更快的吞吐率。读取数据要避开 BUSY 的下降沿，因为此时会进行转换数据的更新。

ADC 结果 CRC 校验

软件模式下，当通过 INT_CRC_ERR_EN 位（地址 0x21，位 2）使能时，并行接口支持在附加 CRC 的情况下读取 ADC 数据。在读取所有 8 个通道的转换后输出 CRC 结果，CRC 为 16 位，如图 65 所示。CRC 计算包括 DBx 管脚上的所有数据：数据、状态和零。

状态字节

表 13 状态报头中的 CH.ID 位解码

CH.ID2	CH.ID1	CH.ID0	通道号
0	0	0	通道 1(V1)
0	0	1	通道 2(V2)
0	1	0	通道 3(V3)
0	1	1	通道 4(V4)
1	0	0	通道 5(V5)
1	0	1	通道 6(V6)
1	1	0	通道 7(V7)
1	1	1	通道 8(V8)

软件模式下，8 位状态报头通过 CONFIG 寄存器（地址 0x02）中的位 6 置位来使能，如表 14 所示。然后，每个通道采用以下两个数据帧：

•第一帧通过 DB17 至 DB2 正常输出 ADC 数据

•第二帧在 DB9 至 DB2 上输出通道的状态报头，DB9 和 DB2 分别是状态报头的 MSB 和 LSB，当 DB1 和 DB0 输出转换结果的两个 LSB，DB15 至 DB10 管脚输出 0。

图 63 显示了该时序。表 14 说明状态报头的内容，并描述了每一位。

表 14 状态报头，并行接口

	BIT7(MSB)	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0(LSB)
内容	RESET_ DETECT	DIGITAL_ ERROR	OPEN_ DETECTED	RESERVED		CH.ID2	CH.ID1	CH.ID0
意义	检测到复位	诊断寄存器 0x22 存在错误标志位	对应模拟通道检测开路			通道 ID（参见表 13）		

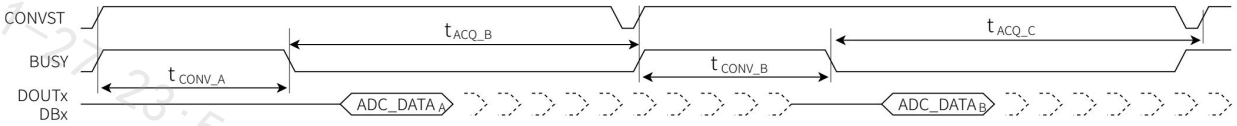


图 64 每次转换后和/或下次转换期间读取数据

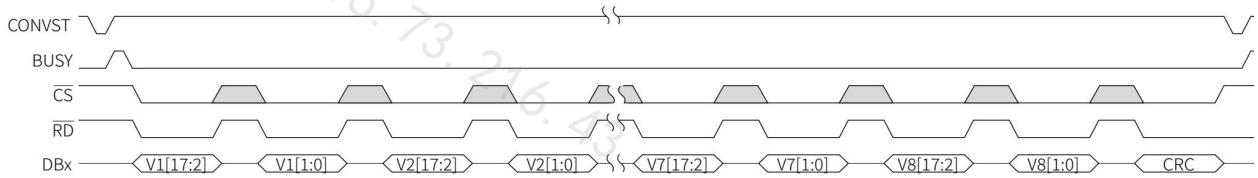


图 65 使能 CRC 后的 ADC 模式

读寄存器数据

软件模式下，表 17 中的所有寄存器都可通过并行接口读取。当$\overline{CS}$信号和$\overline{RD}$信号都变为低电平时，[DB17:DB2]脱离高阻态，读取寄存器内容；当$\overline{CS}$信号和$\overline{WR}$信号都变为低电平时，[DB17:DB2]脱离高阻态，进行寄存器地址和内容的写操作。

通过 2 帧执行读寄存器操作：第一帧，将读取命令发送至 CYD7606C-18；第二帧，CYD7606C-18 输出寄存器内容。寄存器读命令的格式如图 66 所示。在第一帧中，结构如下：

•将 DB17 设置为 1 进入寄存器模式。

•[DB16:DB10]设置为待读取寄存器地址。

•[DB9:DB2]为无效位。

寄存器地址在$\overline{WR}$信号的上升沿被锁存在 CYD7606C-18 中。随后的第二帧中，将$\overline{RD}$置低可以读取该寄存器的内容。第二帧结构如下：

•将 DB17 置 0。

•[DB16:DB10]提供正被读取的寄存器地址。

•[DB9:DB2]提供寄存器内容。

当芯片处于寄存器模式时，无法读取 ADC 数据，可以通过在一个$\overline{WR}$周期中让所有 DBx 保持低电平来恢复 ADC 模式。

写寄存器数据

软件模式下，表 17 中的所有 R/W 寄存器都可通过并行接口写入。在执行写操作之前，需要读取任意寄存器以便退出 ADC 模式（默认模式）。写寄存器操作可由单个帧通过并行总线[DB17:DB2]、$\overline{CS}$信号和$\overline{WR}$信号执行。写命令的格式如图 66 所示，其结构如下：

•将 DB17 设置为 0。

•[DB16:DB10]设置为待写入寄存器地址。

•[DB9:DB2]设置为待写入寄存器的数据。

数据在$\overline{WR}$管脚的上升沿锁存到芯片中。

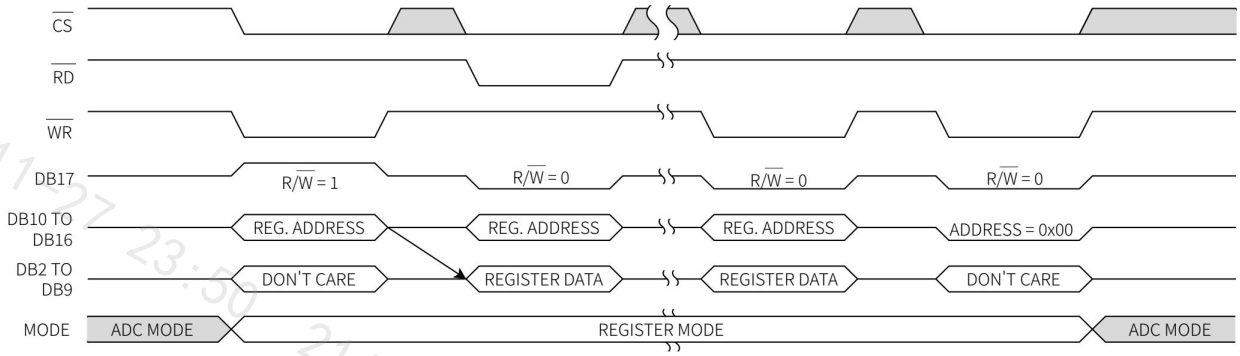


图 66 寄存器读操作后写操作

13.2. 串行接口

将$\overline{PAR}$/SER_SEL 管脚接高电平，配置为串行通信模式，可以通过串行方式读取 ADC 结果或访问寄存器。

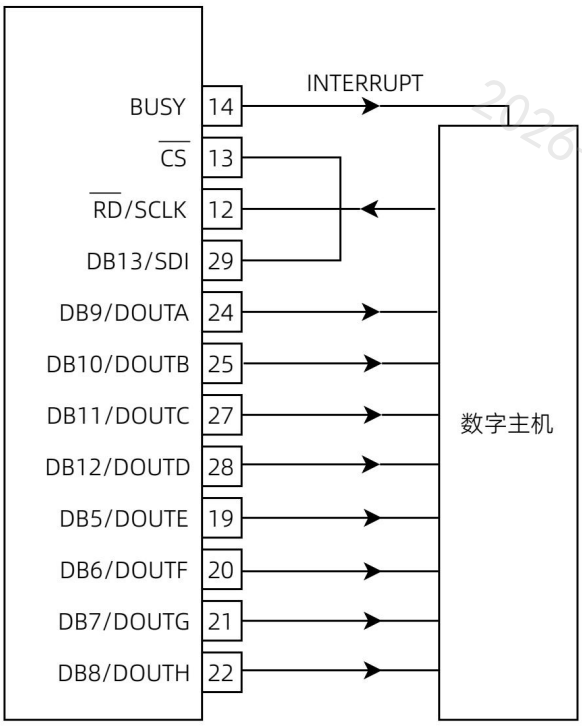


图 67 接口图-串行接口 8 条 DOUTx 线路

读取转换结果

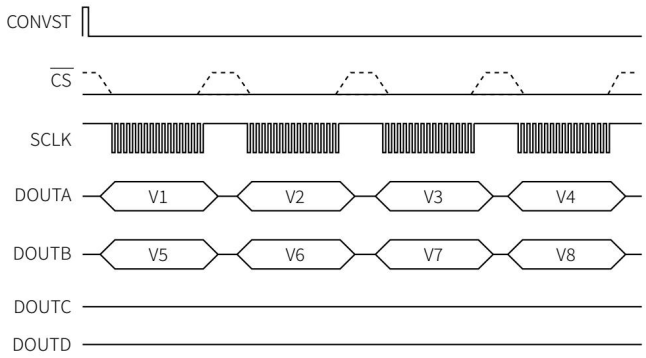


图 68 ADC 2 线读模式

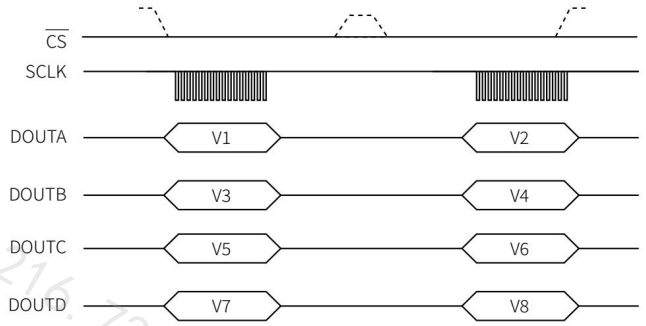


图 69 ADC 4 线读模式



图 70 ADC 8 线读模式

表 15 使用 CONFIG 寄存器选择 DOUTx 格式

DOUTx 格式	地址 0x02，位 4	地址 0x02，位 3
1 DOUTx	0	0
2 DOUTx	0	1
4 DOUTx	1	0
8 DOUTx	1	1

CYD7606C-18 提供 8 条独立串行输出接口用于输出转换结果，分别为 DOUTA ~DOUTH。在软件模式下，读取 ADC 转换结果时，可以通过寄存器配置选择 2 线见图 68、4 线见图 69 或 8 线见图 70 模式。在硬件模式下，仅支持 2 线模式。无论采用几线模式，都可以在每个串行输出接口上读出所有通道的转换结果，只需要提供 8×18 个 SCLK 时钟。

$\overline{CS}$下降沿后，数据最高位 MSB 将被输出到串行接口上，如图 72 所示。

在 3 线模式下（$\overline{CS}$接低电平），BUSY 下降沿后，MSB 将被输出到串行接口。SCLK 时钟上升沿依次将剩余的 bit 位数据输出，

如图 6 所示。串行读数期间，$\overline{CS}$可以保持低电平，也可以发送$\overline{CS}$脉冲， 每个$\overline{CS}$脉冲低电平期间发送 18 个 SCLK 时钟读出单个通道的转换结果，如图 68 所示。如果在发送连续 18 个 SCLK 期间，$\overline{CS}$拉高，将会中断当前通道转换结果的传输。该通道结果将在$\overline{CS}$拉低后，重新从 MSB 开始传输。

采用单线模式时，数据仅在串行接口 DOUTA 传输，如图 71 所示。为了完成所有通道的结果传输，需发送 8×18 = 144 个 SCLK 时钟。单线模式的缺点是吞吐率低，相比之下，4 线和 8 线模式具备更高的传输效率。如图 69 所示，4 线模式场景下，给予 36 个 SCLK 脉冲后，DOUTA~DOUTD 分别依次输出 1/2、3/4、5/6、7/8 通道的结果。

图 6 显示串行模式下从 CYD7606C-18 读取一个通道的数据（由$\overline{CS}$信号使能帧传输）的时序图。SCLK 输入信号为串行读取操作提供时钟源。$\overline{CS}$信号变为低电平，开始从 CYD7606C-18 访问数据。

FRSTDATA 输出信号表示何时回读第一通道 V1。当$\overline{CS}$输入为高电平时，FRSTDATA 输出管脚处于三态。在串行模式下，$\overline{CS}$信号的下降沿使 FRSTDATA 脱离三态，并将 FRSTDATA 管脚设为高电平（如果 BUSY 已经变为低电平），表示 DOUTA 输出数据线可以提供 V1 的结果。在第 18 个 SCLK 下降沿之后，FRSTDATA 输出恢复逻辑低电平。如果$\overline{CS}$管脚永久连接至低电平（3 线模式），当 V1 转换完成时，BUSY 线路的下降沿将 FRSTDATA 管脚设置为高电平。

如果 SDI 接低电平或高电平，不会向 CYD7606C-18 输出任何数据，该芯片将继续读取转换结果。在 3 线模式下使用 CYD7606C-18 时，保持 SDI 处于高电平。ADC 模式下，仅支持读操作，用于读取 ADC 转换结果，如图 73 所示。要对一系列寄存器写入，请切换至寄存器模式。

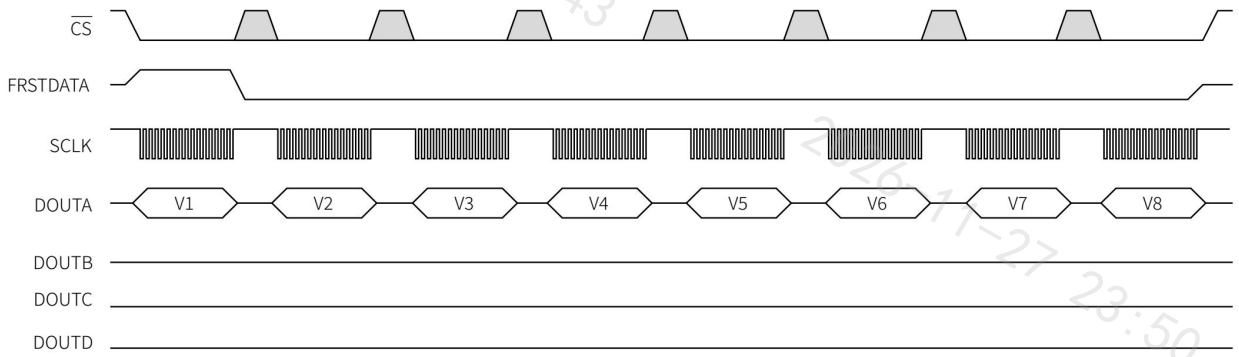


图 71 ADC 1 线读模式

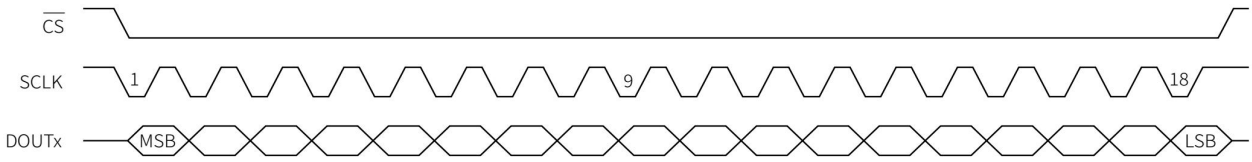


图 72 串行接口数据回读（单通道）

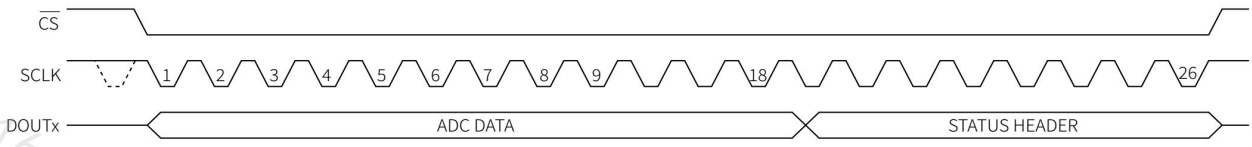


图 73 ADC 模式，开启状态

转换期间读数

如图 64 所示，可以在以下三种场景下从 CYD7606C-18 读取数据：

•转换之后 BUSY 为低电平时

•转换期间 BUSY 为高电平时

•在 BUSY 为低电平时开始读数，在下个转换结束之前完成读数，参见图 2。

在转换期间读取几乎不会影响转换器的性能，而且可以实现更快的吞吐率。读取数据要避开 BUSY 的下降沿，因为此时会进行转换数据的更新。

ADC 结果 CRC 校验

在软件模式下，可通过写入寄存器映射使能 CRC。这种情况下，CRC 在最后一个通道输出后附加到每条 DOUTx 线上，如图 56 所示。

状态字节

在软件模式下，8 位状态报头（参见表 14）可以在使用串行接口时开启，以在每次 18 位数据转换后附加，将每个通道的帧扩展到 26 位，如图 73 所示。

读寄存器数据

表 17 中的所有寄存器均可通过串行接口读取。读取命令的格式如图 74 所示，由两个 16 位帧组成。在第一个帧中，结构如下：

•SDI 输入的第一位必须设置为 0，以使能读取地址。

•SDI 输入的第二位必须设置为 1，以选择读取命令。

•SDI 输入的位[3:8]包含下一帧要在 DOUTA 上输出寄存器地址。

•SDI 随后输入的位[9:16]为无效位。

如果 CYD7606C-18 处于 ADC 模式，上述命令发送过程中，DOUTx 串行线路继续在位[9:16]上输出 ADC 数据。命令发送完成后，CYD7606C-18 切换至寄存器模式。

如果 CYD7606C-18 处于寄存器模式，无论前一帧是读取还是写入命令，DOUTx 线路回读前一个寻址寄存器的内容。使 SDI 线路在 16 个 SCLK 周期内保持低电平，可退出寄存器模式，如图 75 所示。

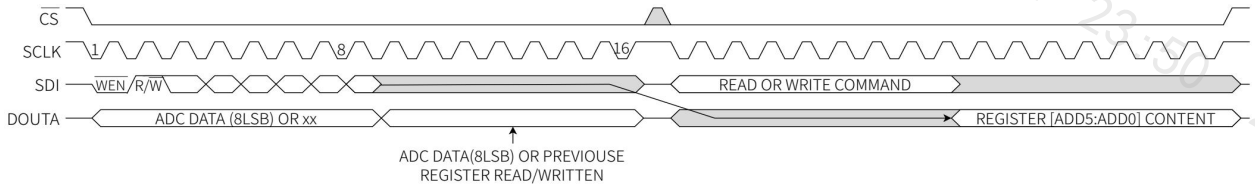


图 74 串行接口读命令，第一帧提供地址，第二帧提供寄存器内容

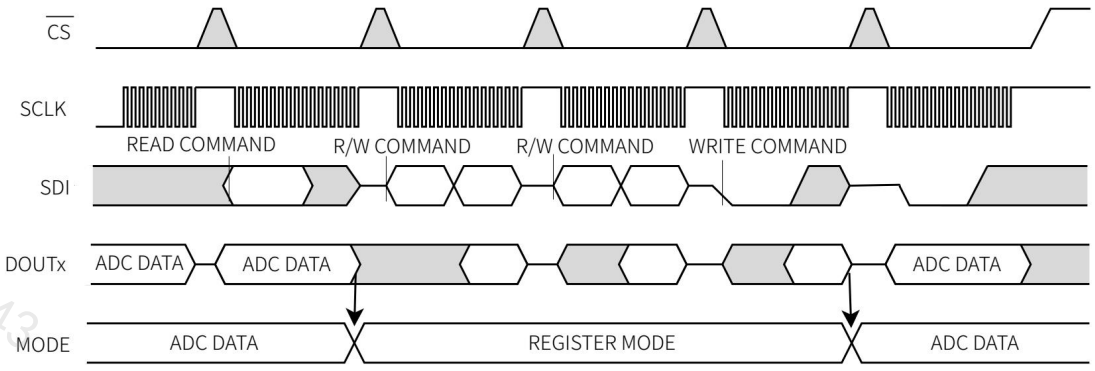


图 75 寄存器模式

表 16 状态报头，串行接口

	BIT7(MSB)	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0(LSB)
内容	RESET_DETECT	DIGITAL_ERROR	OPEN_DETECTED	RESERVED		CH.ID2	CH.ID1	CH.ID0
意义	检测到复位	诊断寄存器 0x22 存在错误标志位	对应模拟通道检测开路			通道 ID（参见表 13）		

写寄存器数据

软件模式下，可以通过串行接口写入表 17 中的所有读写寄存器。要对一系列寄存器写入，可以通过读取存储器映射上的任何寄存器退出默认模式 ADC 模式。通过单次 16 位 SPI 读取操作，可执行寄存器写命令。写命令的格式如图 76 所示，其结构如下：

•SDI 输入的第一位设置为 0 使能写入命令。

•SDI 输入的第二位（R/$\overline{W}$位）清 0。

•SDI 输入的位 ADD5 至 ADD0 设置为写入寄存器地址。

•SDI 输入的随后 8 位[DIN7:DIN0]设置为待写入选定寄存器。数据在 SCLK 的下降沿从 SDI 输入，在 SCLK 上升沿输出到 DOUTA。

连续向芯片写入时，出现在 DOUTA 上的数据来自前一帧写入的寄存器地址，如图 76 所示。DOUTB、DOUTC 和 DOUTD 管脚在传输期间保持低电平。

寄存器模式下，不会输出 ADC 数据，因为 DOUTx 线路都用于输出寄存器内容。在对要求的所有寄存器执行写操作后，让 SDI 在 6 个 SCLK 周期内保持低电平会让 CYD7606C-18 返回到 ADC 模式，然后，ADC 数据重新在 DOUTx 线路上输出，如图 75 所示。

软件模式下，当使能 CRC 校验功能时，会在正常 16bit 帧传输完成后，接着传输 8 个 CRC 校验位。因此在 CRC 校验功能开启时，每个帧需要 24 个串行时钟周期。

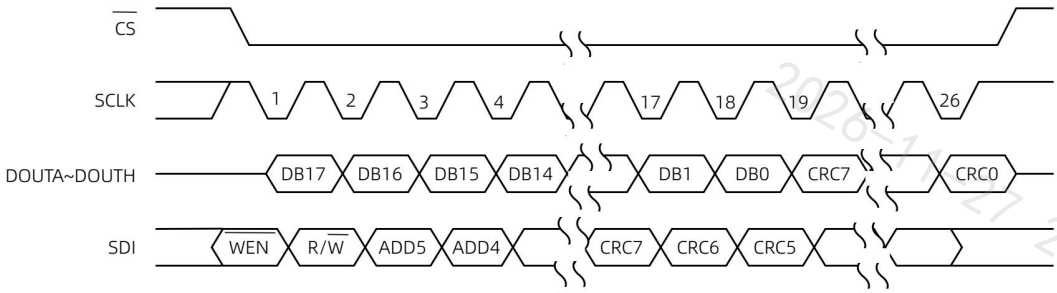


图 76 串行接口，单次写入命令，同一帧期间，SDI 在地址位 ADD5 至 ADD0 和寄存器内容位 DIN7 至 DIN0 上输入，DOUTA 提供前一帧要求的寄存器内容

寄存器 CRC 校验

软件模式下，寄存器可以在已使能 CRC 的情况下，通过置位 INT_CRC_ERR_EN 位（地址 0x21，位 2）从 CYD7606C-18 执行读或写寄存器操作。

CRC 使能后，读取寄存器时，CYD7606C-18 在 DOUTA 管脚上输出完寄存器值后，紧接着的 8 个时钟周期输出 8 位 CRC 校验值。控制器可以使用下方的多项式来确认接收的数据是否正确：

$x^8+ x^2+ x + 1$

在 CRC 使能的情况下，SPI 帧的长度扩展到 24 位，如图 77 所示。写入寄存器时，控制器必须在 CYD7606C-18 中输入数据（寄存器地址和寄存器内容），后跟一个 8 位 CRC 字（使用上述多项式从之前的 16 位计算得出）。CYD7606C-18 读取寄存器地址和寄存器内容，计算对应的 8 位 CRC 字，如果计算得出的 CRC 字和在第 17 位和第 24 位之间通过 SDI 接收的 CRC 字不匹配，则置位 INT_CRC_ERR 位（地址 0x22，位 2），如图 78 所示。

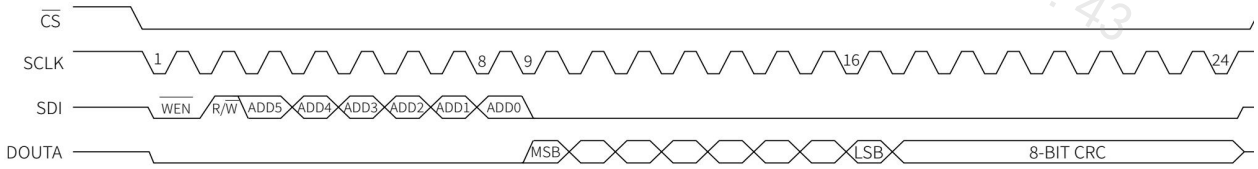


图 77 在 CRC 使能的情况下，通过 SPI 读取寄存器

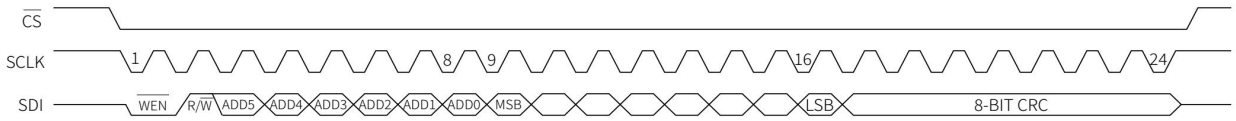


图 78 在 CRC 使能的情况下，通过 SPI 写入寄存器

14. 寄存器

表 17 寄存器汇总表

地址	名称	缺省值	描述
0x01	STATUS	0x80	芯片状态。
0x02	CONFIG	0x08	芯片配置。
0x03	RANGE_CH1_CH2	0x33	通道 1、通道 2 输入范围。
0x04	RANGE_CH3_CH4	0x33	通道 3、通道 4 输入范围。
0x05	RANGE_CH5_CH6	0x33	通道 5、通道 6 输入范围。
0x06	RANGE_CH7_CH8	0x33	通道 7、通道 8 输入范围。
0x07	BANDWIDTH	0x00	带宽控制。
0x08	OVERSAMPLING	0x00	过采样控制。
0x11	CH1_OFFSET	0x80	通道 1 系统失调校准。
0x12	CH2_OFFSET	0x80	通道 2 系统失调校准。
0x13	CH3_OFFSET	0x80	通道 3 系统失调校准。
0x14	CH4_OFFSET	0x80	通道 4 系统失调校准。
0x15	CH5_OFFSET	0x80	通道 5 系统失调校准。
0x16	CH6_OFFSET	0x80	通道 6 系统失调校准。
0x17	CH7_OFFSET	0x80	通道 7 系统失调校准。
0x18	CH8_OFFSET	0x80	通道 8 系统失调校准。
0x19	CH1_PHASE	0x00	通道 1 相位校准。
0x1A	CH2_PHASE	0x00	通道 2 相位校准。
0x1B	CH3_PHASE	0x00	通道 3 相位校准。
0x1C	CH4_PHASE	0x00	通道 4 相位校准。
0x1D	CH5_PHASE	0x00	通道 5 相位校准。
0x1E	CH6_PHASE	0x00	通道 6 相位校准。
0x1F	CH7_PHASE	0x00	通道 7 相位校准。
0x20	CH8_PHASE	0x00	通道 8 相位校准。
0x21	DIGITAL_DIAG_ENABLE	0x00	数字诊断功能使能。
0x22	DIGITAL_DIAG_ERR	0x00	数字诊断错误标志。
0x23	OPEN_DETECT_ENABLE	0x00	开路检测使能。
0x24	OPEN_DETECTED	0x00	开路检测标志。
0x28	DIAGNOSTIC_MUX	0x00	通道 1 诊断通道切换开关。
0x2C	OPEN_DETECT_QUEUE	0x00	开路检测配置。
0x2D	CLK_FS_COUNTER	0x00	系统时钟计数。
0x2E	CLK_OS_COUNTER	0x00	过采样时钟计数。
0x2F	CHIP_ID	0x03	芯片 ID。
0x30	RST_CTRL	0x01	复位控制。

14.1. STATUS (0x01)

位	名称	描述	复位	访问类型
4:0	RESERVED	保留。	5'h0	R
5	OPEN_DETECTED	检查 OPEN_DETECTED 寄存器（地址 0x24），以确定受影响的通道。	1'h0	R
6	DIGITAL_ERROR	存在错误标志位。读取 DIGITAL_DIAG_ERR 寄存器（地址 0x22），以确定具体错误类型。	1'h0	R
7	RESET_DETECT	在内部 LDO 上检测到上电复位，置为 1；发送读取命令读取该寄存器后，其值变为 0。	1'h1	RC

14.2. CONFIG (0x02)

位	名称	描述	复位	访问类型
2:0	RESERVED	保留	3'h0	R
4:3	DOUT_FORMAT	读取转换时，串行模式下使用的 DOUTx 线路数量。 00：1 01：2 10：4 11：8	2'h1	R/W
5	EXT_OS_CLOCK	在过采样模式下，使能外部过采样时钟。过采样转换通过施加给 CONVST 管脚的时钟信号触发，不受内部过采样时钟控制。	1'h0	R/W
6	STATUS_HEADER	在串行和并行接口模式下，使能要附加到 ADC 数据末尾的 STATUS 报头。	1'h0	R/W
7	RESERVED	保留	1'h0	R

14.3. RANGE_CH1_CH2 (0x03)

位	名称	描述	复位	访问类型
3:0	CH1_RANGE	通道 1 范围选择。 0000：±2.5V 单端输入范围 0001：±5V 单端输入范围 0011：±10V 单端输入范围 0100：±12.5V 单端输入范围 1000：±5V 差分输入范围 1001：±10V 差分输入范围 1010：±12.5V 差分输入范围 1011：±20V 差分输入范围 1100：±25V 差分输入范围	4'h3	R/W
7:4	CH2_RANGE	通道 2 范围选择。 0000：±2.5V 单端输入范围 0001：±5V 单端输入范围 0011：±10V 单端输入范围 0100：±12.5V 单端输入范围 1000：±5V 差分输入范围 1001：±10V 差分输入范围 1010：±12.5V 差分输入范围 1011：±20V 差分输入范围 1100：±25V 差分输入范围	4'h3	R/W

14.4. RANGE_CH3_CH4 (0x04)

位	名称	描述	复位	访问类型
3:0	CH3_RANGE	通道 3 范围选择。 0000：±2.5V 单端输入范围 0001：±5V 单端输入范围 0011：±10V 单端输入范围 0100：±12.5V 单端输入范围 1000：±5V 差分输入范围 1001：±10V 差分输入范围 1010：±12.5V 差分输入范围 1011：±20V 差分输入范围 1100：±25V 差分输入范围	4'h3	R/W
7:4	CH4_RANGE	通道 4 范围选择。 0000：±2.5V 单端输入范围 0001：±5V 单端输入范围 0011：±10V 单端输入范围 0100：±12.5V 单端输入范围 1000：±5V 差分输入范围 1001：±10V 差分输入范围 1010：±12.5V 差分输入范围 1011：±20V 差分输入范围 1100：±25V 差分输入范围	4'h3	R/W

14.5. RANGE_CH5_CH6 (0x05)

位	名称	描述	复位	访问类型
3:0	CH5_RANGE	通道 5 范围选择。 0000：±2.5V 单端输入范围 0001：±5V 单端输入范围 0011：±10V 单端输入范围 0100：±12.5V 单端输入范围 1000：±5V 差分输入范围 1001：±10V 差分输入范围 1010：±12.5V 差分输入范围 1011：±20V 差分输入范围 1100：±25V 差分输入范围	4'h3	R/W
7:4	CH6_RANGE	通道 6 范围选择。 0000：±2.5V 单端输入范围 0001：±5V 单端输入范围 0011：±10V 单端输入范围 0100：±12.5V 单端输入范围 1000：±5V 差分输入范围 1001：±10V 差分输入范围 1010：±12.5V 差分输入范围 1011：±20V 差分输入范围 1100：±25V 差分输入范围	4'h3	R/W

14.6. RANGE_CH7_CH8 (0x06)

位	名称	描述	复位	访问类型
3:0	CH7_RANGE	通道 7 范围选择。 0000：±2.5V 单端输入范围 0001：±5V 单端输入范围 0011：±10V 单端输入范围 0100：±12.5V 单端输入范围 1000：±5V 差分输入范围 1001：±10V 差分输入范围 1010：±12.5V 差分输入范围 1011：±20V 差分输入范围 1100：±25V 差分输入范围	4'h3	R/W
7:4	CH8_RANGE	通道 8 范围选择。 0000：±2.5V 单端输入范围 0001：±5V 单端输入范围 0011：±10V 单端输入范围 0100：±12.5V 单端输入范围 1000：±5V 差分输入范围 1001：±10V 差分输入范围 1010：±12.5V 差分输入范围 1011：±20V 差分输入范围 1100：±25V 差分输入范围	4'h3	R/W

14.7. BANDWIDTH (0x07)

位	名称	描述	复位	访问类型
0	CH1_BW	在通道 1 上使能高带宽模式	1'h0	R/W
1	CH2_BW	在通道 2 上使能高带宽模式	1'h0	R/W
2	CH3_BW	在通道 3 上使能高带宽模式	1'h0	R/W
3	CH4_BW	在通道 4 上使能高带宽模式	1'h0	R/W
4	CH5_BW	在通道 5 上使能高带宽模式	1'h0	R/W
5	CH6_BW	在通道 6 上使能高带宽模式	1'h0	R/W
6	CH7_BW	在通道 7 上使能高带宽模式	1'h0	R/W
7	CH8_BW	在通道 8 上使能高带宽模式	1'h0	R/W

14.8. OVERSAMPLING (0x08)

位	名称	描述	复位	访问类型
3:0	OS_RATIO	过采样率。 0000：禁用过采样 0001：使能过采样，OSR = 2 0010：使能过采样，OSR = 4 0011：使能过采样，OSR = 8 0100：使能过采样，OSR = 16 0101：使能过采样，OSR = 32 0110：使能过采样，OSR = 64 0111：使能过采样，OSR = 128 1000：使能过采样，OSR = 256	4'h0	R/W
7:4	RESERVED	保留	4'h0	R

14.9. CH1_OFFSET (0x11)

位	名称	描述	复位	访问类型
7:0	CH1_OFFSET	外部系统失调误差校准。范围：-512LSB~+511LSB。	8'h80	R/W

14.10. CH2_OFFSET (0x12)

位	名称	描述	复位	访问类型
7:0	CH2_OFFSET	外部系统失调误差校准。范围：-512LSB~+511LSB。	8'h80	R/W

14.11. CH3_OFFSET (0x13)

位	名称	描述	复位	访问类型
7:0	CH3_OFFSET	外部系统失调误差校准。范围：-512LSB~+511LSB。	8'h80	R/W

14.12. CH4_OFFSET (0x14)

位	名称	描述	复位	访问类型
7:0	CH4_OFFSET	外部系统失调误差校准。范围：-512LSB~+511LSB。	8'h80	R/W

14.13. CH5_OFFSET (0x15)

位	名称	描述	复位	访问类型
7:0	CH5_OFFSET	外部系统失调误差校准。范围：-512LSB~+511LSB。	8'h80	R/W

14.14. CH6_OFFSET (0x16)

位	名称	描述	复位	访问类型
7:0	CH6_OFFSET	外部系统失调误差校准。范围：-512LSB~+511LSB。	8'h80	R/W

14.15. CH7_OFFSET (0x17)

位	名称	描述	复位	访问类型
7:0	CH7_OFFSET	外部系统失调误差校准。范围：-512LSB~+511LSB。	8'h80	R/W

14.16. CH8_OFFSET (0x18)

位	名称	描述	复位	访问类型
7:0	CH8_OFFSET	外部系统失调误差校准。范围：-512LSB~+511LSB。	8'h80	R/W

14.17. CH1_PHASE (0x19)

位	名称	描述	复位	访问类型
7:0	CH1_PHASE	外部系统通道间相位误差校准。相位延迟： 0μs~255μs，步长为 1μs。	8'h0	R/W

14.18. CH2_PHASE (0x1A)

位	名称	描述	复位	访问类型
7:0	CH2_PHASE	外部系统通道间相位误差校准。相位延迟： 0μs~255μs，步长为 1μs。	8'h0	R/W

14.19. CH3_PHASE (0x1B)

位	名称	描述	复位	访问类型
7:0	CH3_PHASE	外部系统通道间相位误差校准。相位延迟： 0μs~255μs，步长为 1μs。	8'h0	R/W

14.20. CH4_PHASE (0x1C)

位	名称	描述	复位	访问类型
7:0	CH4_PHASE	外部系统通道间相位误差校准。相位延迟：0μs~255μs，步长为 1μs。	8'h0	R/W

14.21. CH5_PHASE (0x1D)

位	名称	描述	复位	访问类型
7:0	CH5_PHASE	外部系统通道间相位误差校准。相位延迟：0μs~255μs，步长为 1μs。	8'h0	R/W

14.22. CH6_PHASE (0x1E)

位	名称	描述	复位	访问类型
7:0	CH6_PHASE	外部系统通道间相位误差校准。相位延迟：0μs~255μs，步长为 1μs。	8'h0	R/W

14.23. CH7_PHASE (0x1F)

位	名称	描述	复位	访问类型
7:0	CH7_PHASE	外部系统通道间相位误差校准。相位延迟：0μs~255μs，步长为 1μs。	8'h0	R/W

14.24. CH8_PHASE (0x20)

位	名称	描述	复位	访问类型
7:0	CH8_PHASE	外部系统通道间相位误差校准。相位延迟：0μs~255μs，步长为 1μs。	8'h0	R/W

14.25. DIGITAL_DIAG_ENABLE (0x21)

位	名称	描述	复位	访问类型
0	ROM_CRC_ERR_EN	使能 ROM CRC 校验。	1'h0	R/W
1	MM_CRC_ERR_EN	使能存储器映射 CRC 校验。	1'h0	R/W
2	INT_CRC_ERR_EN	使能接口 CRC 校验。	1'h0	R/W
3	SPI_WRITE_ERR_EN	无效写入诊断功能使能。	1'h0	R/W
4	SPI_READ_ERR_EN	无效读取诊断功能使能。	1'h0	R/W
5	BUSY_STUCK_HIGH_ERR_EN	BUSY 阻塞诊断功能使能。作为一个转换时间监控器，用于确保 ADC 正常工作。	1'h0	R/W
6	CLK_FS_OS_COUNTER_EN	使能 FS 和 OS 时钟计数器。	1'h0	R/W
7	INTERFACE_CHECK_EN	接口检测功能使能。	1'h0	R/W

14.26. DIGITAL_DIAG_EER (0x22)

位	名称	描述	复位	访问类型
0	ROM_CRC_ERR	ROM CRC 错误。	1'h0	R/W
1	MM_CRC_ERR	存储器映射 CRC 校验错误。	1'h0	R/W
2	INT_CRC_ERR	接口 CRC 校验错误。	1'h0	R/W
3	SPI_WRITE_ERR	试图写入无效地址。	1'h0	R/W
4	SPI_READ_ERR	试图读取无效地址。	1'h0	R/W
5	BUSY_STUCK_HIGH_ERR	BUSY 阻塞错误。BUSY 管脚处于逻辑高电平超过 4μs。	1'h0	R/W
7:6	RESERVED	保留	2'h0	R

14.27. OPEN_DETECT_ENABLE (0x23)

位	名称	描述	复位	访问类型
0	CH1_OPEN_DETECT_EN	在自动模式下，使能通道 1 的模拟输入开路检测。 在手动模式下，将 PGA 共模电压设置为高电平。	1'h0	R/W
1	CH2_OPEN_DETECT_EN	在自动模式下，使能通道 2 的模拟输入开路检测。 在手动模式下，将 PGA 共模电压设置为高电平。	1'h0	R/W
2	CH3_OPEN_DETECT_EN	在自动模式下，使能通道 3 的模拟输入开路检测。 在手动模式下，将 PGA 共模电压设置为高电平。	1'h0	R/W
3	CH4_OPEN_DETECT_EN	在自动模式下，使能通道 4 的模拟输入开路检测。 在手动模式下，将 PGA 共模电压设置为高电平。	1'h0	R/W
4	CH5_OPEN_DETECT_EN	在自动模式下，使能通道 5 的模拟输入开路检测。 在手动模式下，将 PGA 共模电压设置为高电平。	1'h0	R/W
5	CH6_OPEN_DETECT_EN	在自动模式下，使能通道 6 的模拟输入开路检测。 在手动模式下，将 PGA 共模电压设置为高电平。	1'h0	R/W
6	CH7_OPEN_DETECT_EN	在自动模式下，使能通道 7 的模拟输入开路检测。 在手动模式下，将 PGA 共模电压设置为高电平。	1'h0	R/W
7	CH8_OPEN_DETECT_EN	在自动模式下，使能通道 8 的模拟输入开路检测。 在手动模式下，将 PGA 共模电压设置为高电平。	1'h0	R/W

14.28. OPEN_DETECTED (0x24)

位	名称	描述	复位	访问类型
0	CH1_OPEN	检测到模拟输入 1 开路。	1'h0	R/W1C
1	CH2_OPEN	检测到模拟输入 2 开路。	1'h0	R/W1C
2	CH3_OPEN	检测到模拟输入 3 开路。	1'h0	R/W1C
3	CH4_OPEN	检测到模拟输入 4 开路。	1'h0	R/W1C
4	CH5_OPEN	检测到模拟输入 5 开路。	1'h0	R/W1C
5	CH6_OPEN	检测到模拟输入 6 开路。	1'h0	R/W1C
6	CH7_OPEN	检测到模拟输入 7 开路。	1'h0	R/W1C
7	CH8_OPEN	检测到模拟输入 8 开路。	1'h0	R/W1C

14.29. DIAGNOSTIC_MUX (0x28)

位	名称	描述	复位	访问类型
2:0	CH1_DIAG_MUX_CTRL	通道 1 诊断多路选择器控制。000：模拟输入管脚 001：温度传感器 010：2.5V 基准电压源 011：ALDO 1.9V 100：DLDO 1.9V 101：VDRIVE 110：AGND 111：AVCC	3'h0	R/W
7:3	RESERVED	保留	5'h0	R

14.30. OPEN_DETECT_QUEUE (0x2C)

位	名称	描述	复位	访问类型
7:0	OPEN_DETECT_QUEUE	设置为 1 时，开路检测在手动模式下工作。设置为 2~255 时，开路检测在自动模式下工作；当 ADC 某通道转换结果保持不变的样本数超出该设定阈值时，ADC 开路检测算法自动工作。	8'h0	R/W

14.31. CLK_FS_COUNTER (0x2D)

位	名称	描述	复位	访问类型
7:0	CLK_FS_COUNTER	验证 FS 时钟振荡器的操作和频率。计数器分辨率为 31.25kHz。	8'h0	R

14.32. CLK_OS_COUNTER (0x2E)

位	名称	描述	复位	访问类型
7:0	CLK_OS_COUNTER	验证 OS 时钟振荡器的操作和频率。计数器分辨率为 250kHz。	8'h0	R

14.33. CHIP_ID (0x2F)

位	名称	描述	复位	访问类型
3:0	CHIP_ID	芯片 ID。	4'h03	R
7:4	SILICON_REVISION	产品版本。	4'h0	R

14.34. RST_CTRL (0x30)

位	名称	描述	复位	访问类型
0	FULL_RSTN_EN	完全复位使能（仅上下电才能使该位复位）。	1'b1	R/W

2026-11-27 23:50 216.73.216.43

15. 应用

CYD7606C-18 有 4 个 AVCC 电源管脚，建议通过每个电源管脚上的 100nF 去耦电容和电源上的 10μF 电容对每个管脚去耦。

CYD7606C-18 既可在内部基准电压工作，也可在外部施加的基准电压下工作。在 PCB 上使用一个 CYD7606C-18 芯片时，利用一个 100nF 电容对 REFIN/REFOUT 管脚去耦。当应用中使用多个 CYD7606C-18 芯片时，请参见内部/外部基准。REFCAPA 和 REFCAPB 管脚短路连在一起，并通过一个 10μF 陶瓷电容去耦。

VDRIVE 电源连接到为处理器供电的同一电源。VDRIVE 电压控制输出逻辑信号的电压值。

对 CYD7606C-18 施加电源后，对 CYD7606C-18 执行完全复位，以确保将其配置为正确的工作模式。

如图 79 所示，当 REF_SELECT 管脚被设置为逻辑高电平时，CYD7606C-18 配置为硬件模式，使用内部基准电压工作。在该示例中，$\overline{\text{PAR}}$/SER_SEL 管脚与 AGND 相连，该芯片使用并行接口。只要 RANGE 管脚连接至高电平，且过采样率是由控制器通过 OSx 管脚控制的，则所有 8 个通道的模拟输入范围均为±10V。

如图 80 所示，当 OSx 管脚处于逻辑高电平时，CYD7606C-18 配置为软件模式。过采样率和每个通道范围都通过访问存储器映射来配置。在该示例中，当$\overline{\text{PAR}}$/SER_SEL 管脚处于逻辑高电平时，串行接口用于读取 ADC 数据，以及读写存储器映射。当 REF_SELECT 管脚连接至 AGND 时，内部基准电压被禁用，外部基准电压从外部连接至 REFIN/REFOUT 管脚，通过一个 100nF 电容去耦。

图 79 和图 80 是典型的连接示意图。也可以采用其它的基准电压、数字接口和工作模式组合，具体取决于对每个管脚施加的逻辑电平。

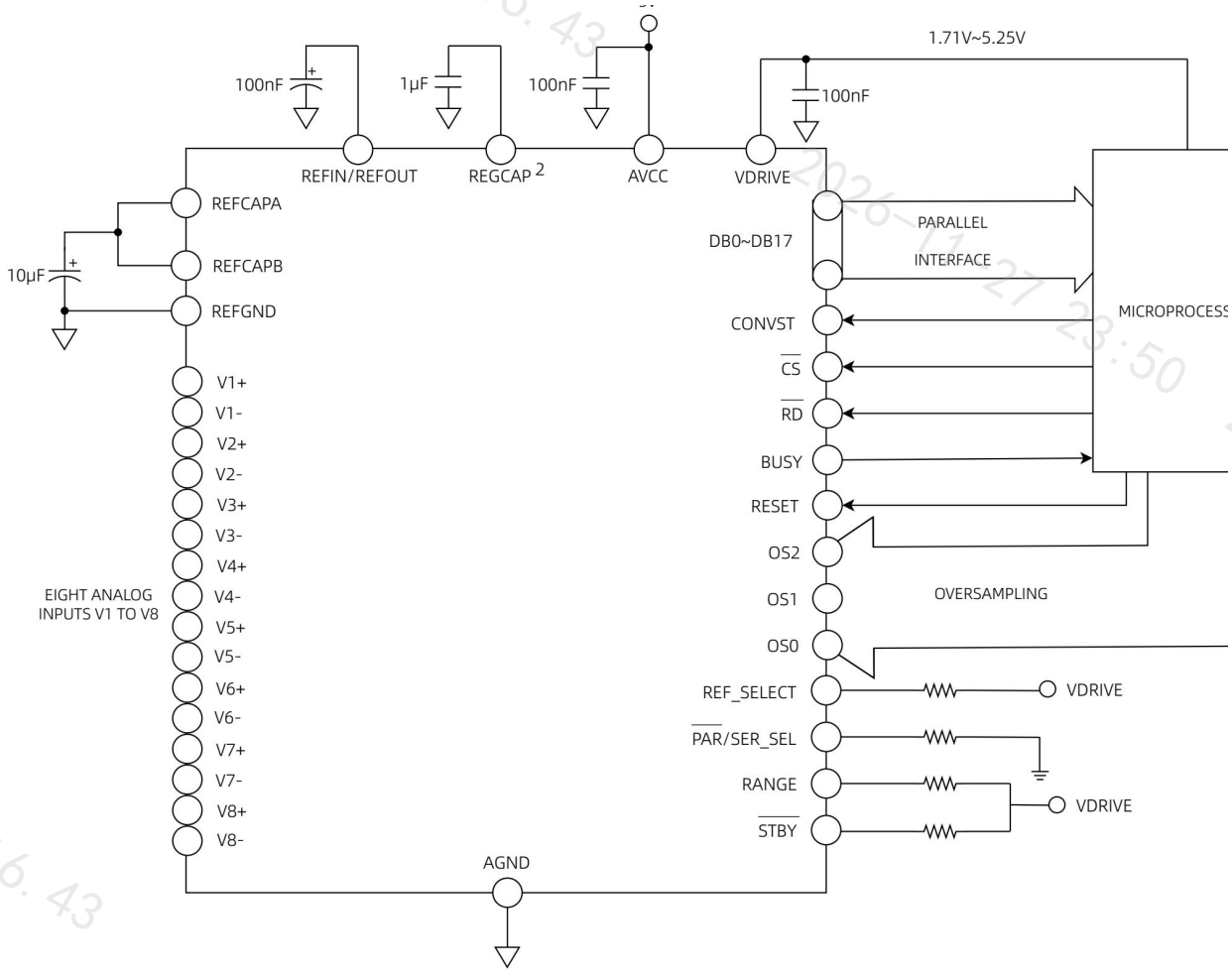


图 79 硬件模式典型连接图

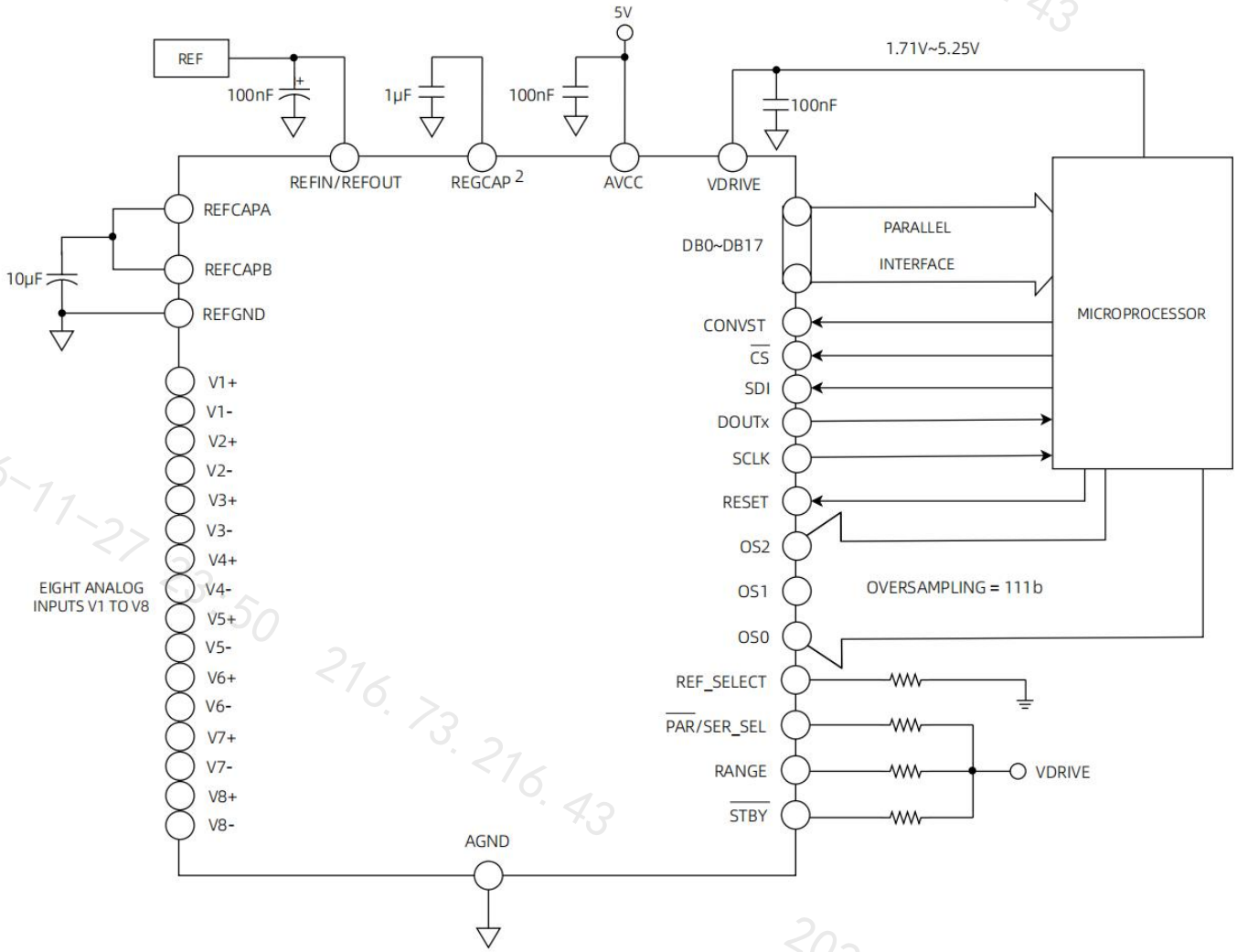


图 80 软件模式典型连接图

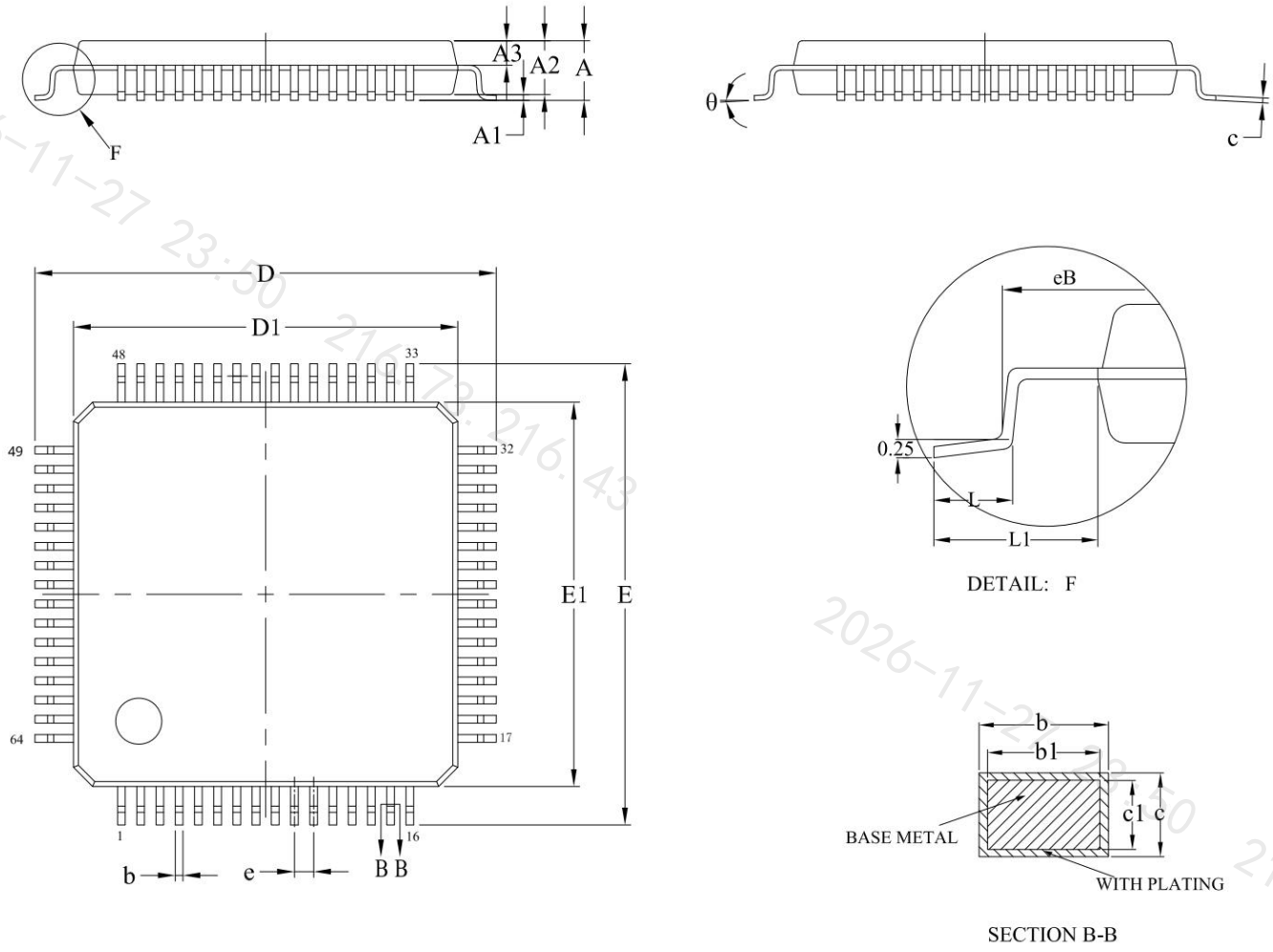
16. 封装及订购信息

16.1. 封装方式

CYD7606C-18 采用 LQFP64 封装。

16.2. 产品外形图

产品外形图如下图所示。



16.3. 产品外形尺寸

标识	尺寸（毫米）		
	最小值	典型值	最大值
A	-	-	1.60
A1	0.05	0.10	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	0.22	0.26
b1	0.17	0.20	0.23
c	0.13	0.15	0.17
c1	0.12	0.13	0.14
D	11.80	12.00	12.20
D1	9.90	10.00	10.10
E	11.80	12.00	12.20
E1	9.90	10.00	10.10
e	0.50 (BSC)		
eB	11.05	11.15	11.25
L	0.45	0.60	0.75
L1	1.00 (REF)		
θ	0°	3.5°	7°

17. 说明

如欲了解更多的产品及及公司信息，请登录网站：https://www.chiphelps.com

18. 本文档中的信息如有变更，恕不另行通知

2026-11-27 23:50 216.73.216.43

19. 索引

1. 特性 1
2. 应用 1
3. 概述 1
4. 订购信息 1
5. 架构框图 2
6. 管脚配置和功能 2
6.1. 管脚配置 2
6.2. 管脚功能 3
7. 绝对最大额定值 5
8. 电气规格 6
9. 时序规格 9
9.1. 通用时序规格 9
9.2. 并行模式时序规格 10
9.3. 串行模式时序规格 11
10. 典型特征 13
11. 工作原理 18
11.1. 模拟输入 18
11.2. 内部/外部基准 20
11.3. SAR ADC 21
11.4. ADC 传递函数 21
11.5. 数字滤波器 22
12. 功能和模式 25
12.1. 功耗模式 25
12.2. 工作模式 25
12.3. 复位 26
12.4. 系统校准 26
12.5. 诊断 29
12.6. CRC 30
12.7. 多路选择器检测 31
13. 数字接口 34
13.1. 并行接口 34
13.2. 串行接口 37
14. 寄存器 43
14.1. STATUS (0x01) 43
14.2. CONFIG (0x02) 44
14.3. RANGE_CH1_CH2 (0x03) 44
14.4. RANGE_CH3_CH4 (0x04) 45
14.5. RANGE_CH5_CH6 (0x05) 45

14.6. RANGE_CH7_CH8 (0x06) 46
14.7. BANDWIDTH (0x07) 46
14.8. OVERSAMPLING (0x08) 46
14.9. CH1_OFFSET (0x11) 46
14.10. CH2_OFFSET (0x12) 47
14.11. CH3_OFFSET (0x13) 47
14.12. CH4_OFFSET (0x14) 47
14.13. CH5_OFFSET (0x15) 47
14.14. CH6_OFFSET (0x16) 47
14.15. CH7_OFFSET (0x17) 47
14.16. CH8_OFFSET (0x18) 47
14.17. CH1_PHASE (0x19) 47
14.18. CH2_PHASE (0x1A) 47
14.19. CH3_PHASE (0x1B) 47
14.20. CH4_PHASE (0x1C) 48
14.21. CH5_PHASE (0x1D) 48
14.22. CH6_PHASE (0x1E) 48
14.23. CH7_PHASE (0x1F) 48
14.24. CH8_PHASE (0x20) 48
14.25. DIGITAL_DIAG_ENABLE (0x21) 48
14.26. DIGITAL_DIAG_EER (0x22) 48
14.27. OPEN_DETECT_ENABLE (0x23) 49
14.28. OPEN_DETECTED (0x24) 49
14.29. DIAGNOSTIC_MUX (0x28) 49
14.30. OPEN_DETECT_QUEUE (0x2C) 49
14.31. CLK_FS_COUNTER (0x2D) 49
14.32. CLK_OS_COUNTER (0x2E) 50
14.33. CHIP_ID (0x2F) 50
14.34. RST_CTRL (0x30) 50
15. 应用 51
16. 封装及订购信息 53
16.1. 封装方式 53
16.2. 产品外形图 53
16.3. 产品外形尺寸 54
17. 说明 55
18. 本文档中的信息如有变更，恕不另行通知 55
19. 索引 56

文档版本	修订日期	内容描述
V1.0	2026-10-19	初版