CYD7606

带双极性输入的 16 位 8 通道同步采样 ADC

1. 特性

- 8 通道同步采样输入
- 真双极性模拟输入范围：±10V、±5V
- 5V 单模拟电源，VDRIVE：2.5V~5V
- 模拟输入钳位保护±22V
- 具有 1MΩ模拟输入阻抗
- 片内精密基准电压
- 16 位、200kSPS ADC(所有通道)
- 最大支持 64 倍过采样
- 支持并行和串行接口
- 模拟输入通道提供 8kV ESD 额定值
- 64 引脚 LQFP10x10 封装
- 性能

  SNR: 89.5dB

  THD: -107dB

  SNR(过采样): 96dB

  DNL: ±0.3 LSB , INL: ±0.5 LSB

  基准温漂：±5ppm/℃

  功耗：100mW

2. 应用

- 电力线监控和继电保护
- 工业自动化和控制
- 数据采集系统（DAS）
- 自动化测试设备
- 多相电机控制

3. 概述

CYD7606 是一款 8 通道 16 位精度的同步采样模数转换器。CYD7606 采用 5V 单电源供电，可以处理±10V 和±5V 的真双极性输入信号，所有通道均能以 200KSPS 的吞吐速率采样。CYD7606 提供 1MΩ的输入阻抗以及二阶低通滤波器，因此无需片外驱动运算放大器。芯片内置模拟输入钳位保护，二阶低通滤波器，2.5V 低温漂基准电压源以及高速串行和并行接口。同时，CYD7606 支持最高 64 倍过采样及数字滤波，提升 SNR 性能，并降低 3dB 带宽。

4. 订购信息

表 1 订购信息

物料编号	工作温度范围	等级类型	封装
CYD7606F64I	-40℃- 85℃	工业级	LQFP64
CYD7606F64J	-55℃- 125℃	军温级	LQFP64

5. 功能框图

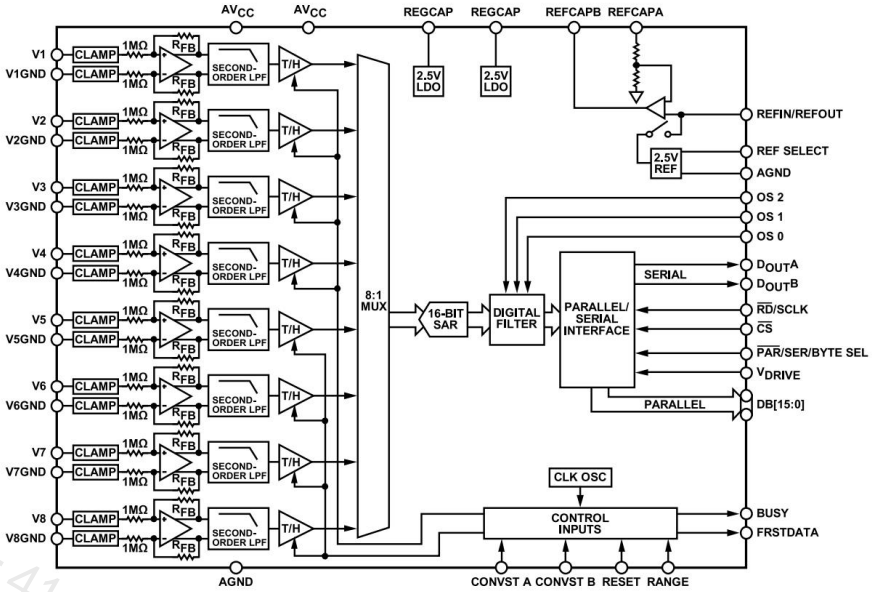


图 1 功能框图

6. 引脚配置和功能

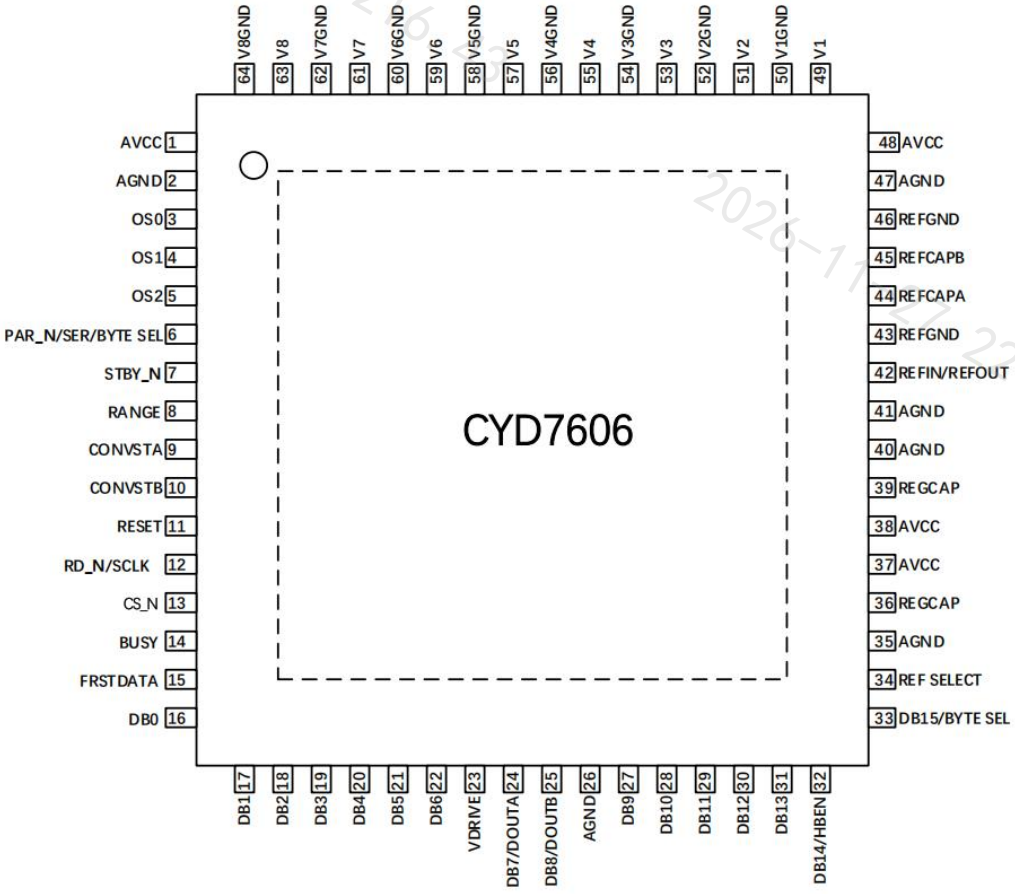


图 2 引脚配置

表 2 引脚功能

引脚编号	引脚名称	引脚类型	描述
1	AVCC	P	模拟电源电压 5.0V
2	AGND	G	模拟地
3	OS0	IP	过采样控制引脚，可配置 2 至 64 倍过采样
4	OS1	IP	过采样控制引脚，可配置 2 至 64 倍过采样
5	OS2	IP	过采样控制引脚，可配置 2 至 64 倍过采样
6	PAR_N	IP	输出模式选择，可配置并行，串行及字节模式
7	STBY_N	IP	待机模式控制引脚
8	RANGE	IP	模拟输入范围选择引脚，可配置±10V 和±5V 输入范围 RANGE=1,±10V 范围 RANGE=0，±5V 范围
9	CONVST_A	IP	转换开启引脚，通道 1 至通道 4
10	CONVST_B	IP	转换开启引脚，通道 5 至通道 8
11	RESET	IP	复位引脚，典型脉宽 50ns
12	RD_N	IP	串行或并行接口时钟输入
13	CS_N	IP	串行或并行接口片选
14	BUSY	OP	转换指示信号，BUSY 下降沿锁存转换数据
15	FRSTDATA	OP	串行或并行接口第一通道 V1 指示信号
16	DB0	OP	并行数据输出 DB0
17	DB1	OP	并行数据输出 DB1
18	DB2	OP	并行数据输出 DB2
19	DB3	OP	并行数据输出 DB3
20	DB4	OP	并行数据输出 DB4
21	DB5	OP	并行数据输出 DB5
22	DB6	OP	并行数据输出 DB6
23	VDRIVE	P	接口 IO 电源输入
24	DB7	OP	并行数据输出 DB7,或串行数据 DoutA
25	DB8	OP	并行数据输出 DB7,或串行数据 DoutB
26	AGND	G	接口 IO 地
27	DB9	OP	并行数据输出 DB9
28	DB10	OP	并行数据输出 DB10
29	DB11	OP	并行数据输出 DB11
30	DB12	OP	并行数据输出 DB12
31	DB13	OP	并行数据输出 DB13
32	DB14/HBEN	OP	并行数据输出 DB14,HBEN 并行字节模式时有效 HBEN=0,首先输出 LSB，然后输出 MSB HBEN=1,首先输出 MSB，然后输出 LSB
33	DB15/BYTE_SEL	OP	并行数据输出 DB15，并行字节模式选择
34	REF_SELECT	IP	内部、外部基准电压选择输入 REF_SELECT=0,内部基准 REF_SELECT=1,外部基准

引脚编号	引脚名称	引脚类型	描述
35	AGND	G	模拟地
36	REGCAP	P	内部稳压器去耦电容引脚，1uF 陶瓷电容，1.83V
37	AVCC	P	模拟电源电压 5.0V
38	AVCC	P	模拟电源电压 5.0V
39	REGCAP	P	内部稳压器去耦电容引脚，1uF 陶瓷电容，1.90V
40	AGND	G	模拟地
41	AGND	G	模拟地
42	REFIN/REFOUT	IP	基准电压输入/基准电压输出,2.5V,外接 10uF 去耦电容
43	REFGND	G	基准电压地
44	REFCAPA	OP	基准电压去耦引脚,4.5V,10uF 低 ESR 陶瓷去耦电容
45	REFCAPB	OP	基准电压去耦引脚,4.5V,10uF 低 ESR 陶瓷去耦电容
46	REFGND	G	基准电压地
47	AGND	G	模拟地
48	AVCC	P	模拟电源电压 5.0V
49	V1	IP	模拟输入引脚
50	V1GND	IP	模拟输入引脚接地
51	V2	IP	模拟输入引脚
52	V2GND	IP	模拟输入引脚接地
53	V3	IP	模拟输入引脚
54	V3GND	IP	模拟输入引脚接地
55	V4	IP	模拟输入引脚
56	V4GND	IP	模拟输入引脚接地
57	V5	IP	模拟输入引脚
58	V5GND	IP	模拟输入引脚接地
59	V6	IP	模拟输入引脚
60	V6GND	IP	模拟输入引脚接地
61	V7	IP	模拟输入引脚
62	V7GND	IP	模拟输入引脚接地
63	V8	IP	模拟输入引脚
64	V8GND	IP	模拟输入引脚接地

7. 绝对最大额定值

TA=25℃

表 3 电源和参考基准以及器件温度特性

参数	最小值	最大值	单位
AVCC 至 AGND	-0.3	7	V
VDRIVE 至 AGND	-0.3	AVCC+0.3	V
REFIN 至 AGND	-0.3	AVCC+0.3	V
模拟输入电压至 AGN D	-22	22	V
数字输入电压至 AGN D	-0.3	VDRIVE+0.3	V
数字输出电压至 AGN D	-0.3	VDRIVE+0.3	V
输入电流至除电源外的任何引脚	-10	10	mA
工作温度范围(TA)	-40	125	℃
存储温度范围(TSTG)	-65	150	℃
器件结温(TJ)		150	℃
铅锡焊接温度(TL，回流焊 10 秒)		260	℃

说明：超过上述绝对最大额定值可能会导致器件永久损坏，长期在绝对最大额定值条件下工作会影响器件的可靠性。

表 4 ESD 特性

项目	描述	标准	最大值
HBM	仅模拟引脚输入	JEDEC JS-001	±8000V
HBM	除模拟输入其他引脚	JEDEC JS-001	±3000V
CDM	所有引脚	JEDEC JS-002	±750V

表 5 推荐工作电压

参数	描述	最小值	标准值	最大值	单位
AVCC	模拟电源	4.5	5	5.5	V
VDRIVE	数字接口电源	1.8	3.3	AVCC	V

8. 规格

8.1. 技术规格

测试条件：VREF=2.5V 外部/内部基准，电源电压 AVCC=5V，V_{DRIVE}=3.3V，f_{SAMPLE}=200kSPS，TA=-40℃至 125℃

表 6 技术规格

参数	描述	最小值	标准值	最大值	单位
转换速率					
转换时间	所有八个通道		4		us
采样保持时间			1		us
吞吐速率				200	kSPS
动态特性					
信噪比(SNR)	无过采样,±10V 范围,fin=1kHz 正弦波	88.5	89.5		dB
	无过采样,±5V 范围,fin=1kHz 正弦波	88	89		dB
	16 倍过采样,±10V 范围,fin=130Hz 正弦波		96		dB
	16 倍过采样,±5V 范围,fin=130Hz 正弦波		95		dB
信纳比(SINAD)	无过采样,±10V 范围,fin=1kHz 正弦波		89		dB
	无过采样,±5V 范围,fin=1kHz 正弦波		88.5		dB
总谐波失真(THD)			-108		dB
峰值谐波(SFDR)			-109		dB
通道间隔离度			-90		dB
模拟输入带宽					
全功率带宽	-3dB,±10V 范围		21		kHz
	-3dB,±5 范围		18		kHz
静态特性					
分辨率	无失码	16			Bits
微分非线性(DNL)			±0.3		LSB
积分非线性(INL)			±0.5		LSB
正满量程误差匹配	内部基准		±6		LSB
	外部基准		±6	±30	LSB
正满量程误差漂移	内部基准		±5		ppm/℃
	外部基准		±2		ppm/℃
正满量程误差匹配	±10V 范围		5	10	LSB
	±5V 范围		10	20	LSB
双极性零代码误差	±10V 范围		±1	±5	LSB
	±5V 范围		±2	±10	LSB
双极性零代码漂移	±10V 范围		10		uV/℃
	±5V 范围		5		uV/℃
双极性零代码匹配	±10V 范围		1	5	LSB
	±5V 范围		2	20	LSB
负满量程误差匹配	内部基准		±6		LSB
	外部基准		±6	±30	LSB
负满量程误差漂移	内部基准		±5		ppm/℃
外部基准			±2		ppm/℃
负满量程误差匹配	±10V 范围		5	10	LSB
	±5V 范围		10	20	LSB

参数	描述	最小值	标准值	最大值	单位
模拟输入					
输入电压范围	RANG=1			±10	V
	RANG=0			±5	V
模拟输入电流	10V 输入		8		uA
	5V 输入		3		uA
模拟输入电容	8 通路模拟输入		5		pF
输入阻抗	8 通路模拟输入		1		Mohm
基准输入输出					
基准输入电压范围		2.475	2.5	2.525	V
基准输出电压		2.49		2.505	V
基准源温度系数			±5		ppm/℃
逻辑输入输出					
输入高电压		$0.9xV_{DRIVE}$			V
输入低电压				$0.1xV_{DRIVE}$	V
输入电容			5		pF
输出高电压		V_{DRIVE}-0.2			V
输出低电压				0.2	V
浮空态输出电容			5		pF
输出编码格式	二进制补码				
电源要求及功耗					
AVCC		4.75	5	5.25	V
VDRIVE		1.8		5.25	V
正常不转换模式	ADC 静态不转换		20		mA
正常转换模式	200kSPS 转换		23		mA
待机模式			5.5		mA
关断模式			10		uA

说明：
1）芯片在发布期间均经过测试，以确保符合标准要求

8.2. 时序规格

测试条件：VREF=2.5V 外部/内部基准，电源电压 AVCC=5V，V_{DRIVE}=3.3V，f_{SAMPLE}=200kSPS，TA=-40℃至 125℃。

表 7 时序规格

参数	最小值	标准值	最大值	单位	描述
并行/串行/字节模式					
t_{CYCLE}			5	us	吞吐速率周期
t_{CONV}	3.45	4	4.15	us	无过采样
			9.2	us	2 倍过采样
			19.5	us	4 倍过采样
			39	us	8 倍过采样
			78	us	16 倍过采样
			158	us	32 倍过采样
			315	us	64 倍过采样
$t_{Wake-up}$Standby			100	us	从待机模式上电
$t_{Wake-up}$Shutdown			30	ms	内部基准，从关断模式上电
			13	ms	外部基准，从关断模式上电
t_{RESET}	20			ns	RESET 高电平脉冲宽度
t_{OS_SETUP}	20			ns	BUSY 到 OS[2:0]引脚设置时间

参数	最小值	标准值	最大值	单位	描述
t_{OS_HOLD}	20			ns	BUSY 到 OS[2:0]引脚设置时间
t1			40	ns	CONVST_A/B 高电平到 BUSY 高电平
t2	25			ns	最短 CONVST_A/B 低电平脉冲
t3	25			ns	最短 CONVST_A/B 高电平脉冲
t4	0			ns	BUSY 下降沿到 CS_N 下降沿设置时间
t5			0.5	ms	COVNST_A/B 上升沿之间最大容许延迟
t6			25	ns	最后 CS_N 上升沿与 BUSY 下降沿之间最长时间
t7	80			ms	RESET 低电平到 CONVST_A/B 高电平最短延迟时间 RESET 下降沿用于 Efuse 导入数据，占用时间较长
并行/字节读取操作					
t8	0			ns	CS_N 到 RD_N 设置时间
t9	0			ns	CS_N 到 RD_N 保持时间
t10	21			ns	RD_N 低电平脉冲宽度
t11	15			ns	RD_N 高电平脉冲宽度
t12	22			ns	CS_N 高电平脉冲宽度
t13			20	ns	从 CS_N 到 DB[15:0]三态禁用的延迟时间
t14			21	ns	RD_N 下降沿后的数据访问时间
t15	6			ns	RD_N 下降沿后的数据保持时间
t16	6			ns	CS_N 到 DB[15:0]保持时间
t17			22	ns	从 CS_N 到 DB[15:0]三态使能的延迟时间
串行读取操作					
fS_{CLK}			25	MHz	串行读取时钟频率
t18			20	ns	从 CS_N 直到 DoutA/DoutB 三态禁用的延迟时间 从 CS_N 直到 MSB 有效的延迟时间
t19			23	ns	SCLK 上升沿后的数据访问时间
t20	$0.4t_{SCLK}$				SCLK 低电平脉冲宽度
t21	$0.4t_{SCLK}$				SCLK 高电平脉冲宽度
t22	7				SCLK 上升沿到 DoutA/DoutB 有效的保持时间
t23			22		CS_N 上升沿到 DoutA/DoutB 三态使能
FRSTDATA 读取操作					
t24			20		从 CS_N 下降沿直到 FRSTDATA 三态禁用的延迟时间
t25			20		从 CS_N 下降沿直到 FRSTDATA 高电平的延迟时间，串 行模式
t26			20		从 RD_N 下降沿到 FRSTDATA 高电平的延迟时间
t27			20		从 RD_N 下降沿到 FRSTDATA 低电平的延迟时间
t28			20		从第 16 个 SCLK 下降沿到 FRSTDATA 低电平的延迟时 间
t29			24		从 CS_N 上升沿到 FRSTDATA 三态使能的延迟时间

注意：
1）上电必须 RESET 器件，RESET 完需等待 80ms，确保后续转换数据正常工作；
2）上述时序信息将会再不同温度下测试以后继续更新；

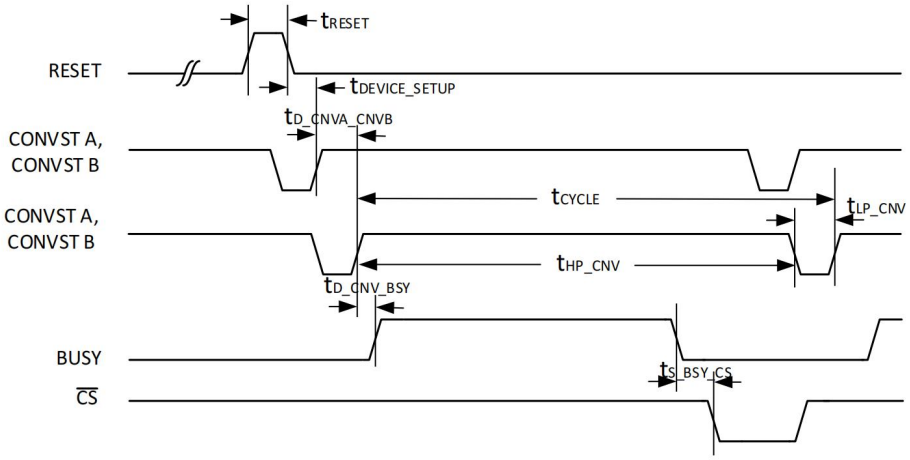


图 3 CONVST 时序-转换之后读取

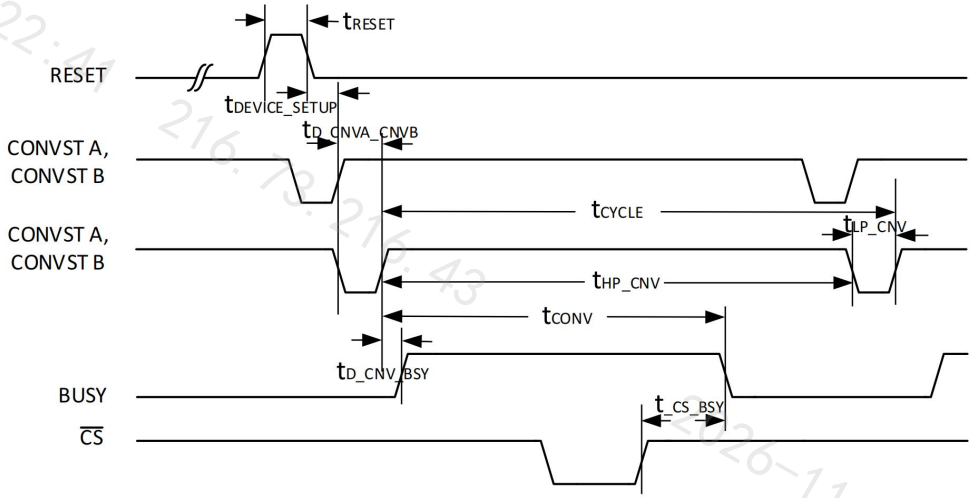


图 4 CONVST 时序-转换期间读取

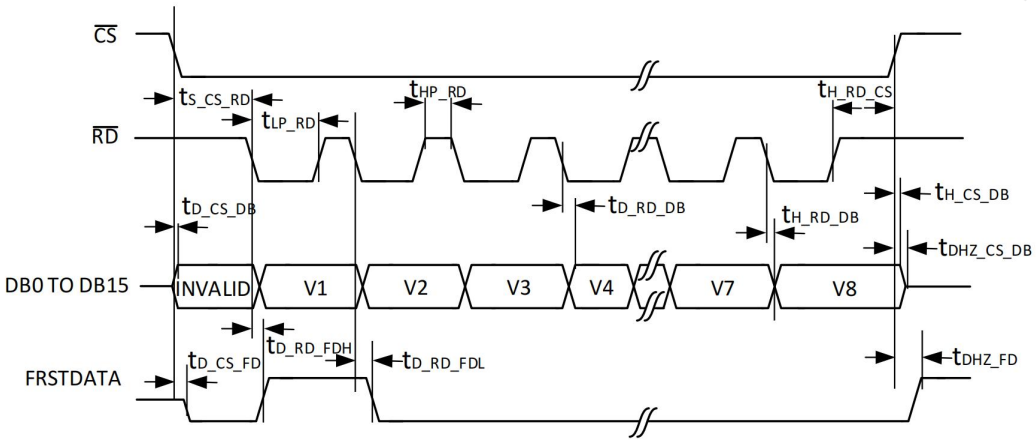


图 5 并行模式，独立 CS_N 和 RD_N 读数

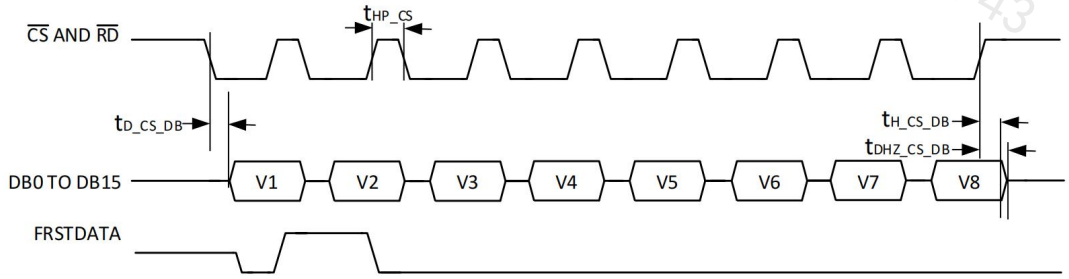


图 6 CS_N 和 RD_N 相连的并行模式

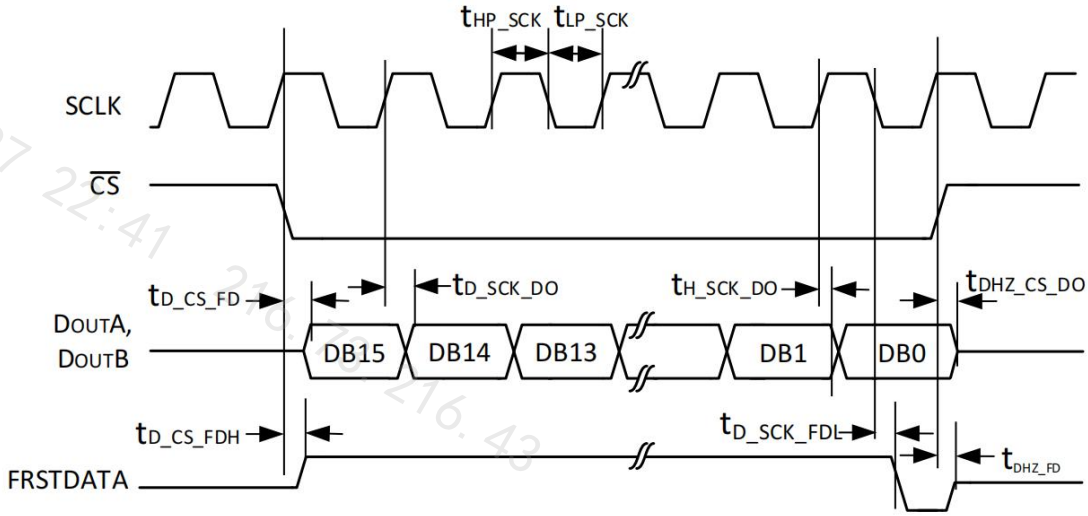


图 7 串行读取操作（通道 V1）

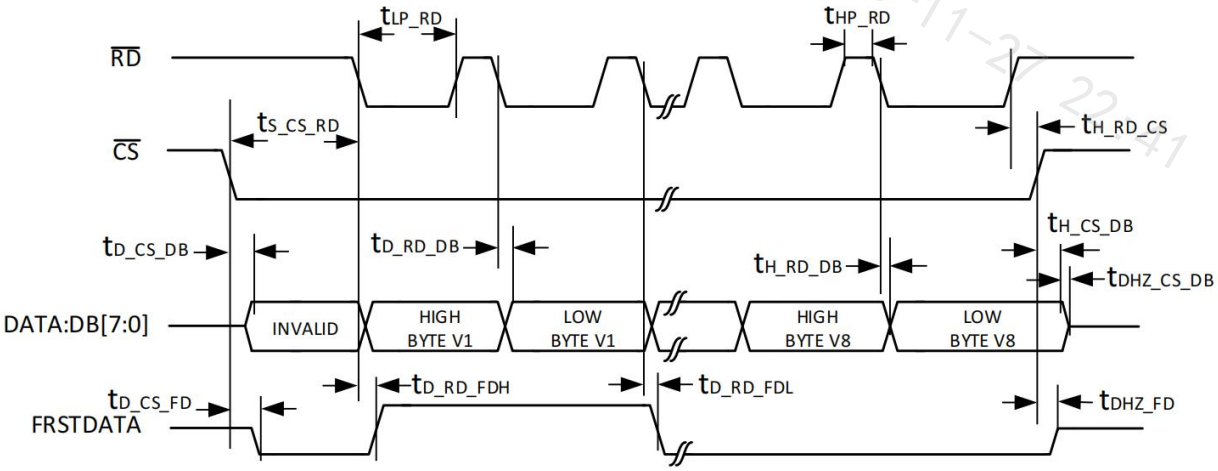


图 8 字节读取操作

9. 典型工作特性

*说明：信号源发生器（dScopeM1）在±10V 输出谐波性能受限，后面会更新仪器及重新采取数据。

◆动态特性±10V 范围和±5V 范围（外部基准）

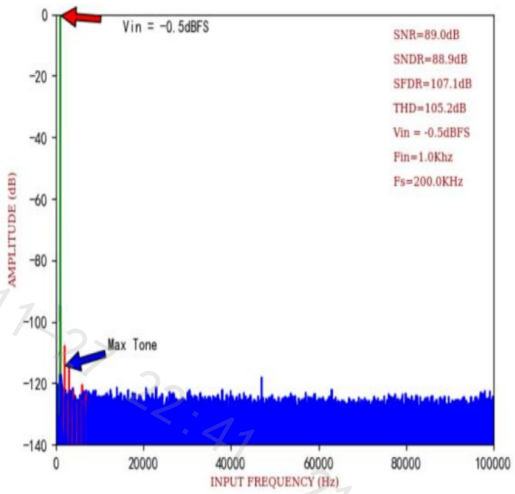


图 9 ±10V 范围

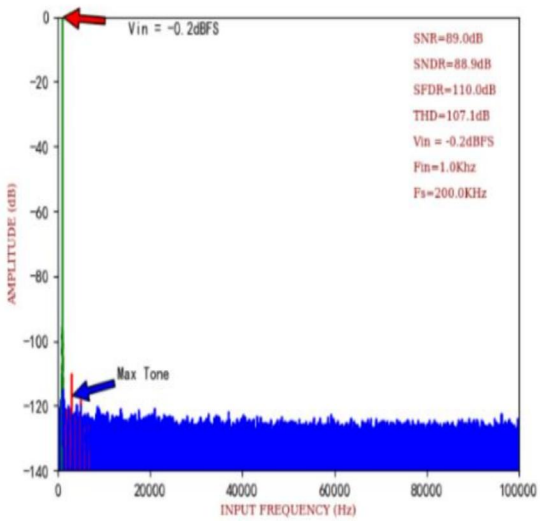


图 10 ±5V 范围

◆动态特性±10V 范围和±5V 范围（内部基准）

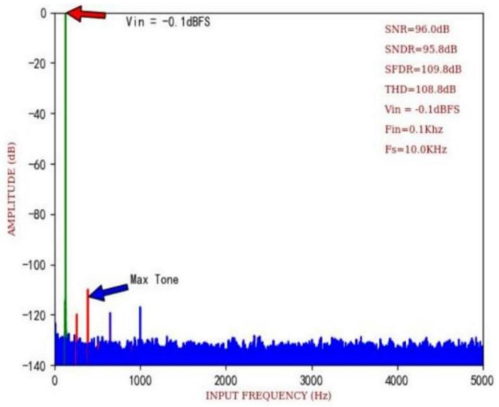


图 11 ±10V 范围

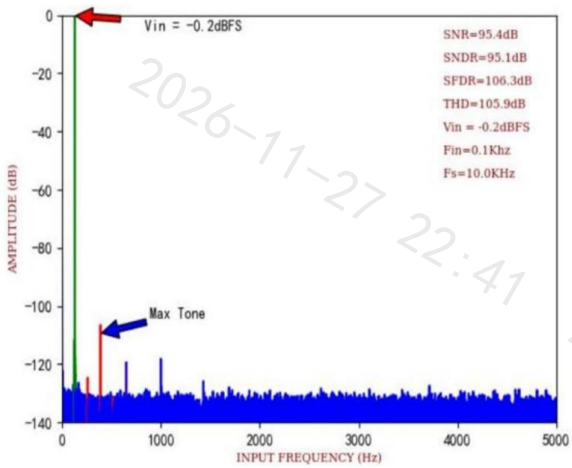


图 12 ±5V 范围

◆

动态特性 16 倍过采样，±10V 范围和±5V 范围（内部基准）

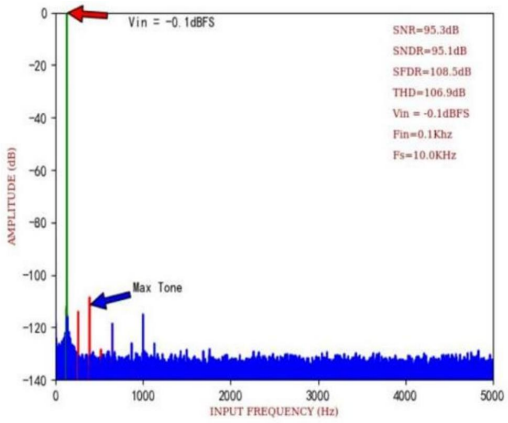


图 13 ±10V 范围

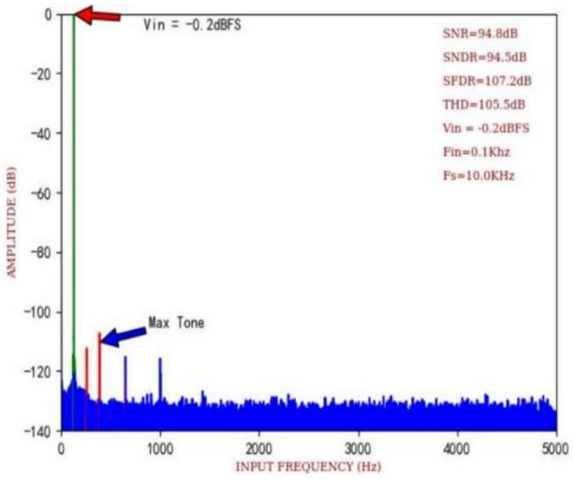


图 14 ±5V 范围

◆动态特性 16 倍过采样，±10V 范围和±5V 范围（外部基准）

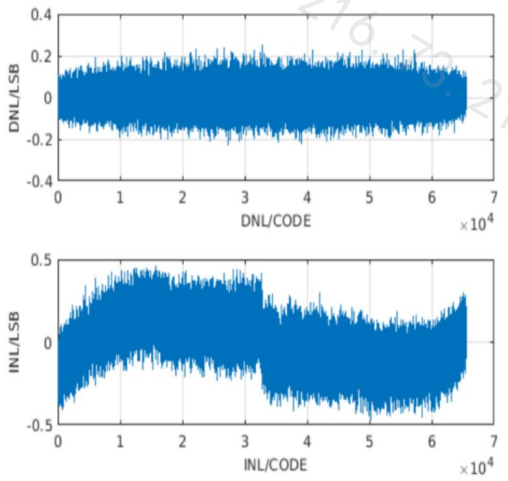


图 15 ±10V 范围

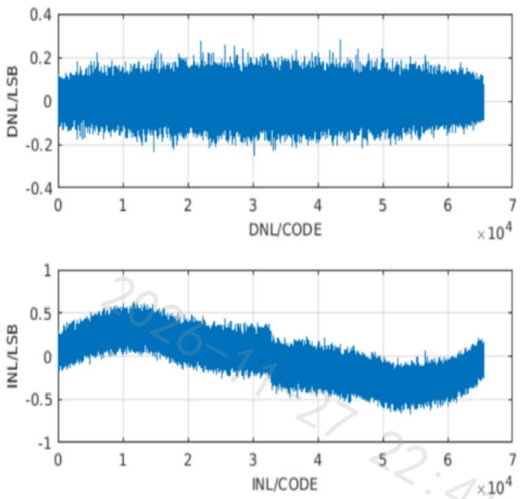


图 16 ±5V 范围

◆静态特性 DNL 和 INL，±10V 范围和±5V 范围（内部基准）

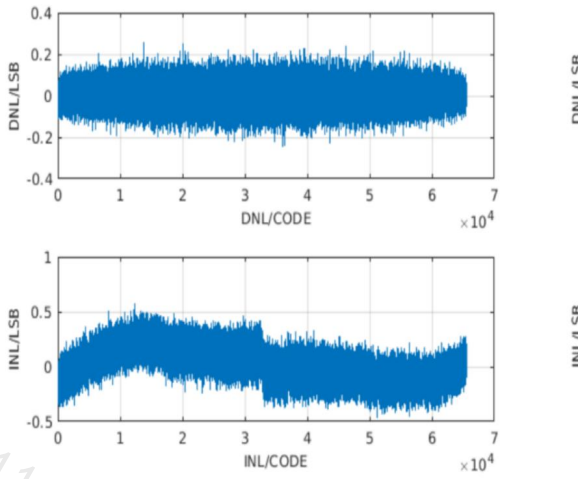


图 17 ±10V 范围

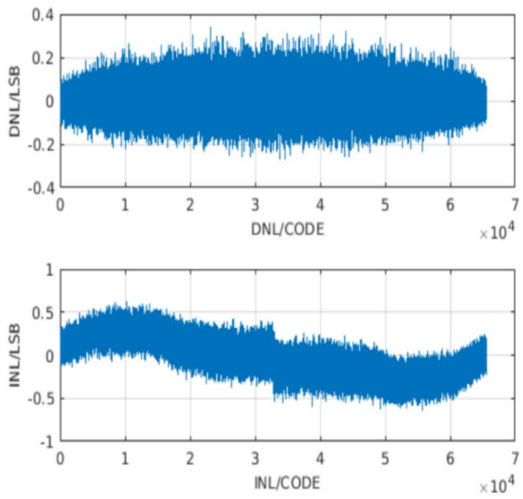


图 18 ±5V 范围

◆Bandgap 温漂特性

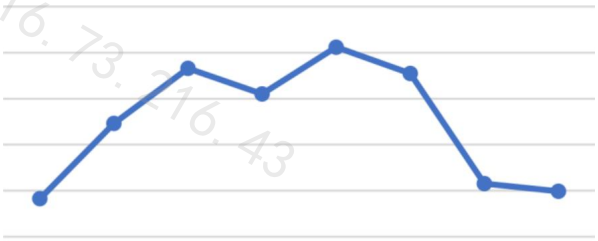


图 19 Bandgap 1.2V 基准

10. 工作原理

10.1. 转换器描述

CYD7606 采用高速，低功耗，电荷再分配逐次逼近型模数转换器（ADC）的数据采集系统。模拟输入支持单端输入或者真双极性输入信号。使用 RANGE 引脚选择±10V 或者±5V 的输入范围。使用 REFSEL 引脚选择片内基准或者片外基准。CYD7606 采用 5V 单电源供电，内置输入钳位保护，可变增益放大器，二阶低通滤波器，采样保持电路，片内基准电压源，基准电压缓冲器，高精度 ADC，数字滤波器以及并行和串行接口。

10.2. 模拟输入及钳位保护

CYD7606 的模拟前端输入阻抗位 1M 欧姆。高模拟输入阻抗可以不需要前端的驱动放大器，允许器件与信号源或传感器直接相连，简化系统方案。在产品应用中，可能会存在过压，过流或者短路等情况，导致输入高压波动，钳位电路可以有效抵抗这类场景。下图显示了 CYD7606 的模拟输入结构，8 个通道均包含钳位保护电路，允许输入过压达到±22V。

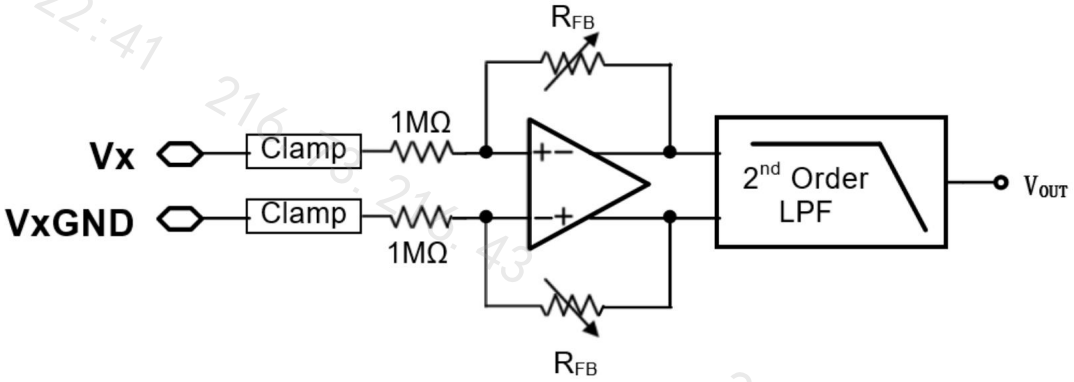


图 20 模拟输入

下图显示了钳位电路电压和电流的关系。当输入电压不超过±22V 时，钳位电路中几乎无电流。当输入电压超过±22V 时，钳位保护电路开启。在实际应用中，推荐模拟输入通道上串联一个低阻电阻，可以有效防止电压超过±22V 时，使得输入电流限制在±10mA 以下。

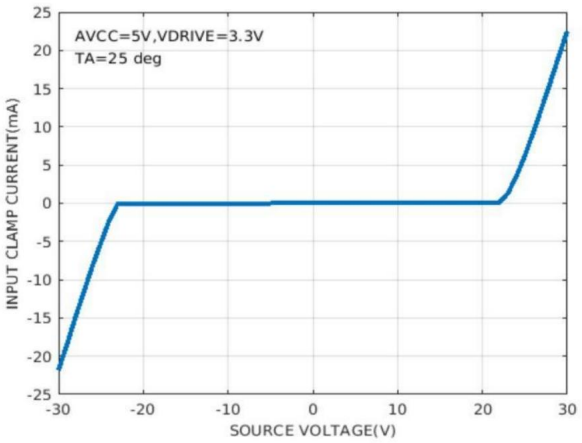


图 21 模拟输入

10.3. 模拟输入低通滤波器

CYD7606 模拟前端内置一个低通滤波器器（二阶巴特沃兹），用于滤除高频噪声。在±5V 范围，-3dB 带宽典型值为 15kHz；在±10V 范围内，-3dB 带宽典型值为 20kHz。

10.4. 内部/外部基准电压

CYD7606 内置一个 2.5V 片内基准电压源，也可以使用片外 2.5V 基准，它们都可以通过片内的基准源放大缓冲器产生 4.5V 基准电压。REFIN/REFOUT 引脚既可以使用片内的基准电压源，也可以外接片外的 2.5V 基准电压源，提供给客户选择使用。片内基准或者片外基准的选取可以通过 REFSELECT 引脚来控制，如果该引脚为高电平，则选择内部基电压，如果该引脚为低电平，则选择外部基准电压，内部基准无效。无论使用内部还是外部基准电压，都需要对 REFIN/REFOUT 引脚去耦，外接 10uF 陶瓷去耦电容。CYD7606 内置一个片内基准源放大缓冲器，把 2.5V 基准电压放大至 4.5V，作为 ADC 转换的参考电压。REFCAPA 和 REFCAPB 引脚必须在外部短接在一起，并且通过一个 10uF 的陶瓷去耦电容连接至 REFGND，以确保参考电压缓冲器工作在闭环中。CYD7606 有四个 AVCC 电源引脚，需要各使用一个 100nF 的去耦电容放置在引脚测，在电源测使用一个 10uF 的电容去耦，提升电源的噪声和抗干扰能力。VDRIVE 作为数字接口的供电电源，应当连接到处理器同一电源。

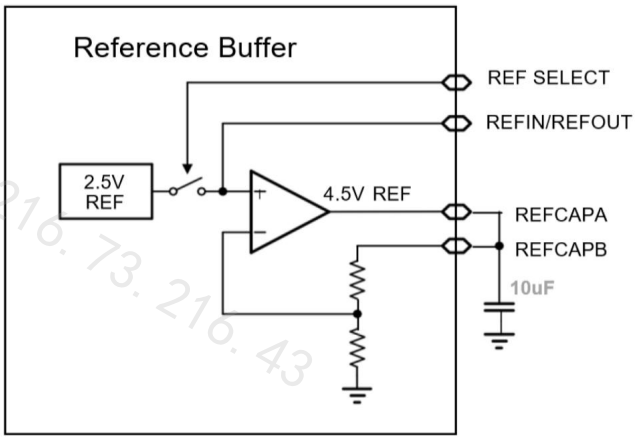


图 22 基准电压及缓冲放大器

10.5. 转换控制

CYD7606 内置八个通道采样保持放大器，通过引脚 CONVST_A 和 CONVST_B 分别控制 4 个通道转换和采样。CONVST_A 和 CONVST_B 上升沿触发 ADC 转换，而转换采用内部时钟，所有通道的转换时间约为 4us。在 ADC 转换期间，BUSY 引脚为高电平，转换完成后，BUSY 引脚恢复低电平，表示转换结束。在 BUSY 信号的下降沿，各个通道的采样保持放大器切回跟踪输入信号模式。BUSY 引脚变为低电平后，可以通过并行，并行字节或者串行接口读取转换数据。

当两个引脚 CONVST_A 和 CONVST_B 连在一起时，所有通道同步采样；当引脚 CONVST_A 和 CONVST_B 分别控制时，允许模拟输入通道以两组的形式进行同步采样（V1~V4 和 V5~V8 两组）。这个功能可以用在电力线保护和测量系统中，以补偿 PT 和 CT 变压器所引入的相位误差。在 50Hz 系统中，两组同步采样的功能可以提供最多 9°的相位补偿。

10.6. 省电模式

CYD7606 提供两种省电模式：待机模式和关断模式，由引脚 STBY_N 和 RANGE 控制。处于待机模式时，模拟 LDO 处于关闭状态，片内基准和参考基准缓冲电路仍正常工作，芯片最大功耗 6mA，上电时间约 100us。当处于关断模式时，所有电路均关断，最大功耗 10uA，上电时间约 10ms。

注意，从关断模式退出，需要完成一次 RESET 操作，复位完成后仍需等待 80ms，才能进入正常转换。

表 8 省电模式选择

省电模式	STBY_N	RANGE
待机	0	0
关断	1	1

11. 数字接口

CYD7606 提供三种接口模式：串行接口，并行接口和并行字节接口。所需接口模式可以通过对应引脚来控制。

表 9 接口模式选择

PAR_N/SER/BYTE_SEL	DB15	接口模式
0	0	并行接口模式
1	0	串行接口模式
1	1	并行字节接口模式

11.1. 串行接口模式

引脚配置：PAR_N=1

CYD7606 有两个串行数据输出引脚：$D_{OUT}A$ 和 $D_{OUT}B$，可通过单路或者双路读回数据。通道 V1 至 V8 的数据依次出现在 $D_{OUT}A$ 引脚；通道 V5 至 V8，然后 V1 至 V4 的数据依次出现在 $D_{OUT}B$ 引脚。如果通过一个输出引脚读取八个通道的转换数据，总共需要 128 个 SCLK 周期，如果通过两个输出引脚读取数据，只需要 64 个 SCLK 周期。CS_N 下降沿使能 $D_{OUT}A$ 和 $D_{OUT}B$ 引脚输出，脱离三态，并且输出转换结果的 MSB。SCLK 上升沿依次把所有数据位串行输出，数据再 SCLK 的下降沿有效。FRSTDATA 输出信号指示何时读取第一个通道 V1，当数据是 V1 通道时，FRSTDATA 输出高电平，当数据是其他通道时，FRSTDATA 输出低电位。当 CS_N 下降沿使能 FRSTDATA 引脚输出，脱离三态。

11.2. 并行接口模式

引脚配置：PAR_N=0

可以通过标准的 CS_N 和 RD_N 信号通过并行接口 DB[15:0]读取数据。CS_N 下降沿使能总线脱离三态，利用该功能可以同时控制多个 CYD7606 器件共享同一并行数据总线。在 BUSY 信号变为低电平后，读取新的转换数据；或者，在 BUSY 信号高电平时，读取前一次转换的数据。BUSY 信号变为低电平的第一个 RD_N 下降沿输出通道 V1 的转换数据，下一个 RD_N 下降沿输出通道 V2 的转换数据，依次类推。如果不共享总线时，可以使用一个控制信号来读取数据，只需要把 CS_N 和 RD_N 连在一起，如图所示。并行模式下，读取 8 个通道的数据只需要 8 个 RD_N 时钟。

11.3. 并行字节接口模式

引脚配置：PAR_N=1,DB15=1

并行字节接口模式跟并行接口模式非常相似，只是数据总线通道只有 DB[7:0]，不同通道的数据需要通过两次 8 位传输读出。因此，读取 8 个通道的转换数据，总共需要 16 个 RD_N 时钟。并行字节接口模式下，DB14 复用 HBEN 引脚。当 DB14/HBEN 为高电平时，DB[7:0]引脚首先输出转换结果的高字节（MSB,即 DOUT[15:8]），然后输出低字节（LSB，即 DOUT[7:0]）。当 DB14/HBEN 为低电平时，DB[7:0]引脚首先输出转换结果的低字节（LSB，即 DOUT[7:0]），然后输出高字节（MSB,即 DOUT[15:8]）。FRSTDATA 引脚输出高电平，只至通道 V1 的数据传输完成。

11.4. 转换期间读取

当 BUSY 信号为高电平，说明 ADC 转换正在进行中。BUSY 的下降沿完成更新转换数据。因此，也可在 BUSY 高位平时，读取转换数据，这样不会影响转换器的性能，而且可以实现更快的吞吐速率。转换器件读取的时序操作满足表 3 所示的 t6 要求即可。

11.5. 数字滤波器（过采样）

在需要更高信噪比或者更大动态范围的应用中，可以通过降低吞吐率实现过采样功能。CYD7606 内置一个可选带宽的数字滤波器，通过引脚 OS[2:0]控制。开启过采样功能时，CONVST_A 和 CONVST_B 引脚必须连在一起控制，转换过程指示信号 BUSY 周期会延长，取决于过采样倍率。

测试条件：±10V 输入范围，外部基准，电源电压 AVCC=5V，V_{DRIVE}=3.3V，TA=25℃

表 10 过采样

引脚 OS[2:0]	过采样倍数	SNR(dB)	3dB 带宽(kHz)	采样频率(kHz)
000	No OSR	89.5	18.5	200
001	2	91.3	18.5	80
010	4	93.1	15	40
011	8	94.1	10	20
100	16	96.1	5	10
101	32	96.2	2.5	5
110	64	97.1	1.25	2.5
111	-			

注意:OS[2:0]不建议配置成全部高电平

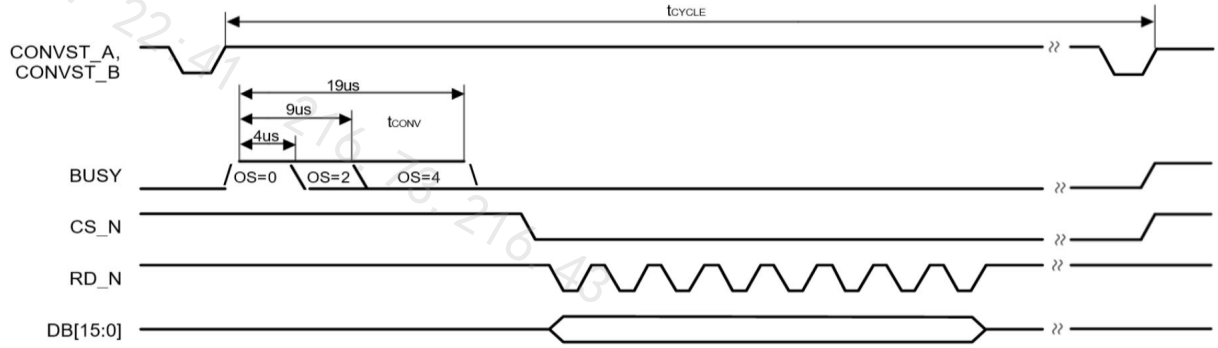


图 23 无过采样，2 倍过采样和 4 倍过采样，转换和数据读取

12. 封装信息

64 引脚 LQFP 封装 10mm*10mm，尺寸单位：mm

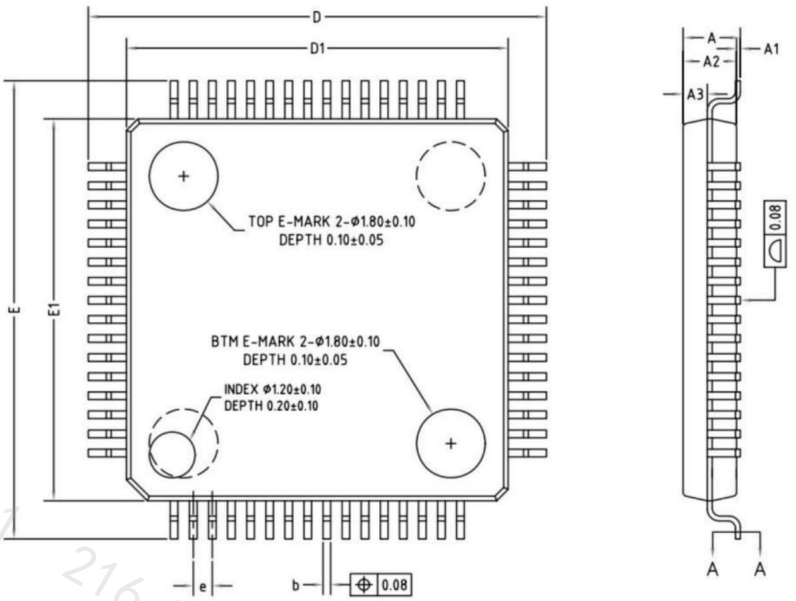
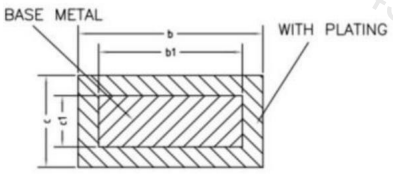
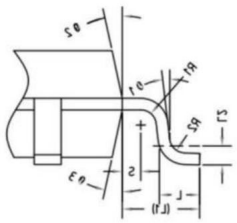


图 24 封装尺寸





COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	–	–	1.60
A1	0.05	–	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	–	0.27
b1	0.17	0.20	0.23
c	0.13	–	0.18
c1	0.12	0.127	0.134
D	11.80	12.00	12.20
D1	9.90	10.00	10.10
E	11.80	12.00	12.20
E1	9.90	10.00	10.10
e		0.50BSC	
L	0.45	0.60	0.75
L1		1.00REF	
L2		0.25BSC	
R1	0.08	–	–
R2	0.08	–	0.20
S	0.20	–	–
θ	0°	3.5°	7°
θ1	0°	–	–
θ2	11°	12°	13°
θ3	11°	12°	13°

图 25 封装尺寸

13. 说明

如欲了解更多的产品及及公司信息，请登录网站：https://www.chiphelps.com

14. 本文档中的信息如有变更，恕不另行通知

2026-11-27 22:41 216.73.216.43

15. 索引

1. 特性 1
2. 应用 1
3. 概述 1
4. 订购信息 1
5. 功能框图 2
6. 引脚配置和功能 2
7. 绝对最大额定值 5
8. 规格 6
8.1. 技术规格 6
8.2. 时序规格 7
9. 典型工作特性 11
10. 工作原理 14
10.1. 转换器描述 14
10.2. 模拟输入及钳位保护 14
10.3. 模拟输入低通滤波器 14
10.4. 内部/外部基准电压 15
10.5. 转换控制 15
10.6. 省电模式 15
11. 数字接口 16
11.1. 串行接口模式 16
11.2. 并行接口模式 16
11.3. 并行字节接口模式 16
11.4. 转换期间读取 16
11.5. 数字滤波器（过采样） 17
12. 封装信息 18
13. 说明 19
14. 本文档中的信息如有变更，恕不另行通知 19
15. 索引 20

文档版本	修订日期	内容描述
V1.0	2026-11-23	初版

2026-11-27 22:41 216.73.216.43